

# LA PROGETTAZIONE DEI CIRCUITI

## "PHASE LOCKED LOOP" (PLL), CON ESPERIMENTI

EDIZIONE  
ITALIANA

di **HOWARD  
M. BERLIN**

**JACKSON  
ITALIANA  
EDITRICE**



# IL GRUPPO DI BLACKSBURG

I circuiti integrati a larga scala o "chips" LSI stanno creando una seconda rivoluzione industriale che ben presto ci coinvolgerà tutti. La velocità degli sviluppi in questo settore è enorme e diviene sempre più difficile stare al passo coi progressi che si stanno compiendo.

E' sempre stato nostro obiettivo, come Gruppo di Blacksburg, creare tempestivamente e concretamente materiali didattici ed aiuti tali da permettere a studenti, ingegneri, tecnici, ecc. di sfruttare le nuove tecnologie per le loro esigenze particolari. Stiamo facendo questo in molti modi, con libri di testo, brevi corsi, articoli mensili di "computer interfacing" e attraverso la creazione di "hardware" didattico.

I membri del nostro gruppo hanno creato la loro sede a Blacksburg, fra i monti Appalachi del sud-ovest Virginia. Mentre era in corso di preparazione attiva la nostra collaborazione di gruppo, i membri si sono occupati di elettronica digitale, minicomputer e microcomputer.

I nostri sforzi in Italia nel campo didattico sono stati:

- Introduzione, avvenuta nel 1976, sul mercato Italiano da parte della MICROLEM divisione didattica (Milano) della nostra linea di moduli basati sul sistema di breadboarding senza saldature, o moduli OUTBOARDS\*, che facilitano la progettazione e la prova dei circuiti digitali rispetto ai sistemi tradizionali, e di altri validi sussidi didattici, fra cui il microcomputer MMD-1.
- Traduzione e pubblicazione da parte della JACKSON ITALIANA EDITRICE s.r.l., iniziata nel 1978, dei BUGBOOKS\* e della collana di libri Blacksburg Continuing Education Series\* che comprende una ventina di titoli riguardanti: l'elettronica di base, microcomputer, convertitori analogico/digitali e digitali/analogici, software per microcomputer, amplificatori operazionali, filtri attivi, phase-locked loops ecc. In ogni libro, oltre al normale testo, vi sono esempi di esperimenti condotti col sistema passo-passo. Noi crediamo che la sperimentazione consenta di rafforzare i concetti base. Molti titoli stanno per essere tradotti oltre che in Italiano, anche in Spagnolo, Tedesco, Giapponese e Cinese.
- Organizzazione da parte della MICROLEM divisione didattica, in collaborazione col Virginia Polytechnic Institute and State University, a partire dal dicembre 1977, di corsi intensivi sull'elettronica digitale, la programmazione e l'interfacciamento di microcomputer, condotti inizialmente con l'assistenza della MIPRO. Per l'intera durata dei corsi i partecipanti utilizzano i moduli OUTBOARDS e il microcomputer MMD-1 per verificare i concetti di elettronica digitale, interfacciamento e programmazione presentati nei Bugbooks V e VI. Gli interessati a questi corsi, ora condotti con ottima traduzione simultanea in italiano, possono rivolgersi alla "segreteria dei corsi V.P.I. in Italia", tel. (02) 27 10 465.
- Pubblicazione da parte della JACKSON ITALIANA EDITRICE, iniziata nel 1978, di articoli, denominati Column, su "Microcomputer Interfacing" nella qualificatissima rivista ELETTRONICA OGGI. Questi columns appaiono anche in quattro riviste americane e in altre tre riviste di elettronica delle quali una Australiana, una Svizzera e una Sud Africana, raggiungendo circa 1.500.000 lettori ogni mese.
- Collaborazione con la SGS-ATES, iniziata nel 1978, per la stesura di materiale didattico relativo alla programmazione e all'interfacciamento del microcomputer SGS-ATES single-board Z-80. Oltre a ciò siamo stati in grado di fornire un prodotto integrato: prodotto progettato per un materiale didattico e contemporaneamente materiale didattico progettato per il prodotto.
- Introduzione da parte dei membri del gruppo di Blacksburg di tecniche didattiche che includono l'uso combinato di stazioni sperimentali multipersona, testi per uso di laboratorio e diapositive 35 mm relative ai testi, che tra breve saranno disponibili presso la MICROLEM divisione didattica nell'edizione in lingua italiana, come sussidio didattico per gli insegnanti. Tutto ciò è stato definito, da alcuni insegnanti italiani, come "il nuovo sistema per la didattica italiana".

# LA PROGETTAZIONE DEI CIRCUITI

## "PHASE LOCKED LOOP" (PLL), CON ESPERIMENTI

di  
Howard M. Berlin



.Versione Italiana



JACKSON  
ITALIANA  
EDITRICE

Piazzale Massari, 22 - 20125 Milano

Le informazioni contenute in questo libro sono state scrupolosamente controllate.

Tuttavia, non si assumono responsabilità per eventuali errori od omissioni. È esclusa ogni responsabilità per danni che dovessero derivare dall'utilizzo di questo libro.

Copyright 1979 - Jackson Italiana Editrice s.r.l. - Howard M. Berlin

Tutti i diritti sono riservati. Nessuna parte di questo libro può essere riprodotta, riportata in opere simili, posta in sistemi di archiviazione, trasmessa in qualsiasi forma o mezzo meccanico, elettronico, fotocopiatura, ecc. senza l'autorizzazione scritta dell'editore e dell'autore.

Prima edizione: 1979

Stampato in Italia da  
Litografia del Sole - Via Isonzo, 14 - 20094 Buccinasco (MI)



# PREFAZIONE

In seguito alla rapida evoluzione della tecnologia dei circuiti integrati, il circuito PLL-Phase-Locked Loop ad anello ad aggancio di fase si è dimostrato uno dei blocchi costruttivi fondamentali nella rivoluzione elettronica. Nei primi anni '70, quando i circuiti PLL venivano costruiti impiegando transistori, il costo del solo circuito era sufficiente per scoraggiarne l'applicazione. Soltanto ora è possibile apprezzare pienamente il circuito PLL nella sua operatività.

Benché esistano diversi testi che espongono nei particolari i circuiti ad anello ad aggancio di fase, questi sono, per la maggior parte, troppo teorici e ad elevato contenuto matematico.

Per quanto io ne sappia, non esiste attualmente alcun testo che oltre ai principi dei circuiti PLL basati sui circuiti integrati, offra un'ampia gamma di esperimenti da laboratorio. Questo libro è stato scritto per cercare di colmare questa lacuna.

Usando i circuiti integrati sia TTL che CMOS, questo testo **teorico/pratico** espone in sette capitoli il funzionamento del rivelatore di fase, dell'oscillatore controllato in tensione, del filtro ad anello, dei sintetizzatori di frequenza e dei sistemi monolitici, con le relative applicazioni.

Inoltre, vi sono circa 15 esperimenti per la dimostrazione dei concetti presentati nel corso dell'esposizione. Per tale ragione, questo libro si rivela utile sia per gli sperimentatori ed i dilettanti che vogliano seguire un apprendimento autonomo, che come complemento ai corsi universitari sui sistemi di controllo e sui circuiti integrati, in particolare a quelli che prevedono delle esercitazioni di laboratorio.

Si è fatto un serio tentativo di mantenere l'uso di equazioni matematiche al minimo indispensabile, fornendo soltanto le relazioni essenziali. Qualsiasi calcolo può essere eseguito facilmente mediante un semplice calcolatore tascabile. La derivazione delle equazioni principali e i criteri di progetto, tuttavia sono presentati nell'Appendice A che, spero, soddisferà qualcuno di voi. Questo è il mio quarto libro che compare nella serie Blacksburg Continuing Education <sup>TM</sup>. Gli altri tre

sono: *“Il Timer 555 - Funzionamento, Applicazioni ed Esperimenti”*, *“La Progettazione dei Filtri Attivi, con Esperimenti”* e *“La Progettazione dei circuiti Amplificatori Operazionali, con Esperimenti”*.

Vi è una quantità di persone e di costruttori senza la cui assistenza questo libro non sarebbe stato realizzato.

Voglio qui ringraziare David Larsen e Peter Rony, del Virginia Polytechnic Institute and State University e Jon e Chris Titus, della Tychon, Inc. per i loro preziosi consigli e aiuti. La mia gratitudine va anche alla E&L Instruments, Inc., che ha sostenuto i miei sforzi, alla Hughes Aircraft Co. (Solid State Products Division), alla Motorola Semiconductor Products, Inc., alla RCA Solid State Division ed alla Signetics Corporation, per avermi permesso di riprodurre i dati tecnici dalla loro letteratura promozionale e dai loro cataloghi.

Howard M. Berlin, W3HB

# SOMMARIO

## CAPITOLO 1

### IL PRINCIPIO FONDAMENTALE DEL CIRCUITO PLL ..... 7

Introduzione - Obiettivi - Il principio fondamentale - Breve storia dei circuiti PLL.

## CAPITOLO 2

### ESECUZIONE DEGLI ESPERIMENTI ..... 11

Introduzione - Regole per eseguire gli esperimenti - Come sono presentati gli esperimenti - Quanti esperimenti eseguire? - Il breadboarding - Consigli e suggerimenti utili - Strumentazione - Circuiti di Ingresso/Uscita - Componenti.

## CAPITOLO 3

### IL RIVELATORE DI FASE ..... 24

Introduzione - Obiettivi - Fase - Il rivelatore di fase - Il rivelatore di fase OR-ESCLUSIVO - Rivelatori di fase Edge-Tripped - Il rivelatore di fase MC4044 - Introduzione agli esperimenti - Esperimenti.

## CAPITOLO 4

### L'OSCILLATORE CONTROLLATO IN TENSIONE ..... 52

Introduzione - Obiettivi - Fondamenti sul VCO - Circuiti VCO - Il Varactor - Altri circuiti integrati - Introduzione agli esperimenti - Esperimenti.

## CAPITOLO 5

### IL FILTRO AD ANELLO E LA RELATIVA RISPOSTA ..... 63

Introduzione - Obiettivi - Funzione del filtro ad anello - Circuiti per filtri passa-basso - La risposta transitoria - Blocco e cattura - Introduzione agli esperimenti - Esperimenti.

## CAPITOLO 6

### SINTETIZZATORI DIGITALI DI FREQUENZA ..... 79

Introduzione - Obiettivi - Il sintetizzatore fondamentale - Sintetizzatori pratici - Il filtro sintetizzatore ad anello - Circuiti generatori di frequenze di riferimento - Contatori divisoni per N - Contatori fissi TTL - Contatori fissi CMOS - Contatori programmabili TTL - Contatori programmabili CMOS - Interruttori di programmazione - Introduzione agli esperimenti - Esperimenti.

## CAPITOLO 7

### CIRCUITI INTEGRATI MONOLITICI E LORO APPLICAZIONI . . . . . 125

Introduzione - Obiettivi - La serie 560 - Il circuito PL.I. 4046 CMOS - Introduzione agli esperimenti - Esperimenti.

### APPENDICE A

#### DERIVAZIONI . . . . . 156

### APPENDICE B

#### DATA SHEETS . . . . . 164

### APPENDICE C

#### ACCESSORI PER IL BREADBOARDING . . . . . 249

### APPENDICE D

#### SIMBOLI UTILIZZATI . . . . . 255

#### BIBLIOGRAFIA . . . . . 256

## CAPITOLO 1

# IL PRINCIPIO FONDAMENTALE DEI CIRCUITI PLL

### INTRODUZIONE

Questo capitolo costituisce una breve introduzione ai circuiti PLL, che vi informerà brevemente sui blocchi costitutivi dell'anello: il rivelatore di fase, il filtro d'anello o l'oscillatore controllato in tensione. Ognuno di tali componenti, tuttavia, verrà discusso con maggiori dettagli nei capitoli seguenti.

### OBIETTIVI

Alla fine di questo capitolo, sarete in grado di:

- Tracciare uno schema a blocchi del circuito PLL fondamentale
- Spiegare il principio generale del circuito PLL
- Spiegare brevemente la funzione degli elementi seguenti:
  - rivelatore di fase
  - filtro d'anello
  - oscillatore controllato in tensione

### IL PRINCIPIO FONDAMENTALE

Come si vede dallo schema a blocchi della Fig. 1-1, il circuito PLL è essenzialmente un sistema elettronico ad anello con controreazione che consiste in:

1. Un rivelatore di fase, o comparatore
2. Un filtro passa-basso
3. Un oscillatore controllato in tensione (VCO).

Dallo studio dei sistemi a controreazione e di controllo, si dice che tali componenti si trovano sulla “*catena di azione diretta*” dell’anello, mentre la singola connessione fra il VCO e il rivelatore di fase costituisce la “*catena di controreazione*”.

Il VCO è un oscillatore astabile, la cui frequenza è determinata da una rete esterna resistenza - condensatore o induttanza - condensatore. La frequenza del VCO ( $f_o$ ), viene controreazionata al rivelatore di fase, che la confronta con la frequenza del segnale di ingresso ( $f_i$ ). L’uscita del rivelatore di fase costituisce la “*tensione di errore*”, che è una tensione continua media proporzionale alla differenza in frequenza ( $f_i - f_o$ ) e di fase  $\Delta \varnothing$  dell’ingresso e del VCO.

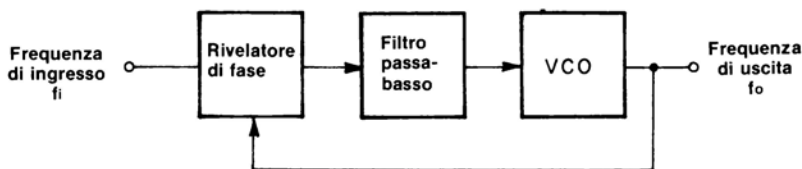


Fig. 1-1 - Schema a blocchi del circuito PLL

La tensione di errore viene quindi filtrata, per rimuovere le tracce di rumore di frequenza maggiore. Questa, a sua volta, viene rinviata al VCO, per completare l’anello. Inoltre, la tensione di errore forza la frequenza del VCO a cambiare secondo una direzione che riduce la differenza di frequenza fra l’ingresso ed il VCO. Quando la frequenza del VCO comincia a cambiare, si dice che l’anello è nello “*stato di cattura*”. Questo processo continua finché le frequenze del VCO e dell’ingresso sono esattamente uguali. A questo punto, l’anello è sincronizzato o ad “*aggancio di fase*”. Nel corso dell’aggancio di fase, la frequenza del VCO è identica a quella dell’ingresso dell’anello, *tranne che per una differenza limitata di fase*, che è necessaria per generare la tensione di errore che fa scorrere la frequenza del VCO, mantenendo l’anello in aggancio di fase. Questa azione ripetitiva del sistema ad anello, quindi, riproduce, o segue, ogni variazione della frequenza d’ingresso durante l’aggancio di fase (phase locked).

Possiamo quindi affermare che il circuito PLL presenta tre stati distinti:

1. Astabilità
2. Cattura
3. Aggancio di fase.

Il campo nel quale il sistema ad anello seguirà le variazioni della frequenza d'ingresso, viene denominato "*campo di aggancio*". D'altra parte, il campo di frequenza nel quale l'anello entra in aggancio di fase è detto "*campo di cattura*", *ed è sempre più piccolo del campo di aggancio*.

Le caratteristiche dinamiche del circuito PLL sono controllate principalmente dal filtro passa-basso. Se la differenza fra le frequenze d'ingresso e quella del VCO è abbastanza grande, il segnale risultante può essere troppo alto per essere passato al filtro. Di conseguenza, il segnale è al di fuori del campo di cattura dell'anello. Quando il circuito ad anello si trova in aggancio di fase, il filtro limita soltanto la velocità della capacità dell'anello di seguire le variazioni della frequenza d'ingresso. Inoltre, il filtro ad anello fornisce una specie di memoria a breve termine, garantendo una rapida ricattura del segnale, se il sistema esce dall'aggancio a causa di un rumore transitorio.

Nel Capitolo 5 vedremo che la progettazione del filtro d'anello rappresenta un compromesso. Benché i parametri del filtro restringano il campo di cattura e la velocità dell'anello, sarebbe pressoché impossibile, per il circuito ad anello ad aggancio di fase, entrare in aggancio senza di esso.

## BREVE STORIA DEI CIRCUITI PLL

Nei primi anni '30, regnava il ricevitore a supereterodina. A causa del numero di stadi sintonizzati, tuttavia, si auspicava un metodo più semplice. Nel 1932, un gruppo di scienziati inglesi sperimentò un metodo per sorpassare la supereterodina. Il nuovo tipo di ricevitore, chiamato "*omodina*" e, più tardi, "*sincrodina*", consisteva inizialmente in un oscillatore locale, un miscelatore e un amplificatore audio. Quando il segnale d'ingresso e l'oscillatore locale venivano miscelati alla stessa fase e frequenza, l'uscita era un'esatta riproduzione audio della portante modulata. Gli esperimenti iniziali furono incoraggianti, ma la ricezione sincrona divenne, dopo un certo periodo di tempo, difficoltosa, a causa della leggera deriva della frequenza dell'oscillatore locale. Per bilanciare tale deriva di frequenza, la frequenza dell'oscillatore locale veniva confrontata con l'ingresso mediante un rivelatore di fase, in modo da generare una tensione di correzione che, rinviata all'oscillatore locale, lo mantenesse in frequenza. Questa tecnica aveva funzionato con i servosistemi elettronici; perché, quindi non avrebbe dovuto funzionare con gli oscillatori? Questo tipo di circuito a controreazione diede inizio all'evoluzione dei circuiti ad anello ad aggancio di fase. Benché il ricevitore ad omodina o sincrono, fosse superiore al metodo a supereterodina, il costo di un circuito ad anello ad aggancio di fase era superiore ai suoi vantaggi.



Negli anni '40, il primo uso esteso del circuito PLL si ebbe nella sincronizzazione degli oscillatori di scansione orizzontale e verticale dei televisori con gli impulsi di sincronizzazione trasmessi. Tali circuiti erano denominati "Synchro-Lock" e "Synchro-Guide".

Da allora, il principio dei circuiti elettronici PLL (ad anello ad aggancio di fase) si è esteso anche ad altre applicazioni.

Per esempio, i dati radio telemetrici provenienti dai satelliti venivano captati con ricevitori a banda stretta basati su circuiti PLL, per la ricezione di segnali deboli in presenza di rumore. Altre applicazioni ora comprendono: demodulatori AM e FM, decodificatori FSK, controlli di velocità per motori, decodificatori Touch-Tone®, isolatori analogici ad accoppiamento luminoso di trasmettitori, e ricevitori a frequenza sintetizzata. Molte di queste applicazioni verranno descritte nei Capitoli 6 e 7.

## CAPITOLO 2

# ESECUZIONE DEGLI ESPERIMENTI

### INTRODUZIONE

Seguendo questo capitolo, avrete l'opportunità di eseguire un'ampia gamma di esperimenti concernenti tutte le fasi di un circuito PLL, utilizzando circuiti integrati TTL e CMOS. Il capitolo descrive le attrezzature e i componenti di cui avrete bisogno per eseguire gli esperimenti, facilmente, e in modo preciso.

### REGOLE PER ESEGUIRE GLI ESPERIMENTI

Nel corso di questo libro, dovrete cablare numerosi circuiti, e ciò utilizzando alcuni degli accessori per il breadboarding della E&L Instruments (per L'Italia Microlem SpA-Milano) o costruendo le attrezzature necessarie. Se avete già qualche esperienza con i testi della serie "Blackburg Continuing Education™," queste regole vi saranno familiari. Prima di preparare qualsiasi esperimento, vi raccomandiamo di:

1. Pianificare il vostro esperimento in anticipo. Sapete quali tipi di risultati vi dovete attendere di osservare.
2. Scollegate o disinserite *tutte* le connessioni di alimentazione esterna del breadboard.
3. Togliete dal breadboard se non diversamente specificato, tutti i fili ed i componenti degli esperimenti precedenti.
4. Controllate il circuito che avete cablato riferendovi allo schema, per assicurarvi che sia corretto.
5. Collegate o inserite l'alimentazione e le sorgenti esterne di segnale *soltanto alla fine!*

6. Quando avete finito, assicuratevi di avere staccato ogni collegamento *prima* di togliere i fili ed i componenti dal breadboard.

## **COME SONO PRESENTATI GLI ESPERIMENTI**

Le istruzioni per ogni esperimento verranno presentate nel modo seguente:

### **Scopo**

Le informazioni presentate sotto questo titolo concernono lo scopo dell'effettuazione dell'esperimento. Vi conviene avere in mente tale scopo previsto quando effettuate l'esperimento.

### **Configurazione dei pin dei circuiti integrati**

Le configurazioni dei pin vengono date per tutti i circuiti integrati usati nell'esperimento.

### **Schema del circuito**

Sotto questo titolo viene fornito lo schema del circuito completo che dovrete cablare nel corso dell'esperimento. Dovreste analizzare questo schema per cercare di capire il circuito *prima* di procedere oltre.

### **Formule di progetto**

Sotto questo titolo viene fornito un sommario delle equazioni di progetto e/o delle caratteristiche che si applicano al progetto ed al funzionamento del circuito.

### **Passi**

Una serie di passi sequenziali descrive le istruzioni dettagliate per l'esecuzione di ogni fase dell'esperimento. Nei punti opportuni vengono anche inserite delle domande. Tutti i calcoli numerici possono essere eseguiti con facilità con un normale calcolatore tascabile.

## **QUANTI ESPERIMENTI ESEGUIRE?**

In questo testo vi sono molti esperimenti. In molti casi, una quantità di esperimenti viene essenzialmente ripetuta, differenziandosi solamente per il tipo di circuiti integrati utilizzati, come i TTL e i CMOS. Di conseguenza, non è necessario eseguire tutti gli esperimenti. Alcuni di voi vorranno sperimentare usando soltanto circuiti integrati TTL, piuttosto che i dispositivi CMOS più costosi. In ogni caso, vi sono abbastanza esperimenti per raggiungere una buona familiarità con il funzionamento dei circuiti PLL.

## IL BREADBOARDING

Il breadboard è stato progettato per rispondere ai molti esperimenti che eseguirete nei capitoli seguenti. I vari circuiti integrati, resistori, condensatori e gli altri componenti, come anche l'alimentazione, si collegano o inseriscono direttamente nel breadboard.

Nella Fig. 2-1 si vede la parte superiore del componente fondamentale di un tipico sistema di breadboarding, che è noto come Piastra Universale di Breadboarding SK-10, ed è costruita dalla E&L Instruments, Inc. (per l'Italia Microlem SpA-Milano). Essa contiene 64 per 2 set di 5 terminali connessi elettricamente senza saldature, disposti ad entrambi i lati di una stretta scanalatura centrale, ed 8 set di 25 terminali elettricamente connessi disposti lungo i bordi esterni. Il gruppo centrale di 5 terminali elettricamente connessi permette l'alloggiamento dei circuiti integrati e 4 connessioni aggiuntive per ogni pin del circuito integrato.

Un elenco più ampio degli utili accessori per breadboarding, costruiti dalla E&L Instruments (per l'Italia Microlem SpA), viene presentato nell'Appendice C.

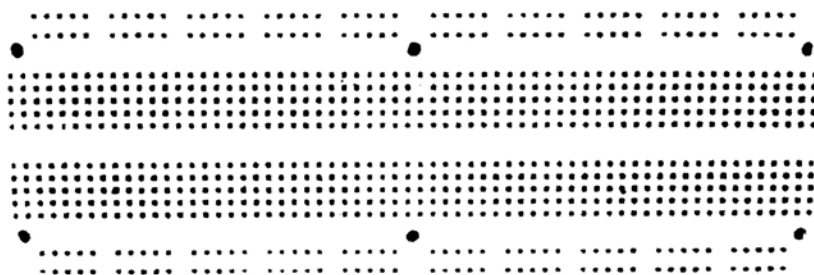


Fig. 2-1 Piastra Universale di Breadboarding

## CONSIGLI E SUGGERIMENTI UTILI

### Strumenti

Per eseguire tutti gli esperimenti di questo libro sono realmente necessari soltanto tre strumenti:

1. Un paio di pinze a becco lungo.
2. Uno spellafili.
3. Un piccolo cacciavite.

Le pinze vengono usate per:

- Raddrizzare le estremità piegate del filo di collegamento che viene usato per cablare i circuiti sul breadboard.
- Raddrizzare e piegare nelle giuste posizioni i terminali dei resistori condensatori e degli altri componenti, in modo da poterli inserire convenientemente nel breadboard.

Lo spellafili viene usato per tagliare il filo di collegamento nella giusta lunghezza e per eliminare circa 1 cm di isolamento da ogni estremità.

Il cacciavite, può essere utilizzato soprattutto per rimuovere facilmente i circuiti integrati dalla pista di breadboarding senza saldature.

## **Fili**

Si useranno fili soltanto N. 22, N. 24 e N. 26, che dovranno essere rigidi e non a treccia.

## **Breadboarding**

- Non inserite mai troppo l'estremità di un filo e di un componente in un terminale del breadboard.
- Non inserite mai un filo piegato. Raddrizzate l'estremità piegata con un paio di pinze prima dell'inserimento.
- Cercate di conservare una disposizione ordinata dei componenti e dei fili, usando connessioni più brevi possibili.
- Pianificate la costruzione del vostro circuito usando uno schema come quello della Fig. 2-2 prima di procedere al breadboarding.

## **Calcolatore tascabile**

Non è obbligatorio, ma è consigliabile utilizzarlo. I calcoli di routine possono essere eseguiti rapidamente e con precisione.

# **STRUMENTAZIONE**

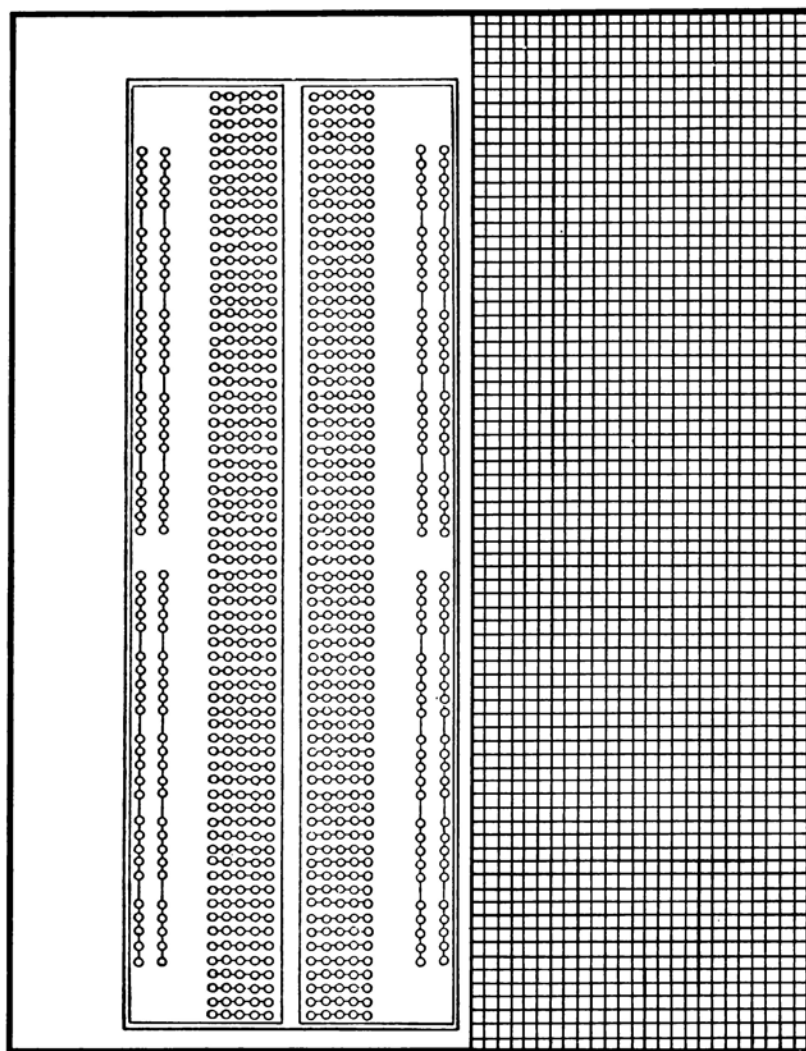
Per eseguire gli esperimenti saranno richiesti i seguenti strumenti.

## **Oscilloscopio**

Può essere usato un qualsiasi tipo universale, ma dovrà essere almeno a doppia traccia.

## **Frequenzimetro**

Non deve essere di tipo costoso ma, per eseguire delle misure precise, deve avere una risoluzione di 1 Hz. Esistono molti modelli economici



Courtesy E & L Instruments, Inc.

Fig. 2-2 Schema di lavoro SK-10

del costo di circa 100.000 lire che funzionano egregiamente. Ogni sperimentatore serio ne dovrebbe avere uno.

### Tester, Multimetro, VTVM o Voltmetro Digitale

È necessario un volmetro universale che possa misurare delle tensioni continue. Se potete disporne, usate un tipo digitale, poiché la risoluzione della misura sarà migliore.

Se usate un tester, dovrebbe avere un rating di almeno  $20 \text{ k}\Omega/\text{V}$ , in modo da non introdurre degli errori di carico.

### Generatore di Funzioni

Un generatore di funzioni può produrre delle forme d'onda sinusoidali, quadre e triangolari, con frequenza e ampiezza regolabili. La Fig. 2-3 mostra i simboli schematici che verranno usati per indicare la particolare forma d'onda utilizzata nell'esperimento.

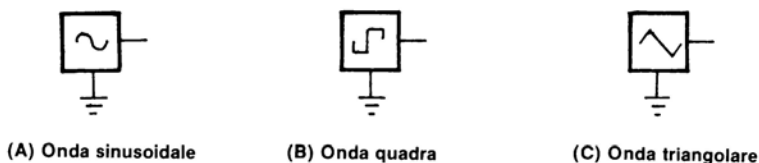


Fig. 2-3. Simboli schematici del generatore di funzioni.

## CIRCUITI DI INGRESSO/USCITA

Per eseguire con facilità gli esperimenti, sarà necessario disporre di alcuni utili circuiti, come gli indicatori a LED, i visualizzatori (display) a sette segmenti, gli interruttori antirimbalzo, ecc.

### Indicatori a Led

Un *indicatore a diodi ad emissione luminosa (LED)* è un monitor nel quale il LED si accende per uno stato logico 1 e si spegne per uno stato

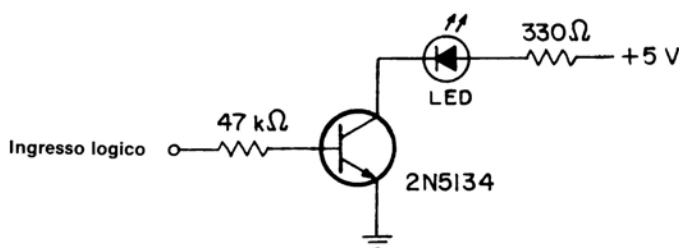


Fig. 2-4 Indicatore a LED.



logico 0. Nella Fig. 2-4 è rappresentato un circuito che può essere usato con dispositivi TTL e CMOS. Quando viene utilizzato questo indicatore, nella sezione “*Schema del circuito*” verrà riportato il simbolo schematico della Fig. 2-5.

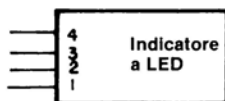


Fig. 2-5 Simbolo schematico dell'indicatore a LED.

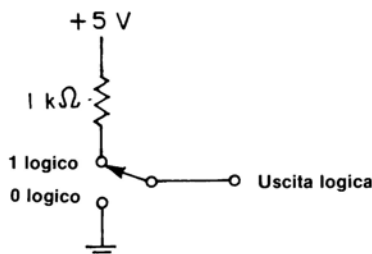


Fig. 2-6 Interruttore logico TTL.

## Switch Logici

Uno *switch logico* è un interruttore meccanico unipolare che applica uno stato logico 0 o 1 al suo terminale d'uscita. Per i dispositivi TTL, può essere usato il circuito della Fig. 2-6. Quando si utilizzano dei dispositivi CMOS invece, i resistori da  $1\text{ k}\Omega$  dovrebbero essere sostituiti con resistori da  $2,2\text{ k}\Omega$ .

Normalmente, avrete bisogno di interruttori logici in gruppi di quattro, per rappresentare gli ingressi di un numero bcd di 4 bit. La Fig. 2-7 indica il simbolo schematico che verrà usato per rappresentare una serie di interruttori logici.

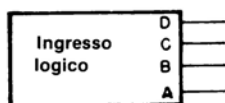


Fig. 2-7 Simbolo schematico di switch logici.

## Commutatori Antirimbazzo (Generatori di Impulsi)

In un commutatore logico di tipo *meccanico*, si verifica normalmente il rimbalzo dei contatti (vale a dire lo stabilirsi e l'interrompersi incontrollato di contatti quando i contatti del commutatore sono aperti o

chiusi). Nella maggior parte delle applicazioni digitali, è estremamente importante che l'uscita di un commutatore sia priva di rimbalzi, o *de-bounced*. Sperimentando con dispositivi TTL, è utile il circuito

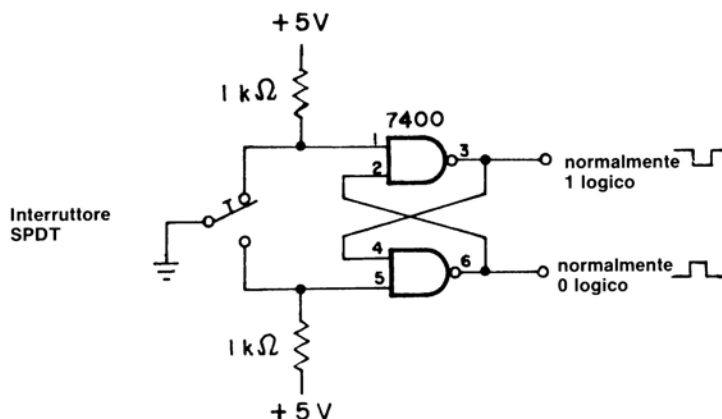


Fig. 2-8 Pulser TTL.

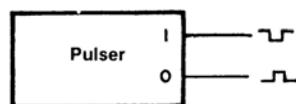


Fig. 2-9 Simbolo schematico del generatore di impulsi (pulser)

rappresentato nella Fig. 2-8, che funziona come un commutatore a pulsante antirimbalo o generatore di impulsi (pulser). Usando una coppia di porte NAND 7400, il generatore di impulsi presenta delle uscite complementari a livello logico 0 e 1. Per esperimenti con dispositivi CMOS, usate un 74C00 o un 4011, che contengono quattro porte NAND, e sostituite i resistori da 1 kΩ con resistori da 2,2 kΩ. La Fig. 2-9 illustra il simbolo schematico che verrà usato per rappresentare un generatore di impulsi.

## Display a LED a 7 Segmenti

Per determinare facilmente lo stato dei contatori binari o dei dati in ingresso bcd a 4 bit, possiamo usare un *visualizzatore (display) a LED a 7 segmenti*. Usando un 7447 un decoder/driver bcd a 7 segmenti e un visualizzatore ad anodo comune MAN-7, il circuito della Fig. 2-10 ci permette di decodificare i dati bcd provenienti da dispositivi TTL.

Per circuiti di tipo CMOS, il circuito della Fig. 2-11 usa un 4511 deco-

der/driver e un visualizzatore a *catodo comune* MAN-3. Il display a LED a sette segmenti verrà rappresentato mediante il simbolo schematico della Fig. 2-12.

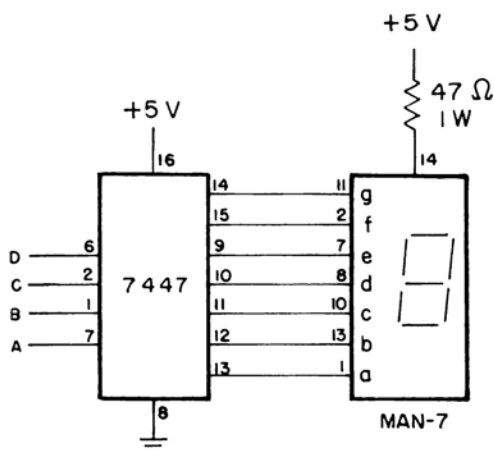


Fig. 2-10 Display a LED a 7 segmenti TTL

## Generatore di Frequenza Costante

Per dimostrare accuratamente il funzionamento dei contatori divisori per N fissi e programmabili, anche come sintetizzatori di frequenza è necessario un generatore di frequenza costante ad onda quadra.

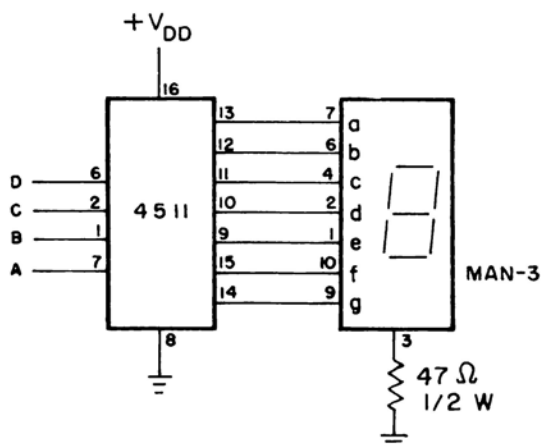


Fig. 2-11 Display a LED a 7 segmenti CMOS.

Tale dispositivo ha la propria frequenza di uscita controllata da un cristallo di quarzo, simile a quelli usati per gli orologi elettronici. Nel Capitolo 6 si descriveranno molti circuiti TTL e CMOS; nella Fig. 2-13,

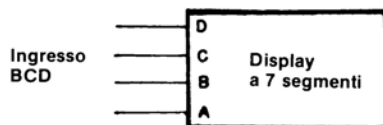


Fig. 2-12 Simbolo schematico del display a LED a 7 segmenti.

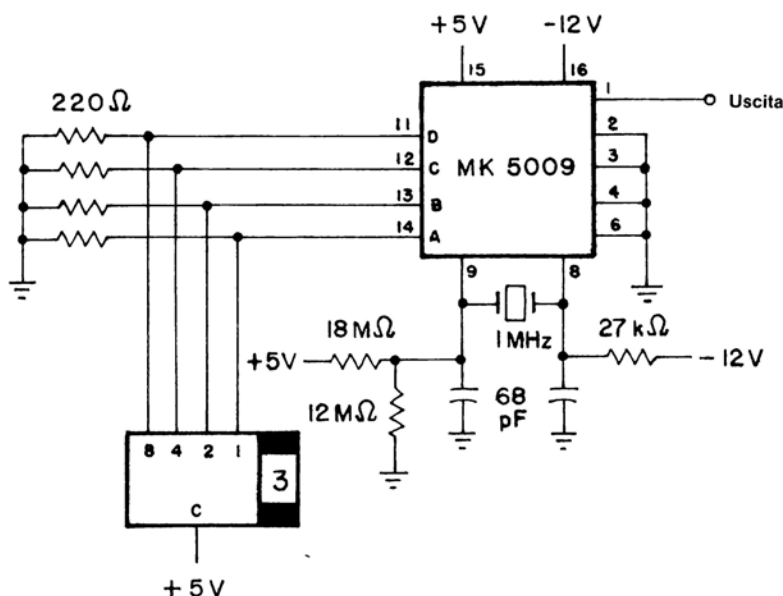


Fig. 2-13 Generatore di frequenza costante per gli esperimenti.

tuttavia, si può vedere un circuito per esperimenti, più versatile, che può essere usato con dispositivi TTL e CMOS.

Usando un oscillatore/divisore a circuito integrato MK5009 (MOS-STEK Corp.), questo circuito è in grado di generare delle uscite ad onda quadra da 1 MHz fino a 0,01 Hz in passi da una decade con un solo cristallo. La programmazione dell'MK 5009 per generare le varie frequenze di uscita è effettuata mediante un commutatore rotativo (si veda il Capitolo 6 per una descrizione dei commutatori rotativi), per produrre un codice d'ingresso bcd di 4 bit secondo la Tabella 2-1.

Tabella 2-1 Codici d'ingresso per la programmazione dell'MK5009

Ingressi BCD				Divisore	Frequenza d'uscita
D	C	B	A		
0	0	0	0	$\div 10^0$	1 MHz
0	0	0	1	$\div 10^1$	100 kHz
0	0	1	0	$\div 10^2$	10 kHz
0	0	1	1	$\div 10^3$	1 kHz
0	1	0	0	$\div 10^4$	100 Hz
0	1	0	1	$\div 10^5$	10Hz
0	1	1	0	$\div 10^6$	1 Hz
0	1	1	1	$\div 10^7$	0,1 Hz
1	0	0	0	$\div 10^8$	0,01 Hz

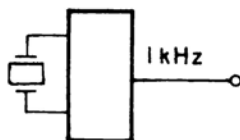


Fig. 2-14 Simbolo schematico del generatore di frequenza.

Oltre alla piastra breadboarding SK-10, la E&L Instruments (per l'Italia Microlem S.p.A.) distribuisce una vasta linea di accessori per il breadboarding, che rappresentano la maggior parte dei circuiti descritti in questo capitolo. Essi sono presentati nell'Appendice C.

Per la rappresentazione di un generatore di frequenza verrà usato il simbolo schematico della Fig. 2-14. Inoltre, verrà indicata la frequenza di riferimento (per esempio, 1kHz).

## COMPONENTI

Quella che segue è una lista di tutti i vari componenti necessari per eseguire gli esperimenti di questo libro.

### Resistori Fissi

1 - 220 $\Omega$	5 - 10 k $\Omega$	1 - 22 k $\Omega$
3 - 560 $\Omega$	1 - 15 k $\Omega$	1 - 27 k $\Omega$
1 - 4,7 k $\Omega$	1 - 18 k $\Omega$	2 - 100 k $\Omega$
		1 - 560 k $\Omega$

### Potenziometri

1 - 1 k $\Omega$	1 - 10 k $\Omega$
------------------	-------------------

### Condensatori

2 - 0,001 $\mu$ F	3 - 0,047 $\mu$ F	1 - 5 $\mu$ F
1 - 0,01 $\mu$ F	3 - 0,1 $\mu$ F	1 - 50 $\mu$ F
4 - 0,022 $\mu$ F	1 - 0,33 $\mu$ F	

### Circuiti Integrati TTL

- 1 - 7402 porta NOR quadrupla a 2 ingressi
- 1 - 7404 invertitore esadecimale
- 1 - 7442 decodificatore bcd - 1 su 10
- 2 - 7474 doppio flip-flop edge triggered di tipo D
- 1 - 7486 porta OR-Esclusiva quadrupla
- 1 - 7490 contatore a decadi
- 1 - 7492 contatore-divisore per 12
- 1 - 74192 contatore avanti-indietro a decadi preregolabile
- 1 - MC4024 doppio multivibratore controllato in tensione (Motorola)
- 1 - MC 4044 rivelatore della frequenza di fase (Motorola)

### Circuiti integrati CMOS

- 1 - 4001 porta NOR quadrupla a due ingressi
- 1 - 4017 contatore a decadi
- 1 - 4046 circuito ad anello ad aggancio di fase
- 1 - HCTR 0320 rivelatore di fase/divisore programmabile (Hughes)

**Circuiti Integrati Lineari**

- 2 - timer 555 (DIP a 8 pin)
- 1 - 565 circuito ad anello ad aggancio di fase (DIP a 14 pin)
- 1 - 567 circuito ad anello ad aggancio di fase/decodificatore di tono (DIP a 8 pin)
- 1 - 741 Amplificatore operativo (DIP a 8 pin)

**Dispositivi a Stato Solido**

- 1 - diodo 1N914
- 1 - transistor npn 2N2222

**Altri Componenti**

- 1 - altoparlante da 8  $\Omega$

Tutti i suddetti componenti possono *essere* acquistati presso qualsiasi rivenditore di materiale elettronico come ad esempio i punti di vendita G.B.C.



## CAPITOLO 3

## IL RIVELATORE DI FASE

## INTRODUZIONE

In questo capitolo, vengono descritti molti tipi di rivelatori discreti di fase di uso comune, dei quali verranno messi in evidenza i punti forti e quelli deboli. Alcuni tipi di rivelatori di fase, come l'OR-Esclusivo e l'edge triggered, possono essere costruiti utilizzando dei semplici elementi logici. D'altra parte, l'MC4044 è un dispositivo complesso, disponibile come circuito monolitico.

## OBIETTIVI

Alla fine di questo capitolo sarete in grado di:

- Definire i termini “fase” e “differenza di fase”.
- Determinare la differenza di fase di due segnali, aventi la stessa frequenza, in termini di unità di tempo, gradi elettrici e radianti.
- Descrivere le caratteristiche d'ingresso e d'uscita dei seguenti tipi di rivelatori di fase:
  - OR-Esclusivo
  - Edge-triggered
  - Circuito integrato MC4044
- Determinare il guadagno di conversione ( $K_\phi$ ) di diversi tipi di rivelatori di fase.

## FASE

Il termine “fase” si riferisce fondamentalmente all'intervallo compreso fra l'istante in cui si verifica un evento e l'istante in cui si verifica un secondo evento, collegato al primo. L'evento che si verifica per primo è detto *in anticipo*, mentre il secondo evento è detto *in ritardo* rispetto al primo. Come si può vedere dalla Fig. 3-1, il segnale A è in anticipo

sul segnale B. In altri termini, il punto sul segnale B ( $t_2$ ) si verifica “ $t$ ” unità di tempo in ritardo rispetto al punto corrispondente sul segnale A

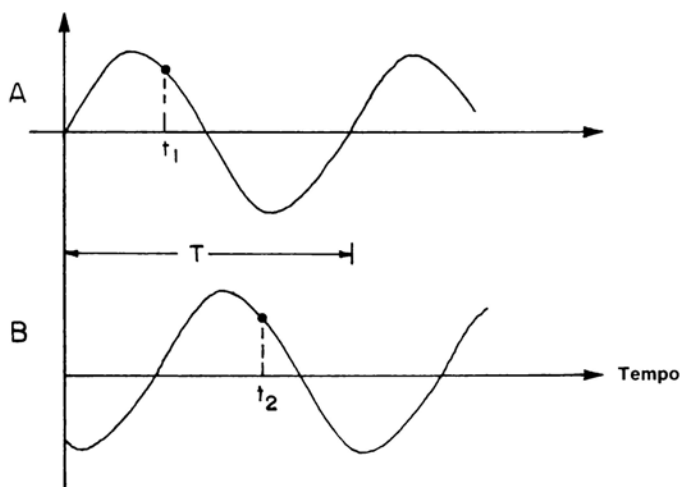


Fig. 3-1. Differenza di tempo (di fase) fra due segnali.

( $t_1$ ), supponendo che entrambi i segnali periodici abbiano la stessa frequenza.

La “*differenza di fase*” è il tempo, espresso in gradi elettrici, per il quale un segnale è in anticipo e in ritardo rispetto ad un altro, ed è normalmente minore di un periodo.

La differenza di fase fra due segnali può essere espressa semplicemente nelle normali unità di tempo, come illustrato nella Fig. 3-1, ma viene espressa ancora più convenientemente in *gradi* (qualche volta chiamati *gradi elettrici*), e indicata col simbolo  $\Delta \phi$ . Poiché ogni periodo del segnale A e B occupa esattamente la stessa quantità di tempo, l'uso del periodo come unità di tempo rende l'espressione della differenza di fase indipendente dalla frequenza del segnale.

Poiché, per definizione, un periodo completo è pari a  $360^\circ$  la differenza di fase fra i secondi A e B è la parte di un periodo espresso in gradi, cioè:

$$\Delta \phi = \frac{t_2 - t_1}{T} \times 360^\circ \quad (\text{Eq. 3-1})$$

### Esempio

Determinare la differenza di fase fra le due forme d'onda rettangolari periodiche della Fig. 3-2. Si dovrebbe innanzitutto osservare che la forma d'onda B diventa positiva 0,4 secondi dopo il punto corrispondente sulla forma d'onda A.

Poiché il tempo totale per completare un periodo è di 1,5 secondi, la differenza di fase sarà:

$$\Delta\phi = \frac{0.4}{1.5} (360^\circ) \\ = 96^\circ$$

e quindi la forma d'onda A è in anticipo di  $96^\circ$  sulla forma d'onda B. Tuttavia, è corretto dire anche che B è in ritardo su A di  $96^\circ$ .

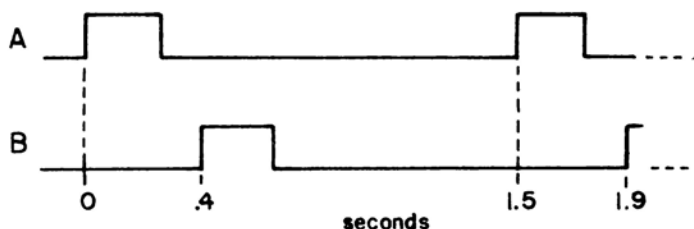


Fig. 3-2 Esempio per la determinazione della differenza di fase fra due segnali.

### IL RIVELATORE DI FASE

Tutti i sistemi ad anello ad aggancio di fase utilizzano un circuito chiamato *rivelatore di fase*, o *comparatore di fase*. Il rivelatore di fase genera una tensione di uscita media, e continua, che è proporzionale alla differenza di fase fra gli ingressi dell'anello ad aggancio di fase e il VCO.

La tensione di uscita è spesso denominata *tensione di errore*.

Il fattore che converte la differenza di fase nella tensione è chiamato *guadagno di conversione del rivelatore di fase*, per cui:

$$V_o = K_\phi \Delta\phi \quad (\text{Eq. 3-2})$$

dove:

$V_o$  è la tensione media di uscita del rivelatore di fase, in volt,

$K_\phi$  è il guadagno di conversione del rivelatore di fase in volt/radiani,

$\Delta\phi$  è la differenza di fase in ingresso, in radianti.

Nel paragrafo precedente si è espressa la differenza di fase in gradi. Quando si lavora con circuiti ad anello ad aggancio di fase si è soliti esprimere questa differenza in *radiani*. In termini di gradi elettrici 1 radiante è equivalente a  $180^\circ/\pi$ , o  $57,3^\circ$ . Nel precedente esempio, la differenza di fase di  $96^\circ$  è equivalente a  $96/57,3$ , o 1,68 radianti.

Una differenza fondamentale fra l'anello ad aggancio di fase di tipo analogico e digitale, è relativa al tipo di rivelatore di fase che viene utilizzato. In generale, i circuiti ad anello ad aggancio di fase analogici usano un miscelatore a doppio bilanciamento, mentre quelli digitali utilizzano o un OR-Esclusivo o dei rivelatori di fase di tipo edge-triggered. Poiché la maggior parte dei rivelatori di fase discreti che sono in uso è di tipo digitale, gli elementi descritti nel corso di questo capitolo saranno digitali. I circuiti PLL a circuiti integrati monolitici, tuttavia, utilizzano spesso un rivelatore di fase analogico e verranno descritti brevemente nel Capitolo 7.

### RIVELATORE DI FASE OR-ESCLUSIVO

Il rivelatore di fase di tipo OR-Esclusivo utilizza, come il suo nome implica, una porta logica OR-Esclusivo, come si vede simbolicamente nella Fig. 3-3. Per questa porta a due ingressi si ha la tabella della verità di Tabella 3-1.

**Tabella 3-1 La porta logica OR-Esclusivo**

Ingressi		Uscita
A	B	Q
0	0	0
1	0	1
0	1	1
1	1	0



**Fig. 3-3 La porta logica OR-Esclusivo**

A causa di tale tabella della verità, i rivelatori di fase di tipo OR-Esclusivo vengono usati per ingresso e forme d'onda VCO che presentano un duty cycle del 50% che, cioè, sono simmetrici. Come esempio, la Fig. 3-4 rappresenta un segnale d'ingresso in anticipo sul segnale VCO di  $\pi/4$  radianti, o di  $45^\circ$ . Nella Fig. 3-5, il segnale VCO è in ritardo sull'ingresso di  $\pi/2$ , o  $90^\circ$ .

In entrambi i casi, l'uscita della porta OR-Esclusivo è ora un treno di impulsi rettangolari, la frequenza del quale è doppia di quella d'ingresso. Ancora più importante è che l'ampiezza degli impulsi d'uscita dipende soltanto dalla differenza di fase fra i due ingressi del rivelatore.

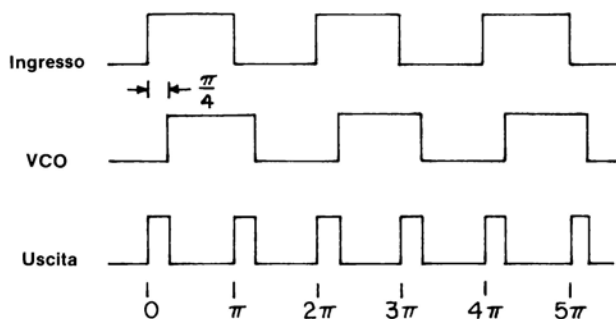


Fig. 3-4 Il segnale d'ingresso è in anticipo su quello del VCO di  $\pi/4$  o  $45^\circ$ .

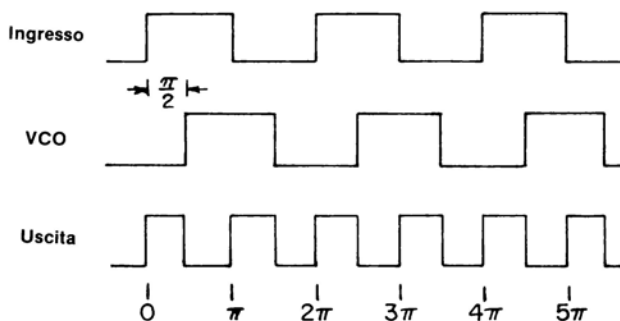


Fig. 3-5 Il segnale d'ingresso è in anticipo su quello del VCO di  $\pi/2$  o  $90^\circ$ .

Ne segue che anche la tensione di uscita media, o *continua* dipenderà dalla differenza di fase, essendo legata al duty cycle dell'uscita del rivelatore di fase nel modo seguente:

$$V_o(\text{dc}) = V_p \times D \quad (\text{Eq. 3-3})$$

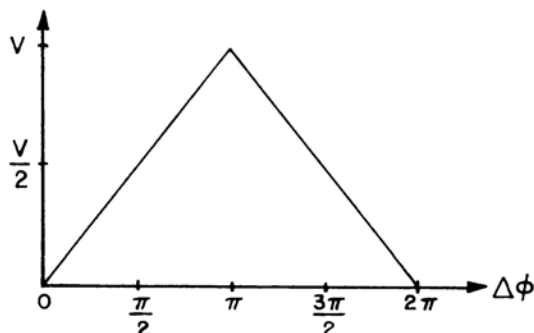
dove:

$V_p$  è la massima tensione d'uscita (1 logico),

$D$  è il duty cycle.

Il *duty cycle* di un treno d'impulsi rettangolari periodici è definito come rapporto fra il periodo durante il quale la forma d'onda si trova allo stato logico 1 e la durata di un ciclo completo. Per la forma d'onda d'u-

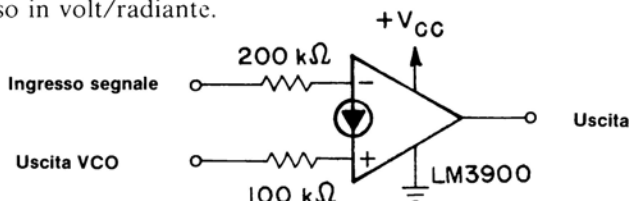
scita della Fig. 3-4, il duty cycle è il rapporto fra  $\pi/4$  radianti e  $\pi$  radianti, o 0,25 (25%). Per l'uscita di Fig. 3-5, esso vale 0,5 (50%).



**Fig. 3-6** Caratteristica d'ingresso/uscita del rivelatore di fase OR-Esclusivo.

Esprimendo graficamente la tensione continua d'uscita del rivelatore di fase OR-Esclusivo in funzione della differenza di fase dei suoi due ingressi, risulta una caratteristica rettangolare, come si può osservare nella Fig. 3-6.

Poiché la differenza di fase aumenta da 0 verso  $\pi$ , o 3,14 radianti, la tensione continua d'uscita raggiunge un valore massimo (leggermente minore di quello della tensione di alimentazione, per le famiglie logiche standard) per  $\Delta \phi = \pi$  radianti, o  $180^\circ$ . La derivata della curva in questo intervallo è il *guadagno di conversione del rivelatore di fase* ( $K_\phi$ ), e viene espresso in volt/radiante.



**Fig. 3-7** Elemento logico OR-Esclusivo utilizzando un amplificatore opzionale Norton LM3900.

Poiché la differenza di fase aumenta fra  $\pi$  e  $2\pi$  radianti, la tensione continua d'uscita diminuisce linearmente, e la derivata è ancora uguale al guadagno di conversione del rivelatore di fase. La porta OR-Esclusivo TTL è il circuito integrato 7486, mentre l'equivalente CMOS è il 4030 e il 74C86.

D'altra parte, un elemento logico OR-Esclusivo può essere costruito usando un amplificatore operazionale Norton LM3900, come si vede nel circuito della Fig. 3-7.

## RIVELATORI DI FASE EDGE-TRIGGERED

Un altro tipo di rivelatore di fase digitale è l'*edge-triggered*. Uno dei tipi più semplici di rivelatori edge-triggered è il *flip-flop set-reset* o *flip-flop R.-S.*

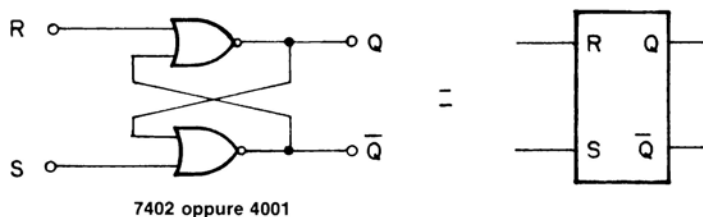


Fig. 3-8 - Il flip-flop R-S usato come rivelatore di fase edge-triggered.

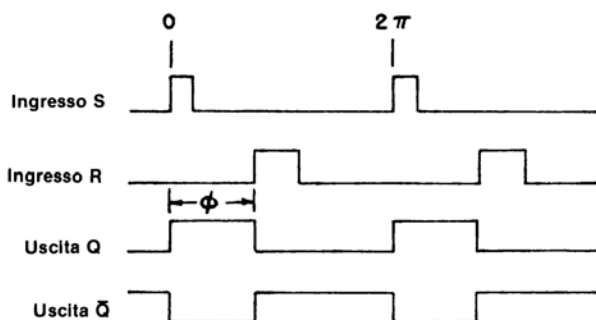


Fig.3-9 Forme d'onda d'ingresso/uscita del rivelatore di fase edge-triggered flip-flop R-S.

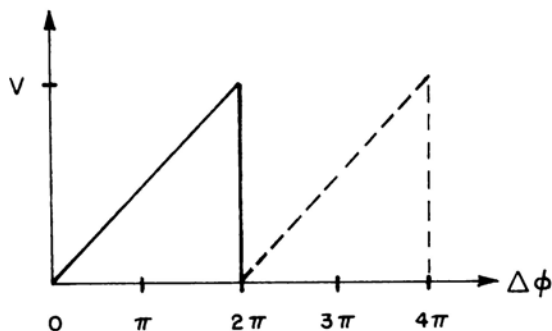


Fig. 3-10 Caratteristiche d'ingresso/uscita del rivelatore di fase edge-triggered.



Come si vede nella Fig. 3-8, il flip-flop R-S può essere costruito con un paio di porte NOR ad accoppiamento incrociato.

Le due regole fondamentali che governano il funzionamento del flip-flop R-S e del rivelatore di fase edge-triggered sono le seguenti:

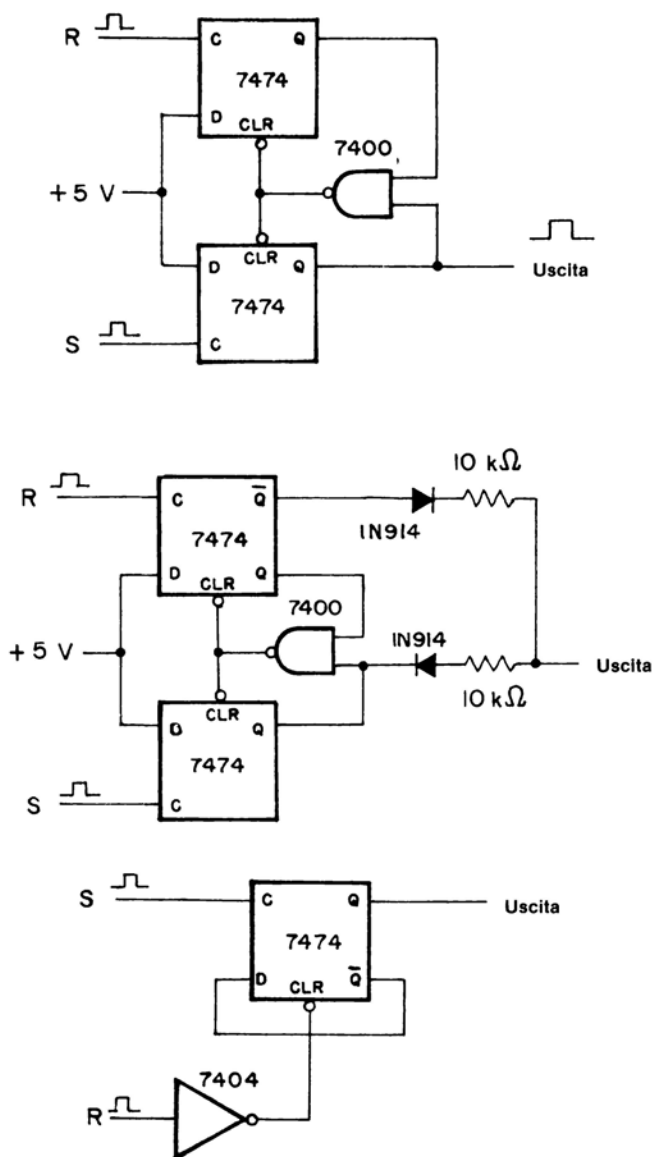


Fig. 3-11 Circuiti rivelatori di fase edge-triggered ottenuti con flip-flop di tipo D.

1. Se l'ingresso *set* o *S* è allo stato logico 1, l'uscita *Q* si porta o resta allo stato logico 1, mentre l'uscita  $\overline{Q}$  si porta o resta allo stato logico 0 (massa).
2. Se l'ingresso *reset* o *R* allo stato logico 0, l'uscita *Q* si porta o resta allo stato logico 0, mentre l'uscita  $\overline{Q}$  si porta o resta allo stato logico 1.

Come si vede nel diagramma di temporizzazione della Fig. 3-9, il flip-flop a porta NOR R-S scatta in corrispondenza del fronte *positivo di salita* dei due ingressi. Per il flip-flop R-S, come per altri tipi di rivelatori edge-triggered, gli impulsi d'ingresso sono normalmente di breve durata, a differenza degli impulsi simmetrici con un duty cycle del 50%, associati al rivelatore OR-Esclusivo. Come nel caso del rivelatore OR-Esclusivo, quando la differenza di fase fra l'ingresso ed il VCO aumenta, la tensione d'uscita continua del rivelatore edge-triggered cresce proporzionalmente. Esprimendo graficamente la tensione continua d'uscita in funzione della differenza di fase fra gli ingressi R ed S, si ottiene una caratteristica a denti di sega, come si vede nella Fig. 3-10. Di conseguenza, il rivelatore di tipo edge-triggered, ha un campo doppio della curva triangolare a doppio valore del rivelatore OR-Esclusivo (Fig. 3-6).

Inoltre, il rivelatore edge-triggered possiede migliori caratteristiche di cattura, inseguimento e aggancio, rispetto al rivelatore OR-Esclusivo.

Oltre al circuito con flip-flop R-S a porta NOR di Fig. 3-8; esistono molti altri circuiti di tipo edge-triggered oggi in uso, principalmente costruiti con flip-flop di tipo D, come si vede nella Fig. 3-11.

Entrambi i rivelatori di fase OR-Esclusivo ed edge-triggered sono sensibili alle componenti armoniche del segnale in ingresso. Il circuito ad anello ad aggancio di fase, pertanto, tende ad agganciarsi su queste armoniche. Inoltre, entrambi i tipi sono sensibili alle variazioni dei duty cycle dei due ingressi del rivelatore di fase. Se il duty cycle di un ingresso del rivelatore OR-Esclusivo non è 0,5 (50%), si ottiene un errore estraneo. Per il rivelatore edge-triggered, se l'ingresso R si trova allo stato logico 1 quando anche l'ingresso S è allo stato 1, il rivelatore stesso non funziona correttamente.

## IL RIVELATORE DI FASE MC4044

Il circuito integrato MC4044 della Motorola è un rivelatore di fase monolitico in contenitore DIP a 14 pin, che elimina i problemi di sensibilità alle armoniche e che sono invece associati ai rivelatori OR-Esclusivo ed edge-triggered. Come si vede nello schema a blocchi della Fig. 3-12, l'MC4044 consiste in due rivelatori di fase digitali, in una pompa di carica e in un amplificatore.

Il rivelatore di fase N. 1, illustrato nella Fig. 3-13A, è un circuito negativo edge-triggered che serve per i sistemi richiedenti sia la frequenza zero sia la differenza di fase quando l'anello ad aggancio di fase è agganciato. Per una data condizione di fase, soltanto una delle due uscite,  $U_1$  o  $D_1$ , è attiva. Per esempio, se il segnale d'ingresso  $V$  o *variabile*, come il VCO è in *ritardo* sull'ingresso  $R$  o di *riferimento*, (il segnale d'ingresso nell'anello a blocco di fase), è presente un segnale all'uscita  $U_1$  (up), come si vede nella Fig. 3-13B. Se, tuttavia  $R$  è in ritardo su  $V$ , l'uscita appare su  $D_1$ , come si vede nella Fig. 3-13C.

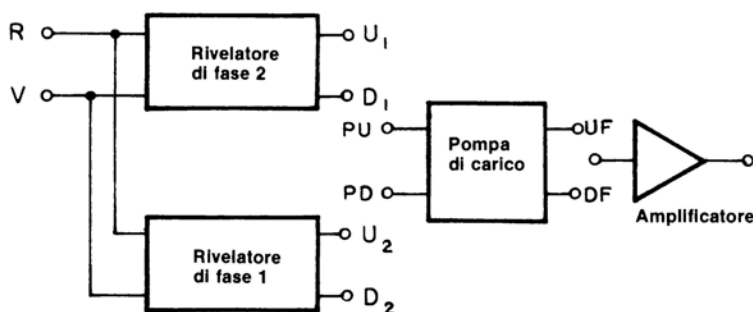


Fig. 3-12 Schema a blocchi del rivelatore di fase MC4044.

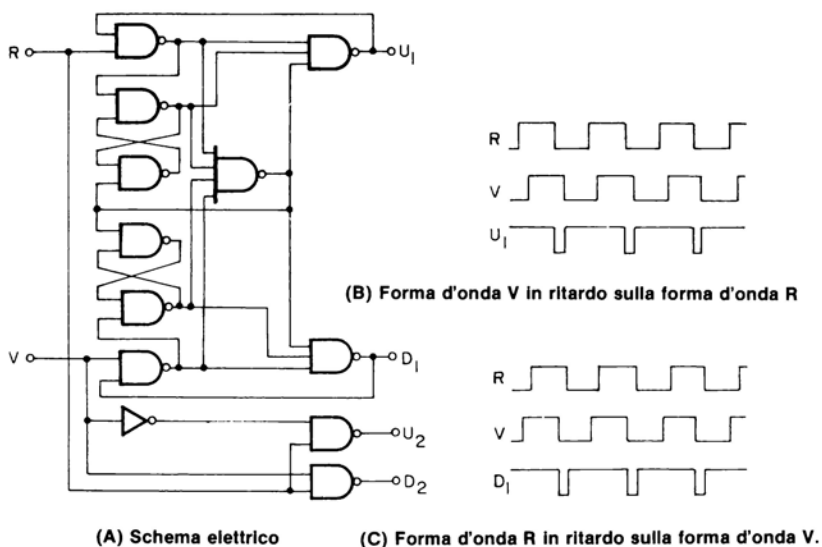


Fig. 3-13 Schema elettrico e forme d'onda d'ingresso/uscita del rivelatore di fase MC4044.

La curva caratteristica di trasferimento di ingresso/uscita del rivelatore di fase N. 1 è una forma d'onda a denti di sega simile a quella del tipo edge-triggered, benchè l'MC4044 abbia un campo di linearità ancora più ampio di  $4\pi$  radianti (Fig. 3-14). Tipicamente, il guadagno di

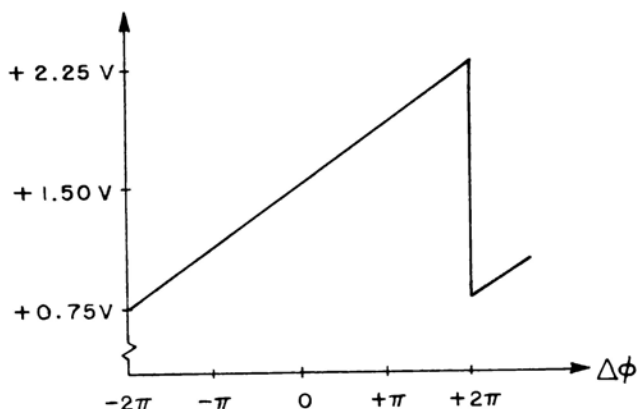


Fig. 3-14 Caratteristica di ingresso/uscita dell'MC4044 per il rivelatore di fase N. 1

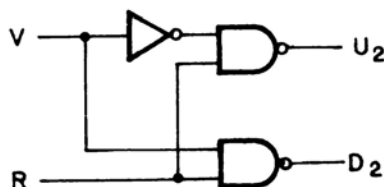


Fig. 3-15 Rivelatore di fase MC4044 N. 2.

Tabella 3-2

Tabella della verità della Fig. 3-15

Ingressi		Uscite	
R	V	$U_2$	$D_2$
0	0	1	1
1	0	0	1
0	1	1	1
1	1	1	0

conversione è di  $0,12 \text{ V/rad}$ . Le uscite  $U_1$  e  $D_1$  vengono quindi connesse agli ingressi PU e PD, rispettivamente, della pompa di carico del dispositivo, la cui uscita varia approssimativamente fra  $+0,75$  e  $+2,25 \text{ V}$  con il variare della differenza di fase fra R e V fra  $-2\pi$  e  $+2\pi$  radianti.

Come si vede nella Fig. 3-15, il rivelatore di fase N.2 consiste solo in una logica combinatoria, che può essere rappresentata come nella Tabella 3-2.

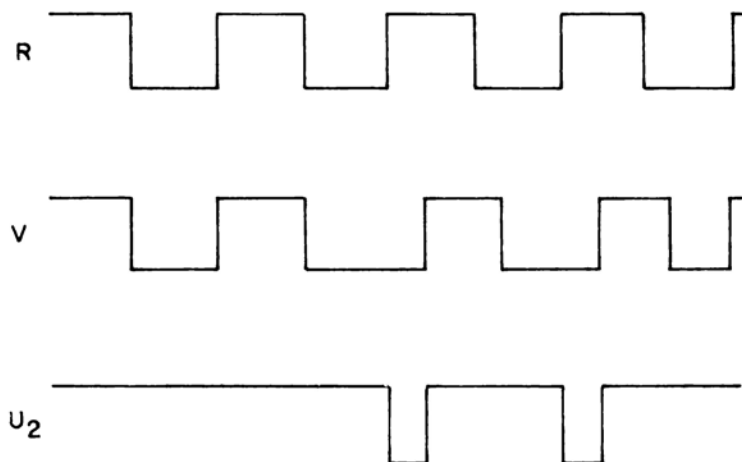


Fig. 3-16 Forme d'onda del rivelatore di fase N. 2 MC4044

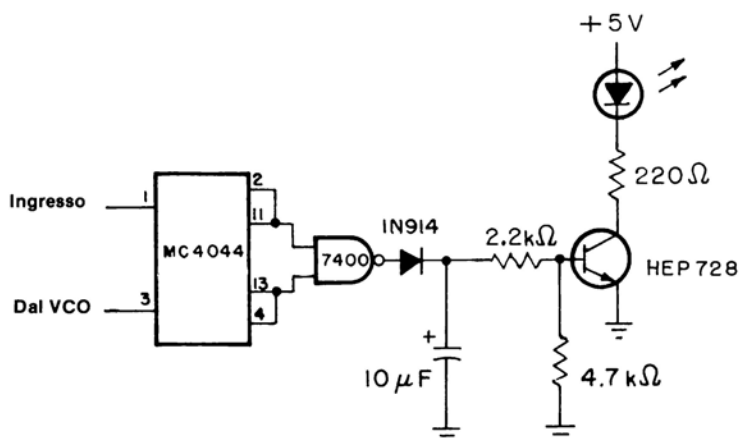


Fig. 3-17 Indicatore della "perdita di aggancio" per l'MC4044.

Nella Fig. 3-16 sono riportate delle forme d'onda che mostrano il funzionamento del rivelatore di fase N. 2 quando il rivelatore di fase N.1 viene usato come parte del sistema PLL. Quando l'anello è in ag-

gancio di fase l'uscita  $U_2$  resta al livello logico 1. Se l'anello esce dalla condizione di aggancio di fase, in  $U_2$  appare un impulso negativo la cui ampiezza è proporzionale all'entità della deriva.

Di conseguenza, questa caratteristica può essere utilizzata per realizzare un indicatore della "perdita di aggancio" usando il circuito della Fig. 3-17.

## INTRODUZIONE AGLI ESPERIMENTI

I seguenti esperimenti sono stati progettati per dimostrare la misura della differenza di fase, la tensione media di uscita, e le caratteristiche di ingresso/uscita di tipi differenti di rivelatori di fase. Per ogni tipo, sarete in grado di determinare il guadagno di conversione e il campo di funzionamento. Gli esperimenti che eseguirete possono essere riassunti nel modo seguente:

Esperimento N.	Scopo
1	Misurare la differenza di fase fra due segnali ad onda quadra aventi la stessa frequenza.
2	Determinare il funzionamento di una porta logica OR-Esclusivo, costruendo una tabella della verità.
3	Determinare le caratteristiche di ingresso/uscita di un rivelatore di fase OR-Esclusivo.
4	Determinare il funzionamento di un flip-flop R-S edge-triggered costruito mediante due porte NOR.
5	Determinare le caratteristiche di ingresso/uscita di un rivelatore di fase edge-triggered usando un flip-flop di tipo D.
6	Determinare le caratteristiche di ingresso/uscita del rivelatore di fase a circuito integrato, Motorola MC4044.

## ESPERIMENTO N. 1

### Scopo

Questo esperimento consente di misurare la differenza di fase fra due segnali ad onda quadra aventi la stessa frequenza. Per generare le diverse differenze di fase, useremo un circuito costruito mediante un paio di doppi flip-flop tipo D, 7474.

## Configurazione dei Pin del Circuito Integrato (Fig. 3-18)

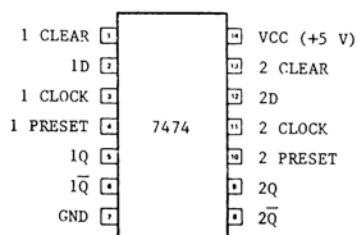


Fig. 3-18

## Schema del Circuito (Fig. 3-19)

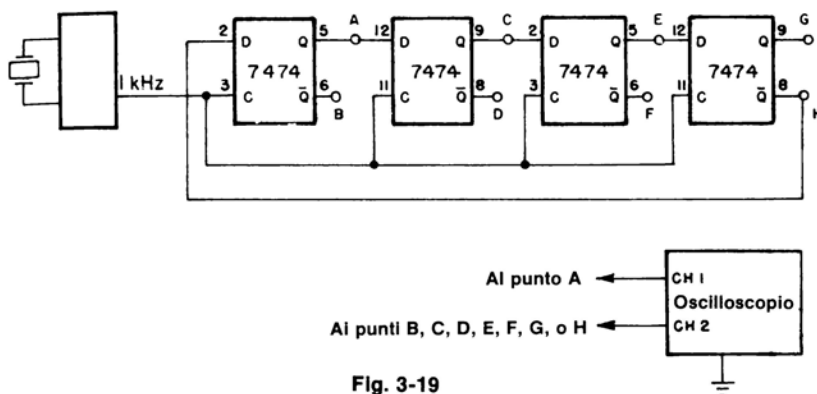


Fig. 3-19

## Formule di progetto

Differenza di fase:  $\Delta\phi = \frac{t}{T} \times 360^\circ$

### Passo 1

Predisponete il vostro oscilloscopio nel modo seguente:

- Canali 1 e 2: 5V/divisione
- Base dei tempi: 0,5 ms/divisione
- Accoppiamento c.c.
- Trigger sul canale 1

### Passo 2

Cablate il circuito illustrato nello schema, assicurandovi di avere realizzato correttamente i collegamenti di alimentazione ai circuiti integrati 7474; il pin 7 a massa e il pin 14 a + 5V.

### Passo 3

Dopo esservi assicurati che il vostro circuito sia montato correttamente, date tensioni al breadboard e quindi collegate il generatore di frequenza al circuito.

### Passo 4

Collegate ora la sonda del canale 1 dell'oscilloscopio al punto A (pin 5 del primo flip-flop) e la sonda del canale 2 ancora nel punto A. Poiché entrambe le sonde sono collegate nello stesso punto, dovrete osservare due segnali ad onda quadra che variano esattamente col tempo. Mettete la traccia del canale 1 sopra quella del canale 2. Quando eseguite le misure della differenza di fase, userete la convenzione che il canale 1 è il *segnale di riferimento*, mentre il canale 2 è il *segnale variabile*.

### Passo 5

Regolate ora la calibrazione di controllo della base dei tempi dell'oscilloscopio in modo che il periodo di entrambe le tracce sia esattamente di 10 divisioni orizzontali, come si vede nella visualizzazione oscillografica riportata nella Fig. 3-20.

### Passo 6

Collegate ora la sonda del canale 2 nel punto B dello schema. Dovreste vedere che la forma d'onda del canale 2 è *invertita* rispetto a quella del canale 1 (punto A). La forma d'onda del canale 2 *sale* esattamente 5 divisioni *dopo* quella del canale 1.

Poiché il periodo totale è pari a 10 divisioni (T) e la forma d'onda nel

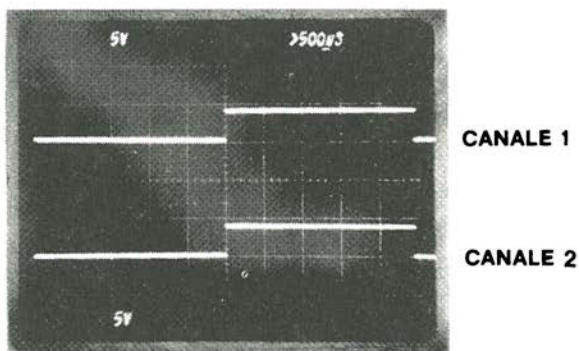


Fig. 3-20 Visualizzazione oscillografica



punto B si manifesta con 5 divisioni di ritardo rispetto alla forma d'onda nel punto A (t), la differenza di fase è:

$$\begin{aligned}\Delta\phi &= \frac{t}{T} \times 360^\circ \\ &= (5/10)(360^\circ) \\ &= 180^\circ\end{aligned}$$

per cui la forma d'onda nel punto A è in *anticipo* sulla forma d'onda nel punto B di  $180^\circ$ .

### Passo 7

Collegate ora la sonda del canale 2 nel punto C dello schema. Dovreste osservare che la forma d'onda del canale 2 *sale* con 1,25 divisioni di ritardo rispetto a quella del canale 1, per cui la differenza di fase è:

$$\begin{aligned}\Delta\phi &= (1.25/10)(360^\circ) \\ &= 45^\circ\end{aligned}$$

per cui il punto A è in anticipo sul punto B di  $45^\circ$ .

### Passo 8

Continuate ora a misurare la differenza di fase nei punti D, E, F, G e H rispetto al punto A, scrivendo i vostri risultati nella Tabella 3-3. Se avete fatto tutto correttamente ed accuratamente, i vostri risultati dovrebbero essere uguali a quelli della Tabella 3-4.

Se non è così, ripetete l'intero esperimento.

Conservate questo circuito su una parte del vostro breadboard, poiché vi servirà per l'Esperimento N. 3

**Tabella 3-3**

Canale 1	Canale 2	$\Delta$ Divisioni	$\Delta\phi$ (A rispetto a B)
A	A	0	$0^\circ$
A	B	5	$180^\circ$
A	C	1,25	$45^\circ$
A	D		
A	E		
A	F		
A	G		
A	H		

Tabella 3-4

Canale 1	Canale 2	$\Delta$ Divisioni	$\Delta\phi$ (A rispetto a B)
A	A	0	0°
A	B	5	180°
A	C	1,25	45°
A	D	6,25	225°
A	E	2,5	90°
A	F	7,5	270°
A	G	3,75	135°
A	H	8,75	315°

## ESPERIMENTO N. 2

### Scopo

Questo esperimento determina il funzionamento della porta OR-Esclusivo 7486 TTL costruendone la tabella della verità.

### Configurazione dei Pin del Circuito Integrato (Fig. 3-21)

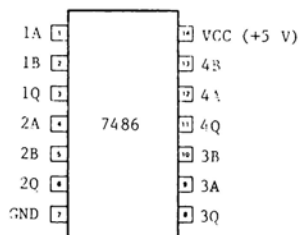


Fig. 3-21

### Schema del Circuito (Fig. 3-22)

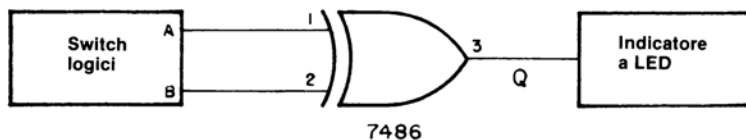


Fig. 3-22

### Passo 1

Cablate il circuito rappresentato nello schema. Non dimenticate le

connessioni di alimentazione ai pin 7 (massa) e 14 (+5 V) del chip 7486, poiché ciò è implicito, anche quando lo si omette dallo schema.

## Passo 2

Alimentate il breadboard e predisponete entrambi gli switch logici A e B allo stato logico 0. L'indicatore a LED dovrebbe essere *spento*, indicando che l'uscita Q della porta OR-Esclusivo è allo 0 logico.

## Passo 3

Variate le posizioni degli switch logici e completate la Tabella 3-5, denominata *tabella della verità*, in base alle uscite che osservate sull'indicatore a LED (spento indica lo 0 logico, acceso l'1 logico).

**Tabella 3-5**

Ingressi		Uscita
A	B	Q
0	0	0
1	0	
0	1	
1	1	

**Tabella 3-6**

Ingressi		Uscita
A	B	Q
0	0	0
1	0	1
0	1	1
1	1	0

## ESPERIMENTO N. 3

### Scopo

Questo esperimento determina le caratteristiche del rivelatore di fase OR-Esclusivo, usando il generatore di fasi dell'Esperimento N. 1 e una porta OR-Esclusivo TTL 7486.

### Configurazione dei Pin del Circuito Integrato (Fig. 3-23)

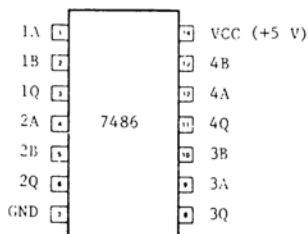


Fig. 3-23

### Schema del Circuito (Fig. 3-24)

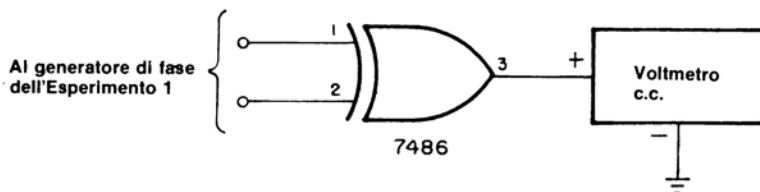


Fig. 3-24

#### Passo 1

Cablate il circuito rappresentato nello schema. Se non lo avete ancora fatto, montate il circuito del generatore di fasi dato nell'Esperimento N.1. Alimentate quindi il breadboard.

#### Passo 2

Collegate il pin 1 del 7486 al punto A del circuito generatore di fasi ed il pin 2 del 7486 ancora al punto A.

Dall'Esperimento N. 1, sappiamo già che la differenza di fase sarà  $0^\circ$ . Usando il voltmetro per corrente continua, misurate la tensione al pin 3 del 7486 e scrivete il vostro risultato:

$$V_o(\Delta\phi = 0^\circ) = \text{_____ volts}$$

Dovreste rilevare un valore di circa 0,075 V.

#### Passo 3

Collegate ora il pin 2 della porta OR-Esclusivo 7486 al punto B del circuito generatore di fasi. La differenza di fase sarà di  $180^\circ$ . Misurate la tensione di uscita al pin 3 e scrivete il vostro risultato:

$$V_o(\Delta\phi = 180^\circ) = \text{_____ volts}$$

### Passo 4

Continuate l'esperimento misurando la tensione di uscita della porta OR-Esclusivo collegando il pin 2 ai punti rimanenti del circuito generatore di fasi e scrivete i vostri risultati nella Tabella 3-7.

### Passo 5

Rappresentate ora graficamente i risultati che avete ottenuto nei passi 2, 3 e 4 sullo schema della Fig. 3-25, fornito per questo scopo. Se avete eseguito correttamente questo esperimento, dovrete ottenere una curva a forma di triangolo simmetrica rispetto a  $180^\circ$  (confrontate la Fig. 3-6).

Quando la differenza di fase aumenta, da 0 a  $180^\circ$  (o da 0 a  $\pi$  radianti), la tensione d'uscita del rivelatore di fase OR-Esclusivo cresce linearmente e raggiunge il suo massimo a  $180^\circ$ .

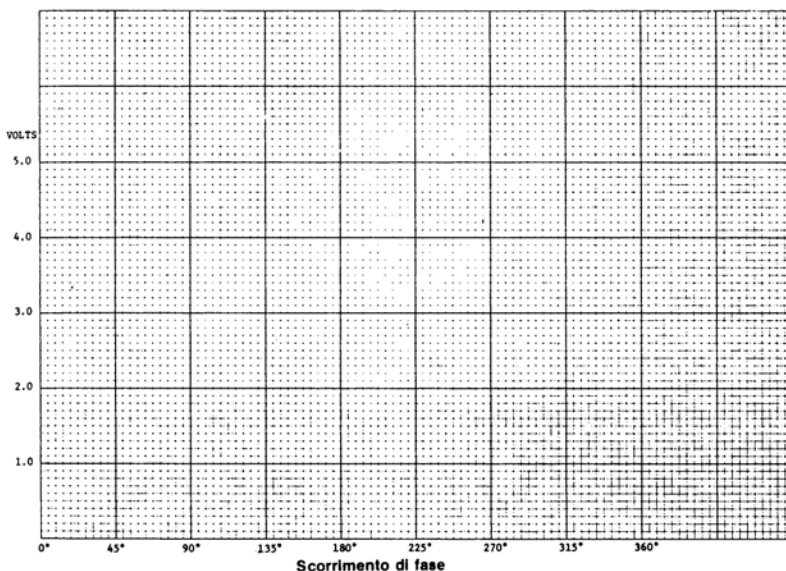


Fig. 3-25

### Passo 6

Calcolate ora il guadagno di conversione ( $K_\phi$ ) di questo rivelatore di fase OR-Esclusivo ricavando la derivata della linea. Per fare ciò, sottraete la tensione misurata in corrispondenza della differenza di fase  $0^\circ$  (Passo 2) dalla tensione misurata in corrispondenza della differenza di fase  $180^\circ$  (Passo 3). Dividete quindi tale differenza per  $\pi$  (3,14) radianti:

**Tabella 3-7**

Pin 2 collegato al	$\Delta\phi$	Tensione d'uscita
Punto C	45°	
Punto D	225°	
Punto E	90°	
Punto F	270°	
Punto G	135°	
Punto H	315°	

$$K_{\phi}(\text{OR-Esclusivo}) = \frac{V_o(180^\circ) - V_o(0^\circ)}{\pi}$$

= \_\_\_\_\_ volt/radiante

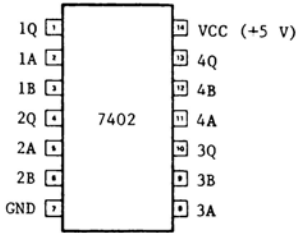
La tensione d'uscita dovrebbe variare da circa 0,075 a 3,84V, dando un guadagno di conversione del rivelatore di fase di 1,20 V/radiante.

**ESPERIMENTO N. 4**

**Scopo**

Questo esperimento dimostra il funzionamento di un flip-flop R-S edge-triggered, costruito mediante due porte NOR 7402.

**Configurazione dei Pin del Circuito Integrato (Fig. 3-26)**



**Fig. 3-26**

**Passo 1**

Cablate il circuito rappresentato nello schema. Non dimenticate le connessioni di alimentazione del circuito integrato 74021.

**Passo 2**

Alimentate il breadboard. Quale LED è acceso?

### Schema del Circuito (Fig. 3-27)

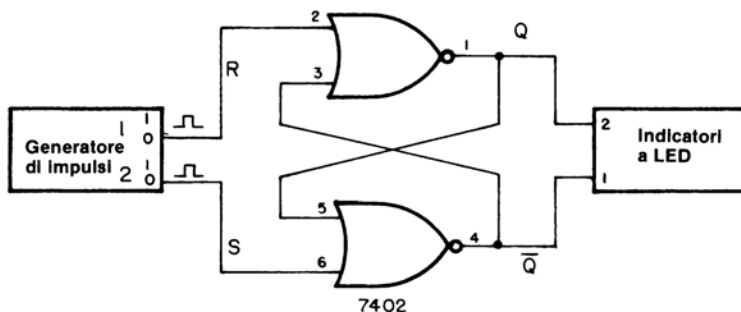


Fig. 3-27

Il LED N. 2 dovrebbe essere acceso, indicando che l'uscita Q del flip-flop è *alta* o allo stato logico 1.

### Passo 3

Ora premete e rilasciate il generatore d'impulsi N. 1, in modo che l'ingresso *reset* o R passi dallo 0 logico all'1 logico e ritorni allo 0 logico. Cosa accade ai due indicatori a LED?

Il LED N. 2 ora è spento, mentre il LED N. 1 è acceso, indicando che l'uscita Q è allo stato logico 0 e l'uscita  $\overline{Q}$  allo stato logico 1.

### Passo 4

Premete e rilasciate il generatore d'impulsi N. 1 per diverse volte. Accade qualche cosa?

Dovreste osservare che non accade *niente*! Questa è una caratteristica fondamentale del flip-flop R-S:

*“Se l'ingresso reset o R è allo stato logico 1 e l'ingresso set o S è allo stato logico 0, l'uscita Q (LED N. 2) si porta o rimane allo stato logico 0, mentre l'uscita  $\overline{Q}$  (LED N. 1) si porta o rimane nello stato logico 1”.*

### Passo 5

Ora premete e rilasciate il generatore d'impulsi N. 2, in modo che l'ingresso set o S passi dallo 0 logico all'1 logico e ritorni allo 0 logico. Che cosa accade?

Il LED N. 2 è ora acceso, mentre il LED N. 1 è spento, indicando che l'uscita Q è allo stato 1 logico mentre l'uscita  $\overline{Q}$  è allo 0 logico.

## Passo 6

Premete e rilasciate il generatore d'impulsi N. 2 diverse volte. Accade qualche cosa?

Non accade *niente*! Questa è un'altra caratteristica fondamentale del flip-flop R-S:

*“Se l'ingresso set o S è allo stato 1 logico mentre l'ingresso reset o R è allo stato 0 logico, l'uscita  $Q$  (LED N. 2) si porta o rimane nello stato 1 logico, mentre l'uscita  $\bar{Q}$  (LED N. 1) si porta o rimane nello stato logico 0”.*

Se entrambi gli ingressi si trovano in qualsiasi istante all'1 logico contemporaneamente, si dice che il flip-flop si trova in *condizione incerta*. Entrambe le uscite si trovano contemporaneamente nello stato logico 0. Tuttavia, l'ultimo ingresso che è passato allo 0 logico determina lo stato finale. *Questa situazione deve essere evitata!*

## ESPERIMENTO N. 5

### Scopo

Questo esperimento dimostra le caratteristiche dinamiche di un rivelatore edge-triggered, usando un flip-flop TTL di tipo D 7474.

### Configurazioni dei Pin dei Circuiti Integrati (Fig. 3-28)

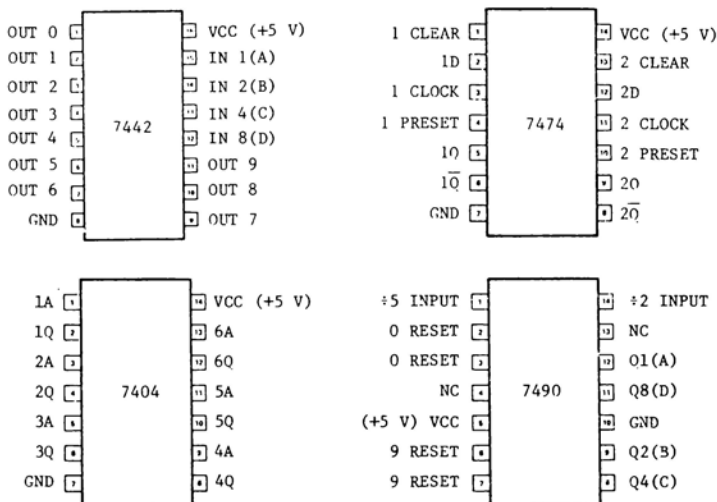


Fig. 3-28



### Schema del Circuito (Fig. 3-29)

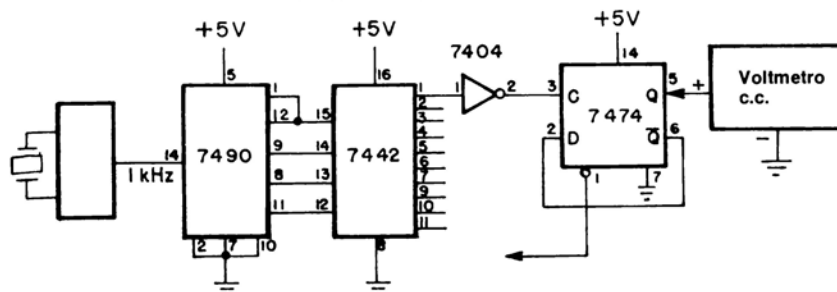


Fig. 3-29

#### Passo 1

Cablate il circuito rappresentato nello schema. Alimentate quindi il breadboard.

#### Passo 2

Collegate ora l'ingresso *reset* del rivelatore di fase (pin 1 del flip-flop 7474) al pin 1 del decodificatore 7442. La parte costituita dal contatore a decadi 7490 e dal decodificatore 7442 è un semplice generatore di fasi con incrementi fissi di  $36^\circ$ . L'invertitore 7404 viene usato per fornire il segnale impulsivo opportuno all'ingresso *set*.

#### Passo 3

Iniziando dal pin 1 del decodificatore 7442, misurate la tensione continua d'uscita del rivelatore di fase al pin 5 del chip 7474, completando la Tabella 3-8.

Tabella 3-8

Ingresso Reset (Pin d'uscita del 7442)	$\Delta\phi$	Tensione d'uscita
1	$0^\circ$	
2	$36^\circ$	
3	$72^\circ$	
4	$108^\circ$	
5	$144^\circ$	
6	$180^\circ$	
7	$216^\circ$	
9	$252^\circ$	
10	$288^\circ$	
11	$324^\circ$	

### Passo 4

Sul grafico in bianco che vi forniamo (Fig. 3-30) tracciate i risultati che avete ottenuto nel Passo 3. Che notevole differenza osservate fra la curva caratteristica del rivelatore di fase edge-triggered e quella del rivelatore di fase OR-Esclusivo?

Dovreste avere ricavato una linea retta da  $0^\circ$  a  $324^\circ$ , per cui il campo di funzionamento lineare del rivelatore di fase edge-triggered è il doppio di quello del tipo OR-Esclusivo.

### Passo 5

In base ai dati di cui disponete, calcolate il guadagno di conversione ( $K_\phi$ ) del rivelatore di fase edge-triggered. I vostri risultati dovrebbero essere approssimativamente questi:

$$\begin{aligned} K_\phi &= \frac{\Delta V_o}{\Delta \phi} \\ &= \frac{3.44 \text{ volts} - 0.08 \text{ volt}}{(324^\circ - 0^\circ)(1 \text{ rad}/57.3^\circ)} \\ &= 0.594 \text{ V/rad} \end{aligned}$$

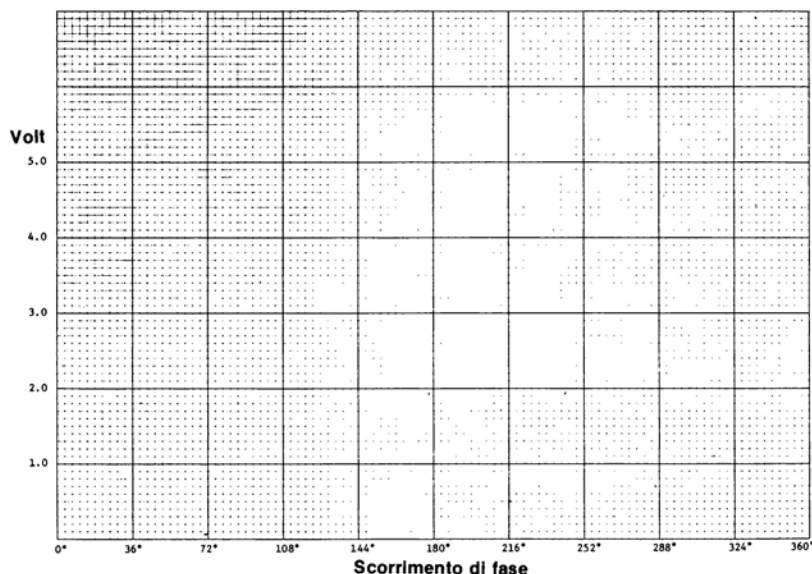


Fig. 3-30

che è circa la metà di quello del rivelatore di fase OR-Esclusivo.

## ESPERIMENTO N. 6

### Scopo

Questo esperimento di mostra il funzionamento del rivelatore di fase a circuito integrato Motorola MC4044.

### Configurazioni del Pin dei Circuiti Integrati (Fig. 3-31)

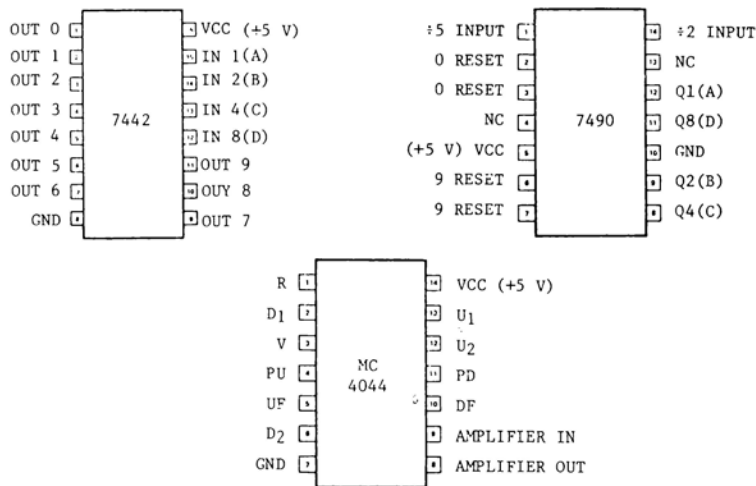


Fig. 3-31

### Schema del Circuito (Fig. 3-32)

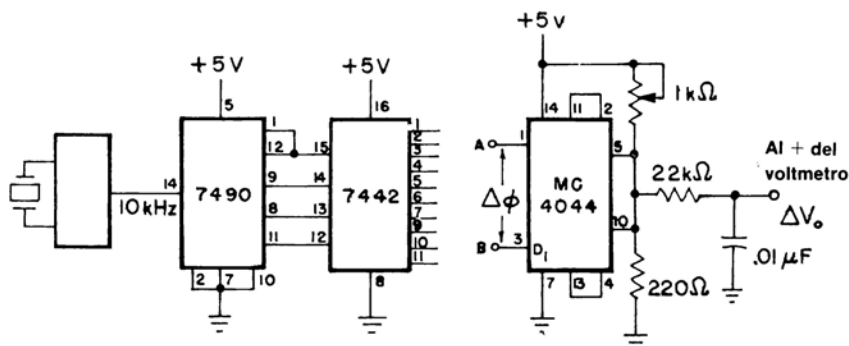


Fig. 3-32

### Passo 1

Cablate il circuito rappresentato nello schema. Collegate inizialmente i pin 1 e 3 del rivelatore di fase MC4044 al pin 1 del decodificatore 7442 ( $\Delta\phi = 0^\circ$ ).

Alimentate il breadboarding quindi collegare il generatore di segnali ad onda quadra a livello TTL da 10 kHz all'ingresso del contatore a decadi 7490. Regolate quindi il potenziometro da 1 k $\Omega$  in modo che la tensione d'uscita sia 1,50 V.

## Passo 2

Collegate i due ingressi A e B dell'MC4044 come indicato nella Tabella 3-9 e scrivete i vostri risultati.

**Tabella 3-9**

Ingressi MC4044 A	
----------------------	--

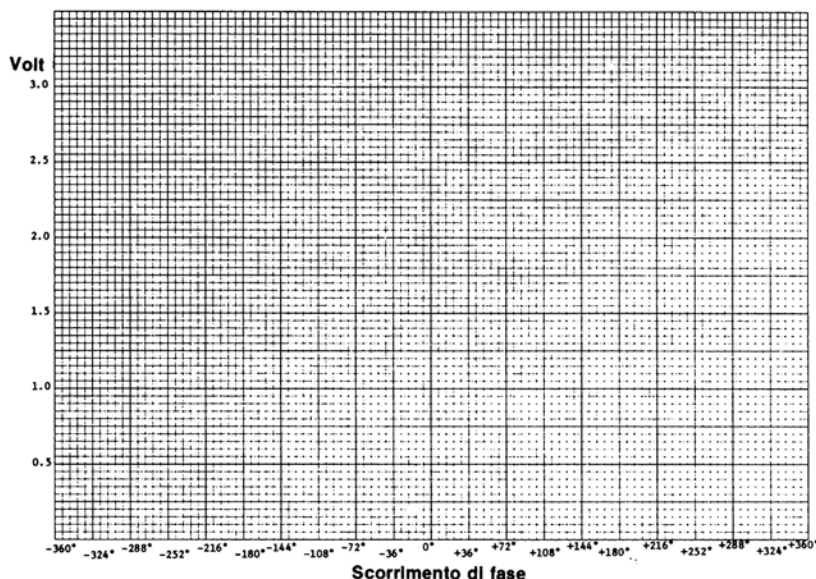


Fig. 3-33

### Passo 3

Rappresentate ora graficamente i vostri risultati usando lo schema in bianco (Fig. 3-33) fornitovi per questo scopo. Se avete fatto correttamente, dovrete trovare che il campo di funzionamento lineare del rivelatore di fase MC4044 è doppio di quello del rivelatore di fase edge-triggered (cioè  $4\pi$  radianti invece di  $2\pi$  radianti).

### Passo 4

In base ai risultati che avete ottenuto nel Passo 2, determinate il guadagno di conversione dell'MC4044. I vostri risultati dovrebbero essere approssimativamente:

$$K_{\phi} = \frac{\Delta V_o}{\Delta \phi}$$

per cui,

$$\Delta \phi = \frac{648^\circ}{57.3^\circ/\text{rad}} = 11.31 \text{ rad.}$$

$$\Delta V_o = 2.10 - 0.96 = 1.14 \text{ volts}$$

$$K_{\phi} = \frac{1.14 \text{ volts}}{11.31 \text{ rad.}} = 0.10 \text{ V/rad.}$$

confrontato con un valore tipico di 0,12 V/rad (Motorola).

## CAPITOLO 4

# L'OSCILLATORE CONTROLLATO IN TENSIONE

## INTRODUZIONE

L'oscillatore controllato in tensione, o VCO, è il secondo blocco base integrale del circuito PPL, la cui frequenza di uscita è quella del VCO. Questo capitolo descrive il funzionamento ed il progetto di molti circuiti basati sui circuiti integrati MC4024 ed MC1648.

## OBIETTIVI

Alla fine di questo capitolo, sarete in gradi di:

- Descrivere la funzione fondamentale dell'anello di fase VCO.
- Definire il guadagno di conversione del VCO.
- Progettare dei circuiti VCO usando i circuiti integrati MC4024 e MC1648.
- Spiegare la funzione di un condensatore a tensione variabile.

## FONDAMENTI SUL VCO

L'oscillatore controllato in tensione, detto VCO, è una rete la cui frequenza di uscita è direttamente proporzionale alla tensione di controllo in ingresso (Fig. 4-1).

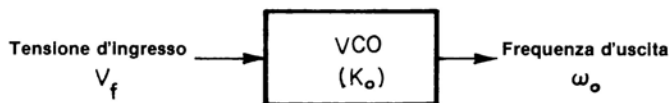


Fig. 4-1 Schema a blocchi dell'oscillatore fondamentale controllato in tensione.

Il VCO può anche essere denominato convertitore tensione/frequenza, per cui, matematicamente,

$$\omega_o = K_o V_t \quad (\text{Eq. 4-1})$$

dove,

$\omega_o$  è la frequenza del VCO (rad/s),

$V_t$  è la tensione di controllo in ingresso dal filtro ad anello,

$K_o$  è il guadagno di conversione del VCO (rad/s/V).

Il guadagno di conversione del VCO ( $K_o$ ) è la costante di proporzionalità che converte in frequenza la tensione di controllo in ingresso.

In quasi tutta la letteratura sui circuiti PLL, è usata la lettera greca  $\omega$  (omega) rappresentante la frequenza, in radianti/secondo. La frequenza *radiante* ( $\omega$ ) è legata alla frequenza ( $f$ ) espressa in Hz (hertz) mediante il fattore  $2\pi$ , per cui

$$\omega = 2\pi f \quad (\text{Eq. 4-2})$$

Per esempio, la frequenza di 60 Hz della rete di alimentazione è uguale ad una frequenza in radianti pari a  $2\pi$  volte 60 Hz, o 377 rad/s.

Durante l'aggancio di fase, la frequenza di uscita del VCO sarà esattamente uguale alla frequenza d'ingresso dell'anello, eccetto che per una differenza di fase costante e finita. Poiché la frequenza in radianti è la derivata rispetto al tempo della fase,

$$\omega = \frac{d(\Delta\phi)}{dt} \quad (\text{rad/s}) \quad (\text{Eq. 4-3})$$

la differenza di fase fra la frequenza di uscita del VCO e la frequenza d'ingresso dell'anello è veramente proporzionale all'integrale della tensione di controllo in ingresso, che è la tensione media e continua che proviene dal rivelatore di fase e dal filtro ad anello. Qualsiasi segnale sovrappreso alla tensione di controllo continua varierà, a sua volta, la frequenza del VCO.

## CIRCUITI VCO

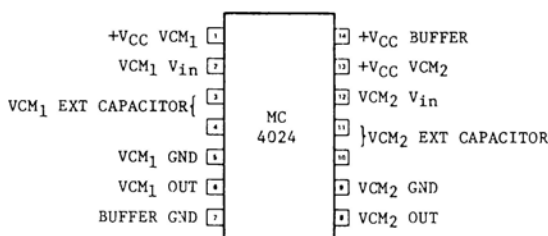
Benchè vi sia una miriade di circuiti possibili, noi prenderemo in considerazione due dei più popolari VCO a circuiti integrati, usati per i sistemi PLL.

### MC4024 - MULTIVIBRATORE CONTROLLATO IN TENSIONE (VCM)

Il circuito integrato MC4024 è un dispositivo in contenitore DIP a 14 pin (rappresentato nella Fig. 4-2) costruito dalla Motorola.

Esso contiene due multivibratori controllati in tensione indipendenti (generatori di onde quadre) con buffer d'uscita.

Ogni VCM contiene all'incirca 17 transistori, 23 resistori e 5 diodi. Dalla configurazione dei pin di Fig. 4-2, si dovrebbe notare che ci sono tre  $+V_{cc}$  (+5 volt) e tre connessioni a massa. Ogni sezione VCM ha delle connessioni  $+V_{cc}$  e di massa separate, e il corrispondente buffer d'uscita ha pin  $+V_{cc}$  e di massa in comune con l'altro. Questo metodo offre un isolamento fra le due sezioni VCM, minimizzando contemporaneamente l'effetto dei transistori d'uscita dei buffer sul VCM, in applicazioni critiche.

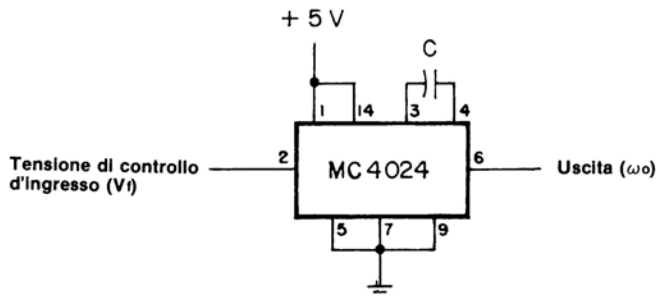


**Fig. 4-2 Configurazione dei pin del multivibratore controllato in tensione MC4024.**

Il campo della frequenza di funzionamento è controllato dal valore di un condensatore esterno collegato fra i pin 3 e 4 (o 10 e 11), come si vede nel circuito fondamentale della Fig. 4-3.

Per valori del condensatore esterno maggiori di 100 pF, la frequenza approssimativa può essere determinata nel modo seguente:

$$f_o(\text{MHz}) = \frac{300}{C(\text{pF})} \quad (\text{Eq. 4-4})$$



**Fig. 4-3 Schema elettrico dell'MC4024**

L'MC4024 ha una frequenza d'uscita massima di 25 MHz e, in condizioni ideali, un campo di sintonizzazione di 3,5 a 1.



Per delle informazioni di progetto complete, consultate i dati dell'MC4024 riportati nell'Appendice B.

### MC1648 - OSCILLATORE CONTROLLATO IN TENSIONE

Il circuito integrato MC1648, anch'esso fabbricato dalla Motorola, è un dispositivo ad accoppiamento d'emettitore (ECL) disposto in un contenitore da 14 pin (Fig. 4-4). Esso contiene l'equivalente di 11 transistori, 13 resistori e 2 diodi, che formano un oscillatore con buffer d'uscita.

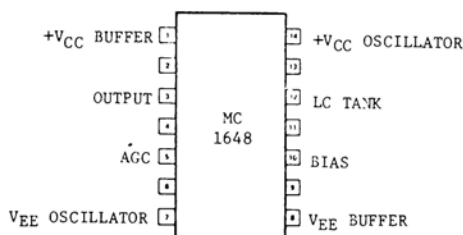


Fig. 4-4 Configurazione dei pin dell'oscillatore controllato in tensione MC1648.

Normalmente alimentato con una tensione di +5 volt ( $V_{EE} = \text{massa}$ ), l'MC1648 richiede un parallelo esterno induttanza condensatore, o rete "tampono" LC, per produrre l'oscillazione, come si può vedere nel tipico circuito operativo della Fig. 4-5. Per questo circuito, la frequenza dell'oscillatore ad onda quadra viene determinata da

$$\omega_o = \frac{1}{(LC_T)^{1/2}} \quad (\text{rad/s}) \quad (\text{Eq. 4-5a})$$

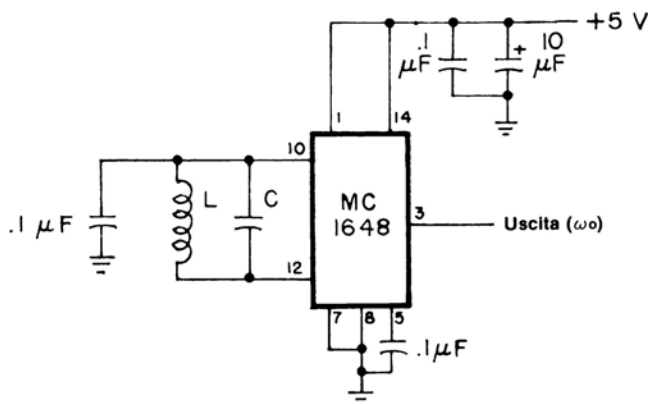


Fig. 4-5 Schema elettrico dell'MC1648

oppure,

$$f_o = \frac{1}{2\pi(LC_T)^{1/2}} \quad (\text{Hz}) \quad (\text{Eq. 4-5b})$$

dove  $C_T$  è la somma della capacità del circuito tampone dell'oscillatore ( $C$ ) e della capacità d'ingresso ( $C_{in}$ ) dell'MC1648, che vale tipicamente 6 pF. Con valori opportuni per il circuito tampone esterno, è possibile raggiungere delle frequenze d'uscita fino ad un massimo di circa 225 MHz.

Quando l'MC1648 viene usato come VCO in sistemi PLL, come parte del circuito tampone viene generalmente utilizzato un diodo controllato in tensione, chiamato *diodo varactor*, per fornire una tensione variabile in ingresso al VCO, come si vede nel circuito della Fig. 4-6.

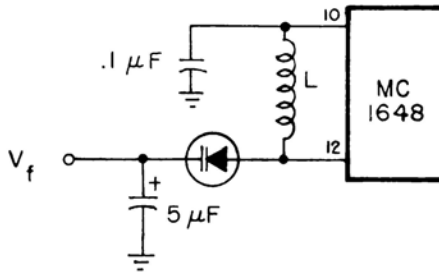


Fig. 4-6 Circuito con MC1648 e diodo varactor.

Il campo di sintetizzazione del VCO viene quindi determinato da:

$$\frac{f_{\max}}{f_{\min}} = \left( \frac{C_{D(\max)} + C_{in}}{C_{D(\min)} + C_{in}} \right)^{1/2} \quad (\text{Eq. 4-6})$$

dove,

$$f_{\min} = \frac{1}{2\pi[L(C_{D(\max)} + C_{in})]^{1/2}}, \quad (\text{Eq. 4-7})$$

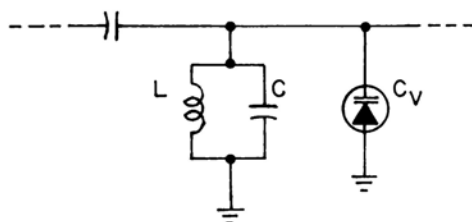
$C_D$  = capacità del varactor per la tensione di polarizzazione d'ingresso,  
 $C_{in}$  = capacità d'ingresso dell'MC1648 (tipicamente 6 pF).

Nel prossimo paragrafo descriveremo l'uso e la selezione dei diodi varactor.

## IL VARACTOR

Come si è brevemente sottolineato nel paragrafo precedente, un diodo varactor viene generalmente usato per variare la capacità della rete tampone LC di un oscillatore. Fondamentalmente, un varactor è un condensatore a tensione variabile, basato su fenomeni di semiconduzione che possono essere utilizzati per applicazioni di sintonizzazione elettronica.

Nel suo funzionamento, il varactor opera principalmente nella regione compresa fra la conduzione diretta ed il breakdown inverso, che è la regione nella quale un diodo convenzionale è considerato in cut-off.

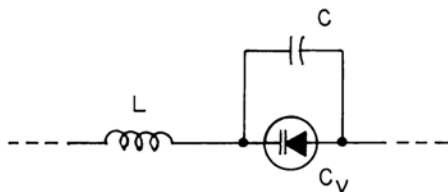


**Fig. 4-7. Sintonizzazione parallela del varactor.**

Di conseguenza, il varactor non funziona nè come un raddrizzatore (conduzione diretta), nè come un diodo zener (breakdown inverso).

La maggior parte dei circuiti risonanti a varactor assumono la forma parallela (Fig. 4-7) o la forma seriale (Fig. 4-8).

In entrambi i casi, la frequenza di risonanza o di oscillazione del circuito tampone è data dall'Equazione 4-5, nella quale la capacità  $C_T$  è ora la somma delle capacità del circuito tampone, dell'ingresso dell'MC1648 e del varactor.



**Fig. 4-8. Sintonizzazione seriale del varactor.**

Per scegliere un varactor adatto, vengono considerati tre parametri:

1.  $C_T$  — Capacità nominale, normalmente ad una particolare tensione.
2. Rapporto di capacità (CR) — Il rapporto delle capacità per due tensioni applicate separate, per cui:

$$\text{dove,} \quad CR = \frac{C_{V(\min)}}{C_{V(\max)}} = \left( \frac{V_{\max}}{V_{\min}} \right)^\rho \quad (\text{Eq. 4-8})$$

$\rho$  = esponente capacitativo (tipicamente 0,5 pur potendo variare da 0,3 a 2,0).

3. Rapporto di frequenza (FR) — Uguale alla radice quadrata del rapporto di capacità,

$$FR = (CR)^{1/2} \quad (\text{Eq. 4-9})$$

### Esempio

Per esempio, il varactor MV2107 (Motorola) ha una capacità nominale di 22 pF ( $\pm 10\%$ ) a 4 V. Il rapporto di capacità è variabile fra 2,5 e 1, per un campo di tensioni compreso fra 2 e 30 V, dando un rapporto di frequenza di 1,58 a 1.

Dalla Equazione 4-8 può essere determinato l'esponente capacitativo ( $\rho$ ) del varactor MV2107,

$$\begin{aligned} CR &= \left( \frac{V_{\max}}{V_{\min}} \right)^\rho \\ 2.5 &= \left( \frac{30}{2} \right)^\rho \\ &= (15)^\rho \\ \log(2.5) &= \rho \log(15) \\ \text{per cui,} \quad \rho &= 0.3384 \end{aligned}$$

Utilizzando ora ancora l'Equazione 4-8 e il valore nominale di 22 pF a 4 V,

$$\begin{aligned} \frac{C_{V(\min)}}{C_{V(\max)}} &= \left( \frac{V_{\max}}{V_{\min}} \right)^\rho \\ \frac{22 \text{ pF}}{C_{V(\max)}} &= \left( \frac{30 \text{ V}}{4 \text{ V}} \right)^{0.3384} \\ &= 1.98 \end{aligned}$$

Risolvendo per  $C_{V(\max)}$  otteniamo,

$$C_{V(\max)} = 11.1 \text{ pF } (@ 30 \text{ volts})$$

Dato che il rapporto delle capacità è 2,5, dall'Equazione 4-8, risolvendo per  $C_{V(\min)}$ , è:

$$CR = \frac{C_{V(\min)}}{C_{V(\max)}}$$

$$2.5 = \frac{C_{V(\min)}}{11.1 \text{ pF}}$$

oppure,

$$C_{V(\min)} = 27.8 \text{ pF (@ 2 volts)}$$

Come prolungamento di questo esempio, possiamo vedere in che modo tale variazione di capacità influisca sulla frequenza di risonanza del circuito tampone costituito da un'induttanza di  $1\mu\text{H}$  e dal varactor MV2107. A 2 V, la frequenza di risonanza, dall'Equazione 4-7 vale

$$f_{o(\min)} = \frac{1}{2\pi[(1 \mu\text{H})(27.8 \text{ pF})]^{1/2}}$$

$$= 30.2 \text{ MHz (@ 2 volts)}$$

Usando ancora l'Equazione 4-7, ma calcolando  $f_{o(\max)}$  con  $C = 11.1 \text{ pF}$ , la frequenza vale

$$f_{o(\max)} = 47.8 \text{ MHz (@ 30 volts)}$$

per cui il rapporto di frequenza  $f_{o(\max)}/f_{o(\min)}$  vale

$$\frac{f_{o(\max)}}{f_{o(\min)}} = \frac{47.8 \text{ MHz}}{30.2 \text{ MHz}}$$

$$= 1.58$$

che è esattamente il rapporto di frequenza determinato precedentemente.

## ALTRI CIRCUITI INTEGRATI

Sono disponibili degli altri circuiti integrati che possono funzionare come VCO. La loro frequenza massima, tuttavia, determinata mediante una resistenza e una capacità esterne, è normalmente limitata ad 1 MHz, e inoltre essi non sono adatti per i campi di frequenza richiesti dai sintetizzatori ad anello a blocco di fase (Capitolo 6). Esempi di dispositivi che rientrano in questo gruppo sono il generatore di funzioni KR-2206 (Exar), il generatore di forme d'onda/VCO 8038 (Intersil) ed il VCO 566 (Signetics e National Semiconductor).

D'altra parte, esistono dei circuiti integrati monolitici che contengono

un VCO all'interno di un anello a blocco di fase su un chip singolo. Di questi dispositivi si parlerà nel Capitolo 7.

## INTRODUZIONE ALL'ESPERIMENTO

L'unico esperimento di questo capitolo esamina il funzionamento del multivibratore controllato in tensione MC4024, la cui frequenza d'uscita è una funzione della tensione di controllo in ingresso per un dato condensatore esterno di determinazione della frequenza.

### ESPERIMENTO N. 1

#### Scopo

Questo esperimento dimostra il funzionamento di un oscillatore controllato in tensione, che usa un circuito integrato MC4024.

#### Configurazione dei Pin del Circuito Integrato (Fig. 4-9)

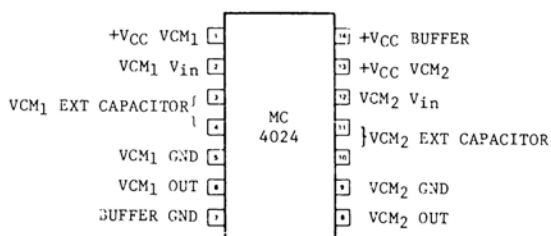


Fig. 4-9

#### Passo 1

Cablate il circuito rappresentato nello schema ed alimentate il breadboard. Con il voltmetro collegato al pin 2 dell'MC4024, regolate il potenziometro da 10 k  $\Omega$  finché la lettura del voltmetro non sarà + 2,50 V, che è la tensione di controllo in ingresso del VCO.

#### Passo 2

Variate ora la tensione di controllo in ingresso agendo sul potenziometro come indica la Tabella 4-1, scrivendo la frequenza di uscita risultante del VCO.

Dovreste aver osservato che, quando la tensione di controllo in ingresso viene aumentata, anche la frequenza di uscita del VCO cresce. La frequenza esatta ad ogni tensione di controllo in ingresso data non è

Schema del circuito (Fig. 4-10)

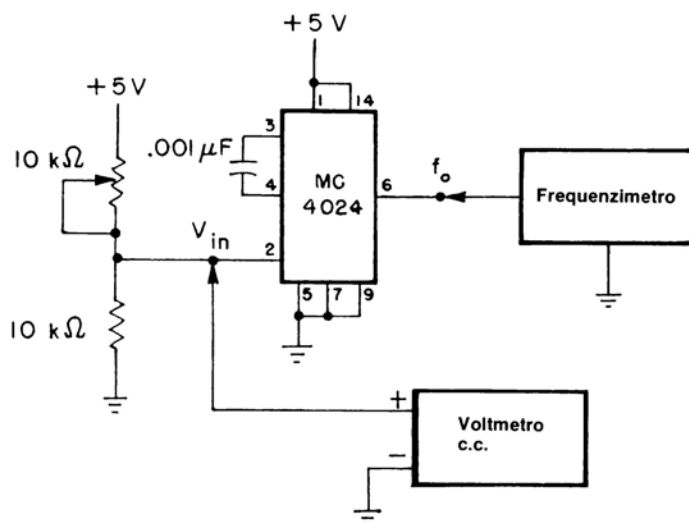


Fig. 4-10.

Tabella 4-1

$V_{in}$	$f_o$
2,50 V	
2,75 V	
3,00 V	
3,25 V	
3,50 V	
3,75 V	
4,00 V	
4,25 V	
4,50 V	

molto importante, ai fini di questo esperimento. Questo esperimento vuole solo dimostrare che la tensione di controllo in ingresso controlla la frequenza di uscita del VCO.

### **Passo 3**

Scollegate l'alimentazione del breadboard e cambiate il condensatore connesso fra i pin 3 e 4 con un elemento da 100 pF. Alimentate il breadboard e regolate la tensione di controllo in ingresso a 2,50 V. Dovreste aver misurato una frequenza di uscita che è circa 10 volte maggiore di quella del Passo 2. Per il dispositivo MC4024, come per altri tipi di oscillatori controllati in tensione, il valore del condensatore esterno per la determinazione della frequenza influiscono anche sulla frequenza del VCO, come la tensione di controllo in ingresso.



## CAPITOLO 5

# IL FILTRO AD ANELLO E LA RELATIVA RISPOSTA

### INTRODUZIONE

Fino ad ora, abbiamo discusso del rivelatore di fase e dell'oscillatore controllato in tensione. Niente si è detto, tuttavia, di ciò che determina la risposta globale dell'anello. E' compito del filtro d'anello quello di controllare l'aggancio, la cattura, l'ampiezza di banda e la risposta transitoria dell'anello. In questo capitolo, vengono descritti molti tipi di reti filtranti passa-basso, necessarie per realizzare tali funzioni.

### OBIETTIVI

Alla fine di questo capitolo, sarete in grado di:

- Descrivere l'effetto della risposta dell'anello quando il fattore di smorzamento viene variato.
- Definire i termini seguenti:
  - frequenza naturale
  - frequenza naturale smorzata
  - ampiezza di banda
  - tempo di assestamento
  - overshoot
  - campo di aggancio
  - cattura
- Descrivere il processo di aggancio e di cattura per mezzo di un diagramma tensione/frequenza.
- Descrivere diverse reti filtranti passa-basso usate nei sistemi PLL.

- Determinare sperimentalmente i parametri di un semplice sistema di secondo ordine.

## FUNZIONE DEL FILTRO AD ANELLO

L'inserimento di una rete filtrante passa-basso nel circuito PLL ha due funzioni fondamentali.

Prima di tutte, essa rimuove tutte le componenti di rumore e di elevata frequenza della tensione di uscita del rivelatore di fase fornendo, pertanto, una tensione media (continua). Inoltre, essa rappresenta il blocco costruttivo fondamentale per la determinazione della caratteristica dinamica dell'anello, che comprende i seguenti fattori:

- Campi di cattura e di aggancio.
- Ampiezza di banda.
- Risposta transitoria.

Il filtro ad anello può essere passivo od attivo. Benchè sia necessaria una discussione matematica dettagliata per apprezzare perchè il filtro faccia ciò per cui è stato concepito, essa è, tuttavia, oltre gli scopi di questo libro. Le origini della maggior parte delle equazioni di progetto presentate in questo capitolo, tuttavia, sono date nell'Appendice A.

Il sistema completo PLL presenta le caratteristiche di un *sistema di secondo ordine* (simile ad un pendolo oscillante od a una corda vibrante). Prima di discutere dei possibili circuiti filtranti, dobbiamo avere una idea generale di quali fattori influiscono sulla risposta dell'anello, poichè a loro volta tali parametri sono determinati dal progetto del filtro. La risposta di un sistema di secondo ordine, in funzione della frequenza, presenta la forma:

$$\frac{V_{out}}{V_{in}} \text{ (dB)} = -20 \log [\omega^4 + 2\omega^2(2\zeta^2 - 1) + 1]^{1/2}$$

dove,

(Eq. 5-1)

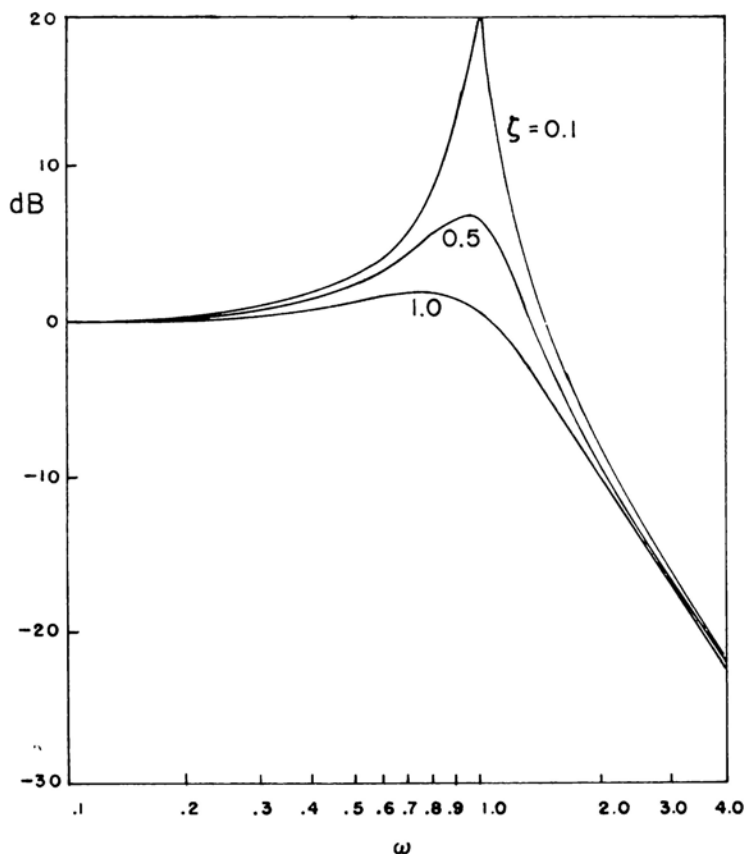
$V_m$  = tensione d'ingresso dell'anello

$V_{out}$  = tensione di uscita dell'anello

$\zeta$  = fattore di smorzamento (infinito)

$\omega$  = rapporto fra la frequenza d'ingresso ( $\omega_1$ ) e la frequenza naturale non smorzata ( $\omega_n$ ).

Rappresentando graficamente l'Equazione 5-1, come in Fig. 5-1, il singolo parametro che governa la forma globale della curva della risposta in funzione della frequenza di un sistema di secondo ordine è il *fattore di smorzamento* ( $\zeta$ ), che da alcuni autori è stato chiamato *rapporto di smorzamento*.



**Fig. 5-1** Effetto dello smorzamento sulla risposta in frequenza di un sistema di secondo ordine.

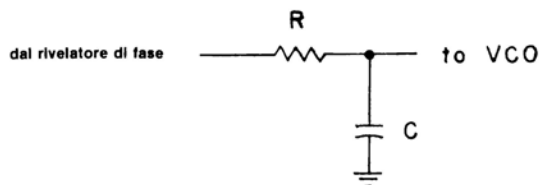
Per un dato valore di smorzamento, la frequenza a cui la risposta è massima è la *frequenza naturale non smorzata* e, in breve, *frequenza naturale*. Per uno smorzamento minore, alla frequenza naturale si avrà un picco maggiore.

La frequenza alla quale la risposta è inferiore di 3 dB della risposta massima è chiamata *ampiezza di banda* del sistema.

Se il fattore di smorzamento potesse essere nullo, avremmo un oscillatore sinusoidale (si veda l'Appendice A). I parametri come il fattore di smorzamento e la frequenza naturale non smorzata vengono controllati fondamentalmente dal filtro ad anello. Pertanto, per mezzo del progetto del filtro, possiamo controllare la risposta dell'anello.

## CIRCUITI PER FILTRI PASSA-BASSO

Nei sistemi PLL, ci sono molti circuiti di uso corrente per filtri passa-basso. In questo paragrafo, ne verranno descritti tre tipi.



**Fig. 5-2. Filtro passa-basso RC di primo ordine.**

Come si vede nella Fig. 5-2, abbiamo una semplice rete RC di primo ordine, posto fra il rivelatore di fase e il VCO.

La *frequenza di taglio* ( $\omega_{LPF}$ ) di questo filtro è data da:

$$\omega_{LPF} = 1/RC \quad (\text{rad/s}) \quad (\text{Eq. 5-2})$$

Senza alcuna derivata, la *frequenza naturale* dell'anello può essere espressa in termini della frequenza di taglio del filtro, per cui

$$\omega_n = (K_\phi K_o \omega_{LPF})^{1/2} \quad (\text{Eq. 5-3})$$

Inoltre, il fattore di smorzamento può essere espresso come

$$\zeta = \frac{1}{2} \left( \frac{\omega_{LPF}}{K_\phi K_o} \right)^{1/2} \quad (\text{Eq. 5-4})$$

Nel prossimo paragrafo si spiegherà come la frequenza naturale ed il fattore di smorzamento dell'anello vengono scelti.

Un'altra rete passiva filtrante è il circuito a ritardo-anticipo della Fig. 5-3. La frequenza di taglio di tale filtro è data da

$$\omega_{LPF} = \frac{1}{(R_1 + R_2)C} \quad (\text{rad/s}) \quad (\text{Eq. 5-5})$$

La frequenza naturale viene quindi espressa come

$$\omega_n = (K_\phi K_o \omega_{LPF})^{1/2} \quad (\text{rad/s}) \quad (\text{Eq. 5-6})$$

ed il fattore di smorzamento è dato da

$$\zeta = \frac{\omega_n}{2} \left[ R_2 C + \left( \frac{1}{K_\phi K_0} \right) \right] \quad (\text{Eq. 5-7})$$

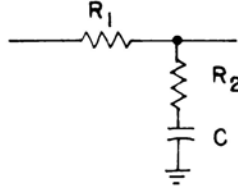


Fig. 5-3. Filtro passa-basso di primo ordine a ritardo-anticipo.

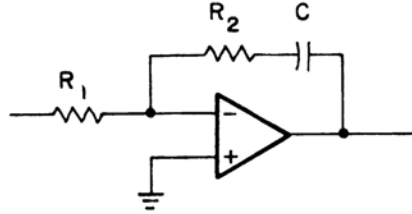


Fig. 5-4. Filtro passa-basso attivo

La rete passiva a ritardo-anticipo può essere usata con un amplificatore operazionale per la formazione di un circuito filtrante attivo, come si vede nella Fig. 5-4. La frequenza di taglio è espressa come

$$\omega_{\text{LPF}} = \frac{1}{R_1 C} \quad (\text{rad/s}) \quad (\text{Eq. 5-8})$$

mentre la frequenza naturale dell'anello e il fattore di smorzamento si ricavano da

$$\omega_n = (K_\phi K_0 \omega_{\text{LPF}})^{1/2} \quad (\text{rad/s}) \quad (\text{Eq. 5-9})$$

e da

$$\zeta = \left( \frac{R_2 C}{2} \right) \omega_n \quad (\text{Eq. 5-10})$$

Nelle Equazioni 5-3, 5-6 e 5-9, la frequenza naturale dell'anello dipende completamente dal prodotto  $K_\phi K_0$  (a cui ci si riferisce spesso come *guadagno in continua dell'anello*) e dalla frequenza di taglio del filtro.

## LA RISPOSTA TRANSITORIA

Quando un sistema libero di secondo ordine ( $\zeta < 1$ ) vede una variazione improvvisa al proprio ingresso, come lo scorrimento dell'anello ad aggancio di fase da una frequenza ( $f_1$ ) ad un'altra ( $f_2$ ), l'uscita del VCO tenta di seguire questo cambiamento, ma oscilla intorno al valore di  $f_2$  per un certo periodo di tempo e infine si stabilisce alla nuova frequenza (stato stazionario). Questo processo è illustrato nella Fig. 5-5. Quanto rapidamente tale processo si completa dipende dal fattore di smorzamento dell'anello che, a sua volta, è controllato dal filtro ad anello. Come si vede nel grafico della Fig. 5-6, quando si usa il semplice filtro RC della Fig. 5-2, le oscillazioni impiegano più tempo per stabilizzarsi nello stato di regime, se il fattore di smorzamento viene diminuito. Per conseguire dei valori ragionevoli per  $\zeta$  e  $\omega_n$ , un metodo è quello di realizzare un progetto in base ad una quantità specifica di *overshoot* all'interno di un *tempo di assestamento* dato.

*L'overshoot è la differenza massima fra il valore stazionario ed il transitorio per una variazione improvvisa applicata all'ingresso del PLL.*

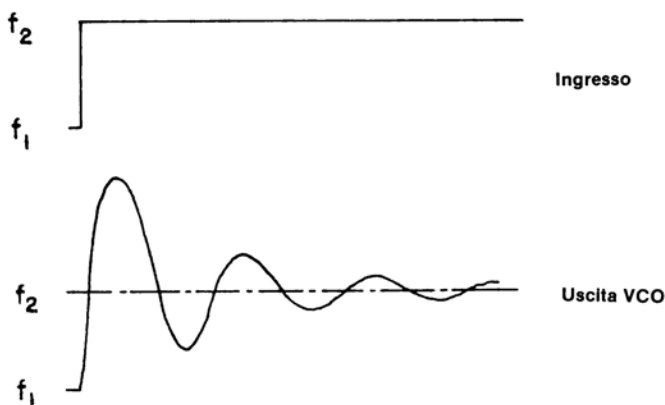


Fig. 5-5 Risposta transitoria.

- Il tempo di assestamento ( $t_s$ ) è il tempo richiesto dalla risposta transitoria per raggiungere e restare all'interno di un valore percentuale specifico del valore dello stato di stazionarietà. (Per esempio, 10%).

Come regola generale, il fattore di smorzamento viene scelto in modo da essere compreso fra 0,5 e 0,8. Ciò lascia come parametri decisionali

soltanto l'overshoot ed il tempo di assestamento, come illustrato nell'esempio seguente:

### Esempio

Usando il filtro ad anello della Fig. 5-2, supponete di voler progettare un sistema PLL con un fattore di smorzamento di 0,5, in modo che l'uscita sia minore del 10% del valore di regime 10 ms dopo che all'ingresso dell'anello si è applicata una variazione di frequenza (o di fase). Dalla Fig. 5-6, vediamo che la risposta raggiunge e rimane all'interno del 10% del valore di regime per  $\omega_n t_s = 4,5$  con un fattore di smorzamen-

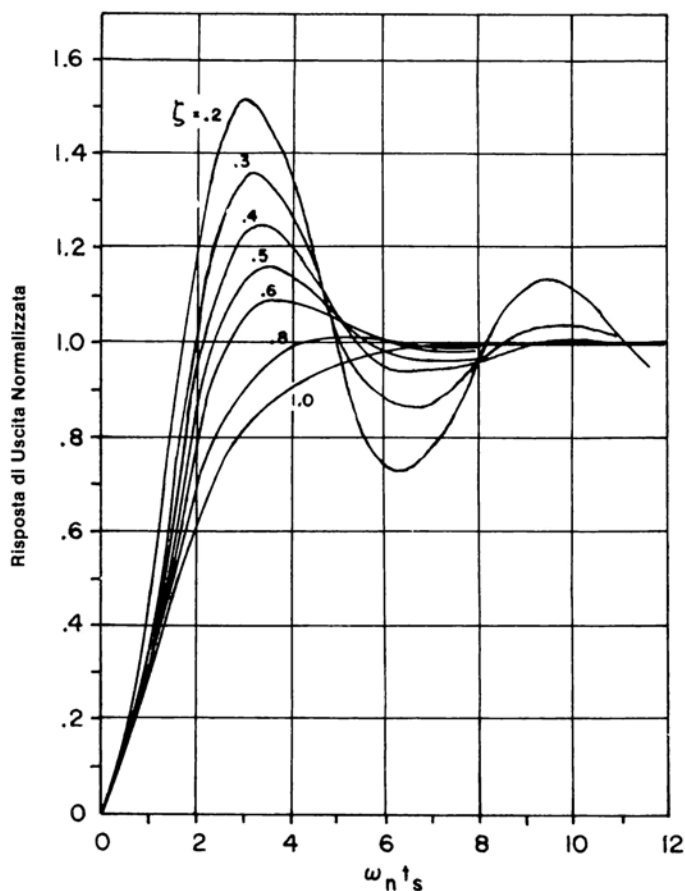


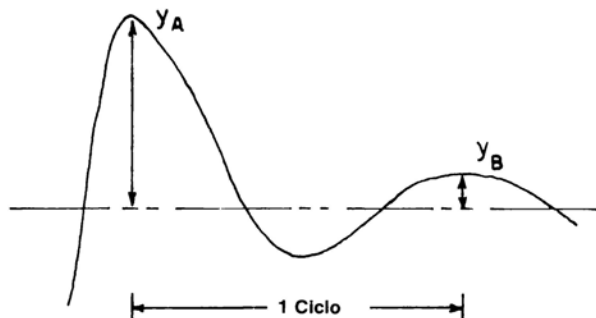
Fig. 5-6. Risposta transitoria normalizzata.

to di 0,5. Poiché il tempo di assestamento è di 10 ms, la frequenza naturale nell'anello è data da

$$\begin{aligned}\omega_n t_s &= 4.5 \\ \omega_n &= \frac{4.5}{t_s} \\ &= \frac{4.5}{10 \text{ ms}} \\ &= 450 \text{ rad/s (71.6 Hz)}\end{aligned}$$

Pertanto, scegliendo un valore per il condensatore del filtro e conoscendo il guadagno di conversione del VCO e del rivelatore di fase, possiamo determinare il valore di R mediante l'Equazione 5-3.

Un approccio diverso è quello di progettare il filtro in base alla sua frequenza di taglio. Se la frequenza di taglio può essere scelta *al di sotto* della frequenza d'ingresso dell'anello, la sua determinazione non è semplice. Come punto di partenza, la frequenza di taglio viene presa 100 volte più piccola della frequenza d'ingresso. Il sistema ad anello di aggancio di fase viene quindi collaudato applicando una variazione improvvisa di frequenza all'ingresso dell'anello ed osservando sull'oscil-



**Fig. 5-7. Determinazione del fattore di smorzamento.**

loscopio l'uscita del filtro. I componenti del filtro vengono in seguito regolati in modo da ottenere i valori desiderati di overshoot e di tempo di assestamento.

Dalla risposta transitoria dell'anello, il fattore di smorzamento può essere facilmente stimato conoscendo semplicemente l'ampiezza di picco di due picchi positivi consecutivi che distino esattamente un periodo, come illustrato nella Fig. 5-7.



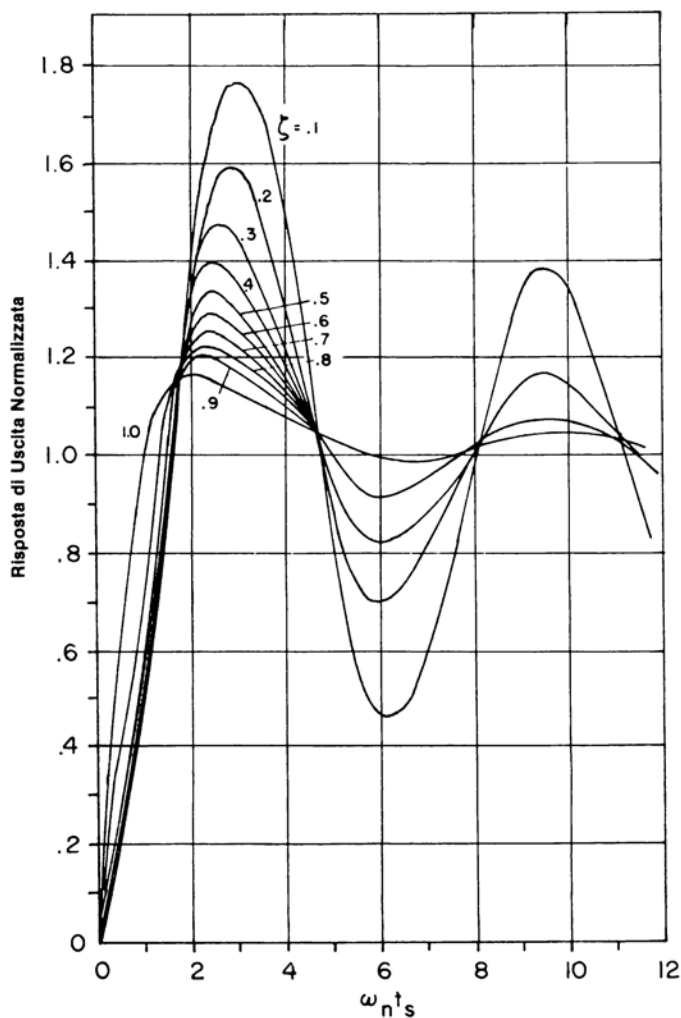


Fig. 5-8. Risposta transitoria normalizzata.

Il fattore di smorzamento può quindi essere determinato dalla relazione

$$\zeta = \frac{\gamma}{(1 + \gamma^2)^{1/2}} \quad (\text{Eq. 5-11})$$

dove,

$$\gamma = (1/2\pi) \ln(y_A/y_B)$$

Se il filtro ad anello delle Fig. 5-3 e 5-4 viene posto fra il rivelatore di fase ed il VCO, la risposta transitoria risultante è data dalle curve della

Fig. 5-8. In entrambi i casi, si dovrebbe osservare che la risposta è **periodica**, con una frequenza fissata. La frequenza oscillatoria associata a questo comportamento transitorio è denominata *frequenza naturale smorzata*,  $\omega_d$  per cui

$$\omega_d = 2\pi/T \quad (\text{Eq. 5-12})$$

dove  $T$  è il periodo dell'oscillazione. La frequenza naturale smorzata, tuttavia, dipende dal fattore di smorzamento e dalla frequenza naturale dell'anello, per cui

$$\omega_d = \omega_n(1 - \zeta^2)^{1/2} \quad (\text{Eq. 5-13})$$

Conseguentemente, la frequenza naturale smorzata della risposta transitoria è sempre minore della frequenza naturale dell'anello. L'entità di tale differenza dipende, naturalmente, dal fattore di smorzamento.

## BLOCCO E CATTURA

Il *campo di aggancio* ( $2\omega_L$ ) del PLL è il campo di frequenza oltre il quale il sistema ad anello segue le variazioni della frequenza d'ingresso. Diversi autori usano i termini *campo di inseguimento* e *campo di mantenimento*. Il campo di mantenimento si riferisce alla deviazione massima della frequenza d'ingresso dalla frequenza libera del VCO,  $\omega_0$ , ed è uguale, numericamente, alla metà del campo di bloccaggio o di inseguimento.

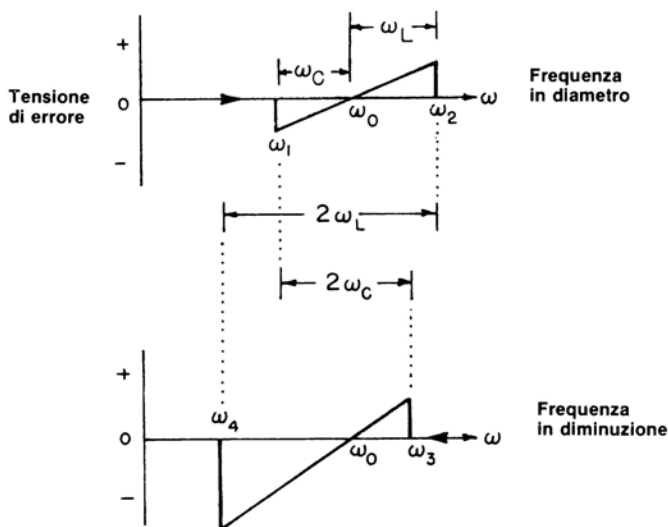


Fig. 5-9. Caratteristica di trasferimento frequenza/tensione del PLL.

D'altra parte il campo oltre il quale il PLL acquisisce l'aggancio della fase è il *campo di cattura* ( $2\omega_C$ ). Diversi autori usano il termine *campo di aggancio*, che si riferisce alla prossimità che deve verificarsi fra la frequenza d'ingresso e la frequenza libera del VCO prima che l'anello entri in aggancio di fase. Il campo di aggancio è numericamente uguale alla metà del campo di cattura.

La Fig. 5-9 mostra la caratteristica di trasferimento frequenza/tensione di un circuito PLL.

Nella caratteristica superiore, la frequenza d'ingresso ( $\omega_i$ ) viene incrementata gradualmente in modo che l'anello non risponda finché  $\omega_i$  non è uguale a  $\omega_1$ , che rappresenta l'estremo inferiore del campo di cattura. L'anello si aggancia quindi sulla frequenza d'ingresso, provocando una discesa verso valori negativi della tensione di errore dell'anello. Quando la frequenza d'ingresso viene ulteriormente incrementata, la tensione di errore aumenta linearmente con una pendenza uguale al valore reciproco del guadagno di conversione del VCO, e  $1/K_o$  (V/rad/s). Quando la frequenza d'ingresso diventa uguale alla frequenza libera, la tensione di errore è nulla.

L'anello continua ad inseguire l'ingresso fino a  $\omega_2$ , che è l'estremo superiore del *campo di aggancio*. Per frequenze d'ingresso maggiori di  $\omega_2$ , il circuito ad anello è non agganciato, la tensione di errore è nulla ed il VCO funziona alla sua frequenza libera. Quando la frequenza d'ingresso diminuisce, il processo si ripete, ma ora la tensione di errore diventa positiva in corrispondenza di  $\omega_3$ , l'estremo superiore del *campo di cattura*.

In conclusione, abbiamo le relazioni seguenti:

$$\text{campo di aggancio: } 2\omega_L = \omega_2 - \omega_4 \quad (\text{Eq. 5-14})$$

$$\begin{aligned} \text{campo di mantenimento: } \omega_L &= \omega_2 - \omega_0 \\ &= \omega_0 - \omega_4 \end{aligned} \quad (\text{Eq. 5-15})$$

$$\text{campo di cattura: } 2\omega_C = \omega_3 - \omega_1 \quad (\text{Eq. 5-16})$$

$$\begin{aligned} \text{campo di aggancio: } \omega_C &= \omega_0 - \omega_1 \\ &= \omega_3 - \omega_0 \end{aligned} \quad (\text{Eq. 5-17})$$

In termini di parametri dell'anello, il campo di aggancio è numericamente uguale al guadagno in corrente continua dell'anello ( $K$ ), per cui:

$$\begin{aligned} \omega_L &= K \\ &= K_o K_o \quad (\text{rad/s}) \end{aligned} \quad (\text{Eq. 5-18})$$

Si osservi dall'Equazione 5-18 che il *campo di mantenimento non dipende dai parametri del filtro passa-basso*. Il filtro, tuttavia, limita la ve-

locità massima alla quale può verificarsi il blocco di fase, poichè la tensione sul (i) condensatore (i) del filtro non può cambiare istantaneamente.

L'espressione per il campo di mantenimento, comunque, è notevolmente interessata. Nonostante ciò, siamo in grado di fornire delle espressioni *approssimate* per il campo di aggancio in base al tipo di filtro d'anello usato. Per il semplice filtro RC della Fig. 5-2, il campo di bloccaggio è dato da

$$\omega_C \cong \left( \frac{\omega_L}{RC} \right)^{1/2} \quad (\text{rad/s}) \quad (\text{Eq. 5-19})$$

Per la rete passiva a ritardo-anticipo della Fig. 5-3, si ha

$$\omega_C \cong \omega_L \left( \frac{R_2}{R_1 + R_2} \right) \quad (\text{Eq. 5-20})$$

e per il filtro attivo della Fig. 5-4,

$$\omega_C \cong \omega_L \left( \frac{R_2}{R_1} \right) \quad (\text{Eq. 5-21})$$

Facendo uso delle equazioni per il fattore di smorzamento dell'anello e la frequenza naturale, il campo di aggancio può essere ulteriormente approssimato da

$$\omega_C \cong 2\zeta\omega_n \quad (\text{Eq. 5-22})$$

## INTRODUZIONE ALL'ESPERIMENTO

L'unico esperimento di questo capitolo utilizza un filtro attivo per simulare un sistema PLL non smorzato, di secondo ordine. Esaminerete la risposta transitoria di questo sistema di secondo ordine applicando una tensione ad onda quadra che rappresenta lo scorrimento da una frequenza d'ingresso ad un'altra. Dalla risposta transitoria, determinerete il fattore di smorzamento, la frequenza naturale smorzata, la frequenza naturale e l'ampiezza di banda.

### ESPERIMENTO N. 1

#### Scopo

Questo esperimento dimostra il comportamento di un sistema non smorzato di secondo ordine, rappresentato da un filtro attivo.

## Configurazione dei Pin del Circuito Integrato (Fig. 5-10)

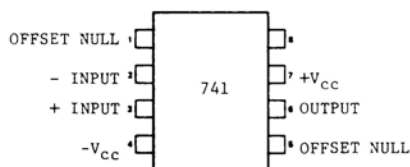


Fig. 5-10

## Schema del Circuito (Fig. 5-11)

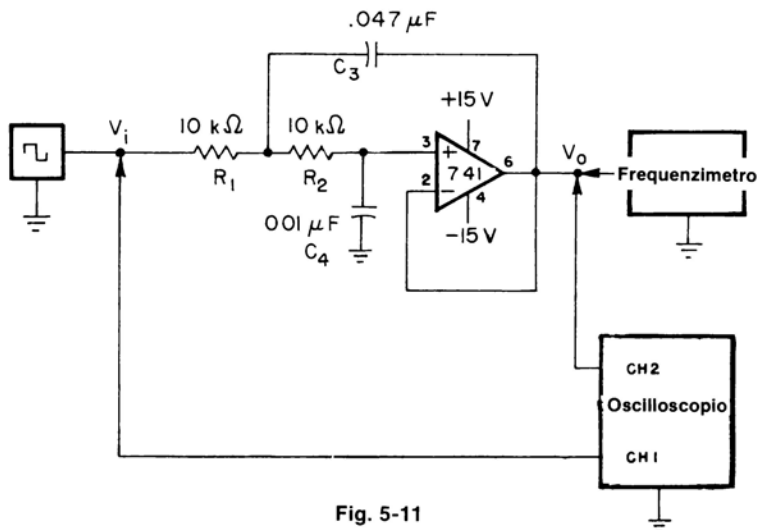


Fig. 5-11

## Formule di Progetto

1. Frequenza naturale:  $f_n = \frac{1}{2\pi(R_1 R_2 C_3 C_4)^{1/2}}$
2. Fattore di smorzamento:  $\zeta = \pi f_n C_4 (R_1 + R_2)$
3. Frequenza naturale smorzata:  $f_d = f_n (1 - \zeta^2)^{1/2}$
4. Ampiezza di banda a:  $f_{3\text{ dB}} = f_n [1 + 2\zeta^2 + (2 - 4\zeta^2 + 4\zeta^4)^{1/2}]^{1/2}$

Le equazioni per la frequenza naturale ed il fattore di smorzamento sono state ricavate dal libro *“La Progettazione dei Filtri Attivi, con Esperimenti”* di Howard M. Berlin edito nella versione Italiana dalla Jackson Italiana Editrice. L'equazione per l'ampiezza di banda a 3 dB è riportata nell'Appendice A di questo libro.

### Passo 1

Cablate il circuito mostrato nello schema. Se non disponete di un alimentatore a doppia polarità per l'amplificatore operazionale, potete facilmente costruirne uno mediante due pile da 9 V per radio a transistori nel modo illustrato in Fig. 5-12.

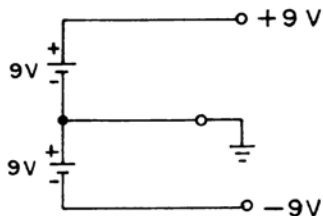


Fig. 5-12 Alimentatore a doppia polarità.

### Passo 2

Predisponete il vostro oscilloscopio sui seguenti valori iniziali:

- Canale 1 : 5 V/divisione
- Canale 2 : 2 V/divisione
- Base dei tempi : 1 ms/divisione
- Triggering: sul Canale 1.

### Passo 3

Alimentate il breadboard e regolate la tensione d'uscita del generatore di funzioni (onda quadra) a 5 V picco-picco e la frequenza a 150 Hz. Se fino a questo punto avete fatto tutto correttamente, le due tracce sullo schermo dell'oscilloscopio dovrebbero essere simili a quelle della Fig. 5-13.

L'onda quadra d'ingresso del Canale 1 è analoga allo scorrimento della frequenza d'ingresso PLL. La traccia inferiore del Canale 2 rappresenta la risposta transitoria del sistema non smorzato del secondo ordine, che è analoga alla tensione di errore dell'anello. Notate che oscilla e finalmente si stabilizza su qualche valore stazionario.

### Passo 4

Confrontate la vostra risposta transitoria con la forma generale illustrata nella Fig. 5-7, determinate i valori di picco di *due* picchi positivi *successivi*, misurati partendo dal valore di regime. Dall'Equazione 5-11, quindi, calcolate il fattore di smorzamento di questo sistema del se-

condo ordine in base alle misure che avete effettuato e scrivete il vostro risultato:

$$\zeta = \underline{\hspace{2cm}}$$

I valori di picco di due picchi successivi dovrebbero essere rispettivamente circa 8 e 3 divisioni, dando un fattore di smorzamento pari a 0,145.

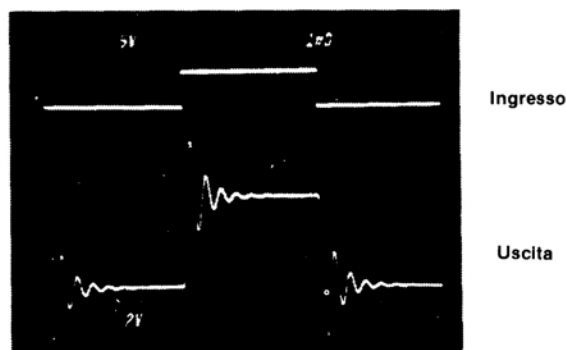


Fig. 5-13. Visualizzazione oscillografica.

### Passo 5

Cambiate ora la base dei tempi dell'oscilloscopio a 0,1 ms/divisione. Misurate il tempo che le oscillazioni impiegano per completare un periodo (T). Da questa misura, calcolate la frequenza naturale smorzata ( $f_d$ ) in modo che

$$f_d = \frac{1}{T}$$

$$= \underline{\hspace{2cm}} \text{ Hz}$$

I risultati dovrebbero essere circa 0,45 ms, con una frequenza naturale smorzata di 2222 Hz.

### Passo 6

Predisponete ora il vostro oscilloscopio sui valori seguenti:

- Canale 1 : 0,1 V/divisione
- Canale 2 : 0,5 V/divisione
- Base dei tempi: 0,1 ms/divisione
- Triggering: sul Canale 1

Inoltre, impostate il vostro generatore di funzioni per una uscita ad *on-*

da sinusoidale e regolatene la tensione a 0,7 V picco-picco (ossia 7 divisioni verticali) e la frequenza a circa 1 kHz.

### Passo 7

Osservando la forma d'onda del Canale 2 (l'uscita del filtro attivo), aumentate lentamente la frequenza d'ingresso finchè la tensione picco-picco raggiunge il suo *valore massimo*. Questa è la frequenza naturale ( $f_n$ ) del sistema. Ora, con un frequenzimetro, misurate la frequenza del generatore di funzioni e scrivete il vostro risultato:

$$f_n = \text{_____ Hz}$$

Il risultato dovrebbe essere circa 2247 Hz.

### Passo 8

Cambiate la sensibilità del Canale 2 a 0,1 V/divisione. Aumentate ancora la frequenza d'ingresso finchè la tensione picco-picco visualizzata dal Canale 2 scende a 0,5 V (5 divisioni verticali). A questo punto, la tensione d'uscita sarà pari a circa 0,707 volte la tensione d'ingresso. La frequenza a cui ciò accade è l'*ampiezza di banda a 3 dB* del sistema. Usando un frequenzimetro, misurate la frequenza d'ingresso e scrivete il vostro risultato:

$$f_{3dB} = \text{_____ Hz}$$

### Passo 9

Confrontate ora i risultati dei vostri esperimenti per  $\zeta$  (Passo 4),  $f_d$  (Passo 5),  $f_n$  (passo 7) e  $f_{3dB}$  (Passo 8) con i corrispondenti parametri calcolati mediante le equazioni fornite nel paragrafo "Formule di Progetto" di questo esperimento, scrivendo i vostri risultati nella Tabella 5-1.

Tabella 5-1

Parametro misurato	Valore previsto	Valore sperimentale
$\zeta$	0.146	
$f_n$	2322 Hz	
$f_d$	2297 Hz	
$f_{3dB}$	3554 Hz	

Se tutti i vostri valori si discostano di più del 5-10% dai valori previsti, probabilmente uno dei resistori e/o dei condensatori è notevolmente diverso dal proprio valore nominale. Se soltanto uno dei valori si discosta troppo, probabilmente avete commesso un errore di misura.



## CAPITOLO 6

# SINTETIZZATORI DIGITALI DI FREQUENZA

### INTRODUZIONE

I sintetizzatori digitali di frequenza sono dei sistemi PLL che producono un ampio campo di frequenza d'uscita, dipendenti dall'impostazione di un contatore programmabile. I sistemi di comunicazioni per radioamatori, CB e aeronautici, usano frequentemente qualche forma di sintesi di frequenza. Questo capitolo è suddiviso in due parti fondamentali. Nella prima, verrà descritto il funzionamento di base del sintetizzatore PLL, comprese le tecniche usate nei sistemi di comunicazione. Nella seconda, invece, verranno presentati dei circuiti utilizzanti dei circuiti integrati sia TTL che CMOS come contatori divisori per N.

### OBIETTIVI

Alla fine di questo capitolo, sarete in grado di:

- Spiegare i principi generali dei sintetizzatori digitali di frequenza.
- Per mezzo di schemi a blocchi, spiegare la differenza fra i sintetizzatori con conversione ad eterodina in discesa e il tipo a "prescaling".
- Descrivere il metodo di progetto del filtro ad anello del sintetizzatore.
- Descrivere diversi circuiti generatori di frequenza di riferimento, controllati a quarzo, TTL e CMOS.
- Descrivere diversi circuiti di contatori fissi e programmabili TTL e CMOS.
- Comprendere l'uso dei commutatori rotativi.

## IL SINTETIZZATORE FONDAMENTALE

In linea di principio, un *sintetizzatore di frequenza* è un generatore di frequenza la cui uscita è un multiplo intero di una frequenza di riferimento in ingresso. Come si vede nella Fig. 6-1, il sintetizzatore fondamentale di frequenza viene ottenuto da un PLL interrompendo la connessione fra il VCO e il rivelatore di fase mediante un contatore divisore per  $N$ . Confrontato con lo schema del circuito ad anello ad aggancio di fase della Fig. 1-1, il rivelatore di fase sintetizzatore produce una tensione media proporzionale alla differenza di fase fra la frequenza di riferimento in ingresso,  $f_{REF}$  e la frequenza d'uscita del contatore divisore per  $N$ ,  $f_o/N$ . Il contatore, normalmente controllato mediante dei commutatori rotativi, genera un singolo impulso d'uscita per ogni  $N$  impulsi d'ingresso. La tensione d'uscita del rivelatore di fase, filtrata, controlla la frequenza d'uscita del VCO ( $f_o$ ), che è pari ad  $N$  volte il riferimento d'ingresso durante l'aggancio di fase. Inoltre la frequenza d'ingresso è uguale alla frequenza d'uscita del contatore divisore per  $N$ , eccetto che per una differenza di fase finita. Il rivelatore di fase, il filtro d'anello ed il VCO costituiscono la catena di azione *diretta* dell'anello, mentre il contatore divisore per  $N$  costituisce ora la catena di *controreazione*.

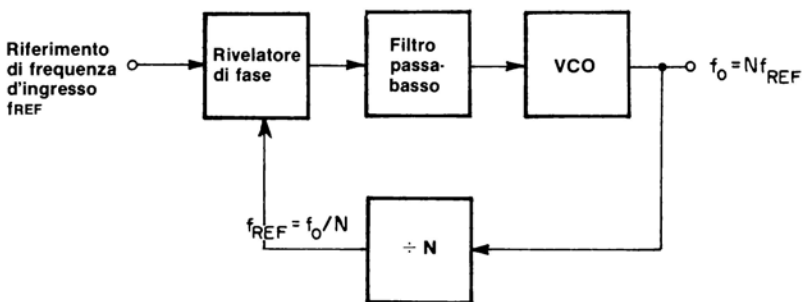


Fig. 6-1 Schema a blocchi del sintetizzatore di frequenza.

## SINTETIZZATORI PRATICI

Nei sistemi di comunicazione, i sintetizzatori pratici generalmente hanno una frequenza d'uscita compresa nel campo da 30 a 300 MHz (VHF e UHF). Poichè tali frequenze sono al di sopra dei campi massimi di funzionamento della maggior parte dei contatori divisori per  $N$  TTL e CMOS, si usano diverse tecniche per ridurre alcune delle frequenze generate all'interno dell'anello.

Il riferimento d'ingresso ( $f_{REF}$ ) nel comparatore di fase è normalmente minore di 10 kHz. L'attuale riferimento di frequenza, che è un oscil-

latore stabile controllato al quarzo, funziona generalmente fra 1 e 10 MHz ( $f_X$ ). Pertanto, viene posto un contatore divisore per N fra l'oscillatore a quarzo e l'ingresso del rivelatore di fase, come illustrato nella Figura 6-2.

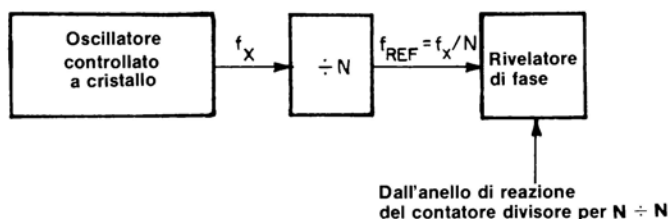


Fig. 6-2. Schema a blocchi del contatore divisore per N.

Per esempio, se viene usato un oscillatore controllato a quarzo da 1 MHz, e la frequenza di riferimento in ingresso deve essere pari a 10 kHz, avremo bisogno di un contatore che divida il segnale da 1 MHz per 100, per ottenere il riferimento d'ingresso desiderato da 10 kHz.

Nello schema a blocchi della Fig. 6-3 è illustrata una seconda tecnica, nota come *conversione ad eterodina in discesa*. Un secondo oscillatore controllato a quarzo, detto oscillatore *offset* o *locale*, è collegato ad uno stadio di miscelazione, nel quale viene miscelato con la frequenza d'uscita del VCO (che è anche la frequenza d'uscita del sintetizzatore,  $f_o$ ).

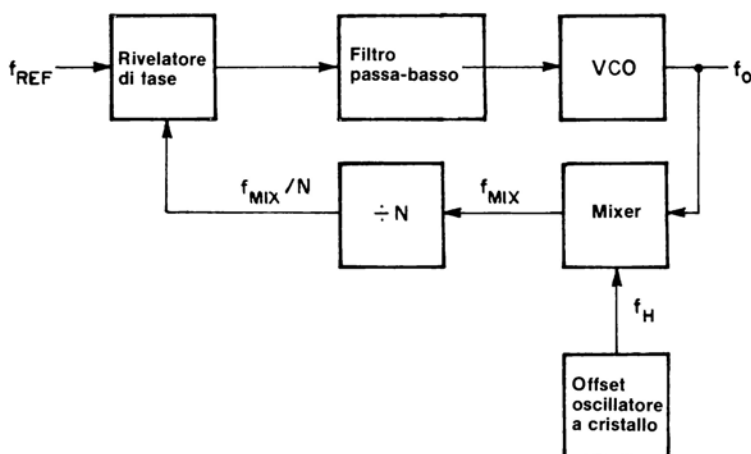


Fig. 6-3. Schema a blocchi della conversione ad eterodina in discesa.

L'uscita risultante è la differenza fra i due ingressi ( $f_o - f_H$ ), che chiameremo  $f_{\text{MIX}}$ . Questa differenza alimenta quindi il contatore divisore per  $N$ , i cui valori massimo e minimo sono dati dalle relazioni:

$$N_{\text{max}} = \frac{f_{\text{MIX}(\text{max})}}{f_{\text{REF}}} = \frac{f_{o(\text{max})} - f_H}{f_{\text{REF}}} \quad (\text{Eq. 6-1})$$

e

$$N_{\text{min}} = \frac{f_{\text{MIX}(\text{min})}}{f_{\text{REF}}} = \frac{f_{o(\text{min})} - f_H}{f_{\text{REF}}} \quad (\text{Eq. 6-2})$$

Per l'illustrazione di questa tecnica, si consideri l'esempio seguente:

### Esempio 1

Duecento canali radio FM devono essere spaziate equamente a distanza di 100 kHz nella gamma compresa fra 88 e 108 MHz. Poichè il ricevitore FM utilizza una frequenza intermedia di 10,7 MHz, la frequenza d'uscita del sintetizzatore deve sintonizzarsi fra 98,7 e 118,7 MHz. usando un riferimento controllato a quarzo da 1 MHz e un oscillatore locale da 98 MHz, si determinino i valori corretti per i due contatori divisori per  $N$  ( $N_1$  e  $N_2$ ) della Fig. 6-4.

Per una spaziatura dei canali di 100 kHz ( $f_{\text{REF}}$ ), la frequenza dell'oscillatore di riferimento da 1 MHz deve essere ridotta di un fattore 10, per cui  $N_1 = 10$ . Usando l'Equazione 6-1,

$$\begin{aligned} N_{2(\text{max})} &= \frac{f_{o(\text{max})} - f_H}{f_{\text{REF}}} \\ &= \frac{118.7 - 98.0}{0.1} \\ &= 207 \end{aligned}$$

Quindi, dall'Equazione 6-2

$$\begin{aligned} N_{2(\text{min})} &= \frac{f_{o(\text{min})} - f_H}{f_{\text{REF}}} \\ &= \frac{98.7 - 98.0}{0.1} \\ &= 70 \end{aligned}$$

Di conseguenza, dobbiamo disporre di un contatore divisore per  $N$  capace di dividere per qualsiasi numero intero compreso fra 70 e 207.

Un altro esempio, mostra una variazione di questa stessa tecnica.

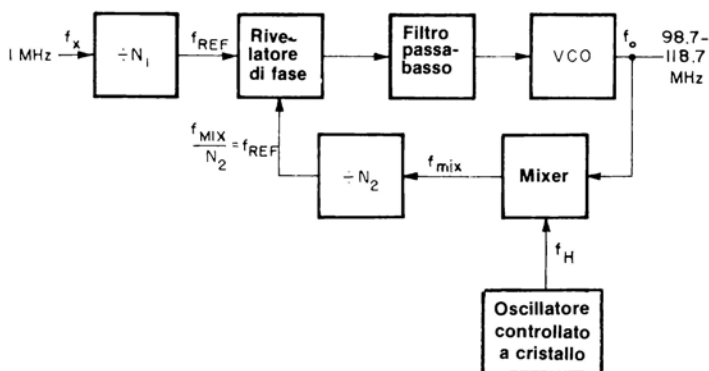


Fig. 6-4. Schema a blocchi per l'esempio relativo alla tecnica di conversione ad eterodina in discesa.

## Esempio 2

Quattrocento canali FM devono essere regolarmente distanziati di 10 kHz in modo che il ricevitore si sintonizzi fra 144,00 e 148,00 MHz. L'uscita del sintetizzatore viene moltiplicata per 9 e sommata alla frequenza intermedia di 10,7 MHz del ricevitore. La frequenza di riferimento in ingresso viene derivata da un oscillatore controllato a quarzo da 4,551111 MHz ( $f_v$ ) e divisa per 4096 (ossia per  $2^{12}$ ) per ottenere 1,1111 kHz. Il sintetizzatore deve quindi avere degli ingressi programmati compresi fra 400 ( $N_{min}$ ), per 144,00 MHz, e 800 ( $N_{max}$ ) per 148,00 MHz. Si determini la frequenza dell'oscillatore locale ( $f_{II}$ ).

Poichè il ricevitore si può sintonizzare fra 144,00 e 148,00 MHz, la frequenza di uscita del sintonizzatore ( $f_o$ ) deve essere compresa fra

$$\begin{aligned} f_{o(min)} &= \frac{144.00 - 10.7 \text{ MHz}}{9} \\ &= 14.811111 \text{ MHz} \end{aligned}$$

$$\begin{aligned} f_{o(max)} &= \frac{148.00 - 10.7 \text{ MHz}}{9} \\ &= 15.255555 \text{ MHz} \end{aligned}$$

Pertanto dall'Equazione 6-1, riordinando,

$$\begin{aligned} f_{II} &= f_{o(max)} - N_{max}(f_{REF}) \\ &= 15.255555 \text{ MHz} - (800)(1.1111 \text{ kHz}) \\ &= 14.366667 \text{ MHz} \end{aligned}$$

D'altra parte, avremmo potuto usare l'Equazione 6-2, per cui

$$\begin{aligned} f_H &= f_{o(\min)} - N_{\min}(f_{\text{REF}}) \\ &= 14.81111 \text{ MHz} - (400)(1.11111 \text{ kHz}) \\ &= 14.366667 \text{ MHz} \end{aligned}$$

Un approccio alternativo alla tecnica di conversione ad eterodina in discesa è il *prescaling*. Nel sistema sintetizzatore della Fig. 6-5, un contatore fisso riduce il VCO mediante un *fattore costante* (K) fino al valore massimo che può essere gestito dai circuiti integrati usati per il contatore programmabile. I circuiti integrati specifici verranno descritti in una parte successiva di questo capitolo. Per questo sistema, il distanziamento dei canali ( $f_{\text{CH}}$ ) è dato da

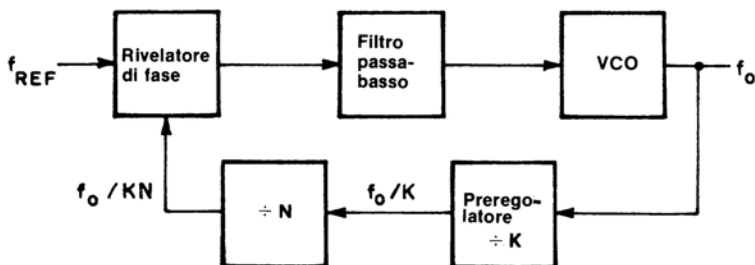


Fig. 6-5. Sintetizzatore di tipo prescaling.

$$f_{\text{CH}} = Kf_{\text{REF}} \quad (\text{Eq. 6-3})$$

per cui i valori massimo e minimo per il contatore programmabile sono

$$N_{\max} = \frac{f_{o(\max)}}{f_{\text{CH}}} \quad (\text{Eq. 6-4})$$

e

$$N_{\min} = \frac{f_{o(\min)}}{f_{\text{CH}}} \quad (\text{Eq. 6-5})$$

### Esempio 3

Come in precedenza, 200 canali FM devono essere regolarmente distanziati di 100 kHz nel campo compreso fra 88 e 108 MHz. La frequenza sintetizzata di uscita deve essere compresa fra 98,7 e 118,7 MHz, ma con una frequenza di riferimento di 10 kHz derivata da un oscillatore controllato a cristallo da 1 MHz.

Dall'Equazione 6-3 si ricava il divisore (K),

$$\begin{aligned} K &= \frac{f_{CH}}{f_{REF}} \\ &= \frac{100 \text{ kHz}}{10 \text{ kHz}} \\ &= 10 \end{aligned}$$

Quindi, dalle Equazioni 6-4 e 6-5,

$$\begin{aligned} N_{max} &= \frac{f_{o(max)}}{f_{CH}} \\ &= \frac{118.7}{0.1} \\ &= 1187 \end{aligned}$$

e

$$\begin{aligned} N_{min} &= \frac{f_{o(min)}}{f_{CH}} \\ &= \frac{98.7}{0.1} \\ &= 987 \end{aligned}$$

Infine, il riferimento di 10 kHz ( $f_{REF}$ ) si ottiene da un oscillatore controllato a cristallo usando un contatore divisore per 100. Lo schema a blocchi completo del sintetizzatore a prescaling è illustrato nella Fig. 6-6.

In confronto al metodo di prescaling, la frequenza di riferimento ( $f_{REF}$ ) nel sistema ad eterodina in discesa è uguale alla spaziatura fra i canali. Il secondo metodo, tuttavia, richiede l'uso di un oscillatore a cristallo addizionale, che potrebbe generare delle frequenze spurie non desiderate all'uscita del miscelatore se il filtraggio non è completo.

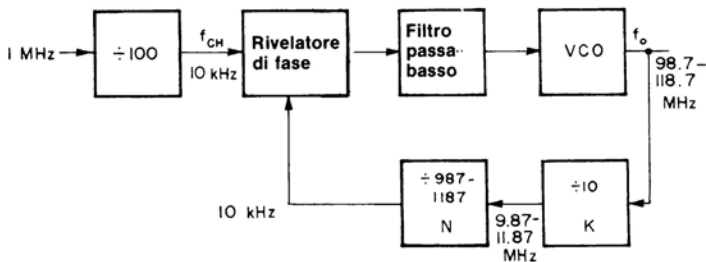


Fig. 6-6. Schema a blocchi del sintetizzatore a prescaling.

## IL FILTRO SINTETIZZATORE AD ANELLO

In linea di principio non vi è alcuna differenza, nella scelta dei parametri del filtro ad anello, fra il sistema di base ad anello a blocco di fase ed il sintetizzatore digitale. L'unica precauzione è che ora dobbiamo assicurarci che il filtro dia la risposta desiderata nell'intero campo del sintetizzatore. La determinazione passo-passo dei parametri relativi al filtro ad anello può essere riassunta nel modo seguente:

1. Scegliere la spaziatura desiderata fra i canali (la frequenza d'ingresso dell'oscillatore di riferimento,  $f_{REF}$ ).
2. Calcolare il campo della divisione digitale da

$$N_{max} = \frac{f_{o(max)}}{f_{REF}} \quad (\text{Eq. 6-6})$$

e

$$N_{min} = \frac{f_{o(min)}}{f_{REF}} \quad (\text{Eq. 6-7})$$

3. Determinare il campo del VCO dalla

$$(2f_{o(max)} - f_{o(min)}) \leq f_{vco} \leq (2f_{o(min)} - f_{o(max)}) \quad (\text{Eq. 6-8})$$

4. A seconda del tipo di filtro utilizzato, scegliere un valore minimo per il fattore di smorzamento ( $\zeta_{min}$ ) dalle curve di risposta transitoria del Capitolo 5.
5. Calcolare la frequenza naturale dell'anello ( $\omega_n$ ) in base al tempo di assestamento desiderato ( $t_s$ ) e il prodotto  $\omega_n t_s$  ottenuto dalla cura di risposta transitoria.
6. Calcolare il valore minimo del condensatore del filtro d'anello:

$$C_{min} = \frac{K_\phi K_p}{N_{max} R \omega_n^2} \quad (\text{per Fig. 5-2}) \quad (\text{Eq. 6-9a})$$

$$C_{min} = \frac{K_\phi K_o}{N_{max} (R_1 + R_2) \omega_n^2} \quad (\text{per Fig. 5-3}) \quad (\text{Eq. 6-9b})$$

o

$$C_{min} = \frac{K_\phi K_o}{N_{max} R_1 \omega_n^2} \quad (\text{per Fig. 5-4}) \quad (\text{Eq. 6-9c})$$

7. Determinare il fattore di smorzamento massimo della

$$\zeta_{max} = \zeta_{min} \left( \frac{N_{max}}{N_{min}} \right)^{1/2} \quad (\text{Eq. 6-10})$$

8. Controllare la risposta transitoria di  $\zeta_{max}$  per valutarne la rispondenza con le specifiche di progetto iniziali.



## Esempio

Per illustrare questa procedura, si considerino le specifiche seguenti:

- Gamma di uscita del sintetizzatore:  $88 \div 108$  MHz
- Frequenza di riferimento in ingresso: 0,1 MHz
- Tempo di assestamento: 10 ms con overshoot 10%
- Overshoot massimo: 20%

Vengono quindi fatte le seguenti determinazioni passo-passo:

1.  $f_{REF} = 0.1$  MHz
2.  $N_{max} = 108/0.1 = 1080$ , e  $N_{min} = 88/0.1 = 880$
3. Campo del VCO:
 
$$2f_{o(max)} - f_{o(min)} = (2)(108) - 88 = 128 \text{ MHz}$$
 e
 
$$2f_{o(min)} - f_{o(max)} = (2)(88) - 108 = 68 \text{ MHz}$$
4. Usando il filtro attivo della Fig. 5-4 e la curva di risposta transitoria della Fig. 5-7, troviamo che un fattore di smorzamento pari a 0,8 darà un'overshoot minore del 20%.
5. Ancora dalla Fig. 5-7, la risposta transitoria sarà minore del 10% per  $\omega_n t_s = 3,5$  per cui, per un tempo di assestamento di 10 ms,

$$\begin{aligned}\omega_n &= \frac{\omega_n t_s}{t_s} = \frac{3.5}{10 \text{ ms}} \\ &= 350 \text{ rad/s (55.7 Hz)}\end{aligned}$$

6. Supponendo di usare un circuito integrato MC4024 per il VCO ( $K_o = 11 \times 10^6 \text{ rad/s/V}$ ) un rivelatore di fase MC4044 ( $K_\phi = 0.12 \text{ V/rad}$ ) e scegliendo  $R_1 = 4,7 \text{ k}\Omega$ , dall'Equazione 6-9c,

$$\begin{aligned}C_{min} &= \frac{K_\phi K_o}{N_{max} R_1 \omega_n^2} \\ &= \frac{(11 \times 10^6)(0.12)}{(1080)(4.7 \text{ k}\Omega)(350)^2} \\ &= 2.1 \text{ }\mu\text{F (usare } 2 \text{ }\mu\text{F)}\end{aligned}$$

Quindi, riordinando l'Equazione 5-11 si può calcolare  $R_2$ ,

$$\begin{aligned}R_2 &= \frac{2\zeta_{min}}{\omega_n C_{min}} \\ &= \frac{(2)(0.8)}{(350)(2 \text{ }\mu\text{F})} \\ &= 2285 \text{ }\Omega \text{ (usare } 2.2 \text{ k}\Omega)\end{aligned}$$

7.

$$\begin{aligned}\zeta_{\max} &= \zeta_{\min} \left( \frac{N_{\max}}{N_{\min}} \right)^{1/2} \\ &= (0.8) \left( \frac{1080}{880} \right)^{1/2} \\ &= 0.89\end{aligned}$$

8. Dalla Fig. 5-7, vediamo che per un fattore di smorzamento di 0,89 la risposta transitoria avrà un overshoot minore del 10% entro 10 ms.

## CIRCUITI GENERATORI DI FREQUENZE DI RIFERIMENTO

Un sintetizzatore PLL, per funzionare accuratamente, deve possedere una frequenza di riferimento stabile. La frequenza di riferimento, cioè, deve essere mantenuta essenzialmente costante per ampie variazioni della temperatura ambientale, del carico del circuito e della tensione di alimentazione. Per conseguire questi obiettivi, si usa una forma di oscillatore controllato a cristallo. In questo paragrafo, vengono descritti diversi oscillatori comuni TTL e CMOS.

### Oscillatori TTL

Uno dei circuiti oscillatori TTL più affidabili è quello illustrato nella Fig. 6-7, usato per cristalli di frequenza compresa fra 1 e 10 MHz. I due resistori da 470  $\Omega$  aiutano a garantire che le due porte NAND (U1 e U2) funzionino in modo abbastanza lineare. Ciò garantisce un inizio affidabile quando si fornisce alimentazione, oltre a produrre un effetto di stabilizzazione termica. Il condensatore variabile (C) è usato per regolare accuratamente la frequenza dell'oscillatore rispetto ad uno standard noto come WWV. Riducendo il valore di C, si aumenta la frequenza

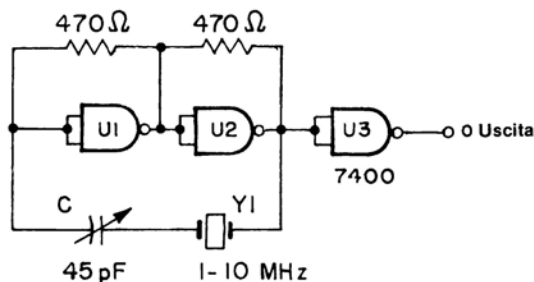


Fig. 6-7. Oscillatore TTL controllato a cristallo.

d'uscita, e viceversa. La porta NAND restante (U3) serve come buffer. Altre varianti di questo circuito sono mostrate nella Fig. 6-8. In tutti questi circuiti, il cristallo (Y1) funziona in *modo risonante-serie*. Di conseguenza il cristallo con taglio AT standard rappresenta la scelta migliore.

Per frequenze di cristallo maggiori, il multivibratore doppio controllato in tensione MC4024 (si vedano le Fig. 4-2 e 4-3) può essere collegato in modo da funzionare come un oscillatore a cristallo. Come si vede nella Fig. 6-9, si usa un cristallo al posto di un condensatore eterno per la determinazione della frequenza. La frequenza d'uscita viene quindi regolata in base ad uno standard noto agendo sul potenziometro da 5 k  $\Omega$ , come parte di un divisore di tensione, per il controllo della tensione continua in ingresso. La massima frequenza di funzionamento è di 25 MHz.

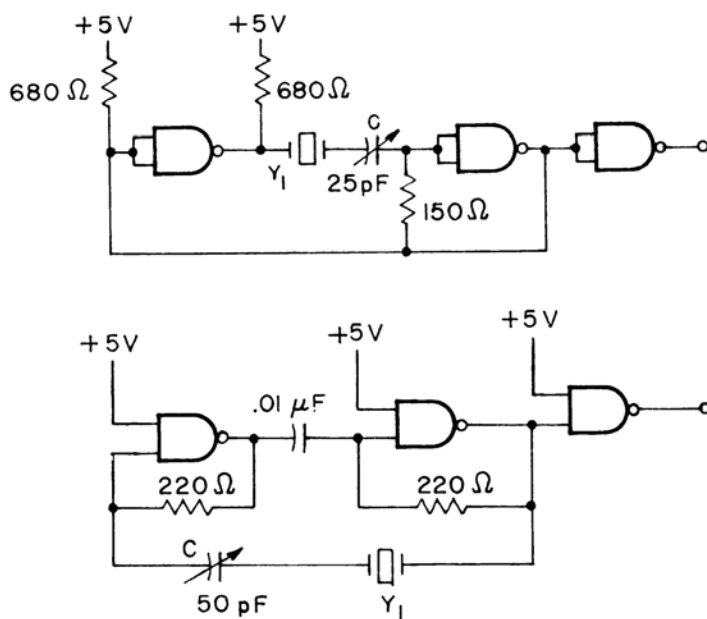


Fig. 6-8. Altri oscillatori a cristallo TTL.

## Oscillatori CMOS

Usando dei dispositivi CMOS\*, si può realizzare un circuito popolare basato su porte NOR, illustrato nella Fig. 6-10, che è utile fino a 4 MHz. Benché il cristallo sia posto in un *modo risonante-parallelo*, il cristallo con taglio AT è ancora da preferirsi.

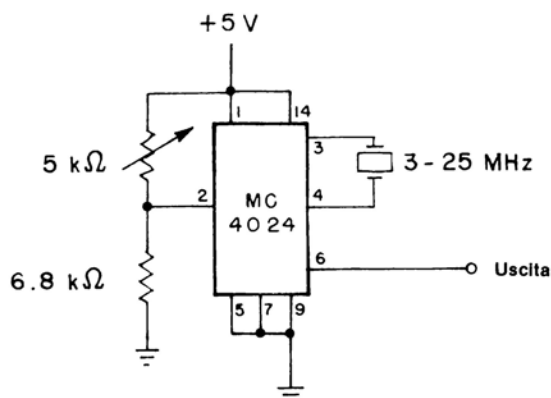


Fig. 6-9. Oscillatore a cristallo MC4024.

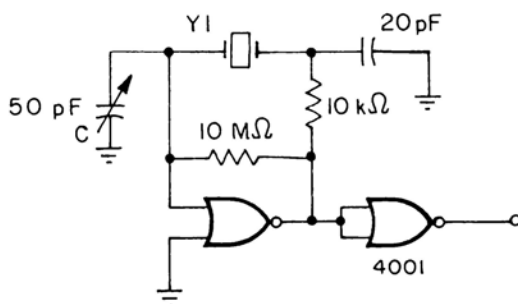


Fig. 6-10. Oscillatore a cristallo CMOS.

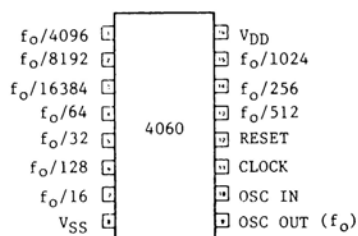


Fig. 6-11. Configurazione dei pin dell'oscillatore dividente binario CMOS MC4060.

Invece delle porte NOR tipo 4001, un dispositivo alternativo è il 4060, che è la combinazione fra un oscillatore ed un divisore binario (Fig. 6-11). Oltre alla frequenza fondamentale d'uscita ( $f_0$ ), determinata dal cristallo, il dispositivo divide anche questa frequenza in sottomultipli binari da 16 a 16.384. Come si vede nella Fig. 6-12, il circuito oscillante può generare un totale di 10 frequenze d'uscita.

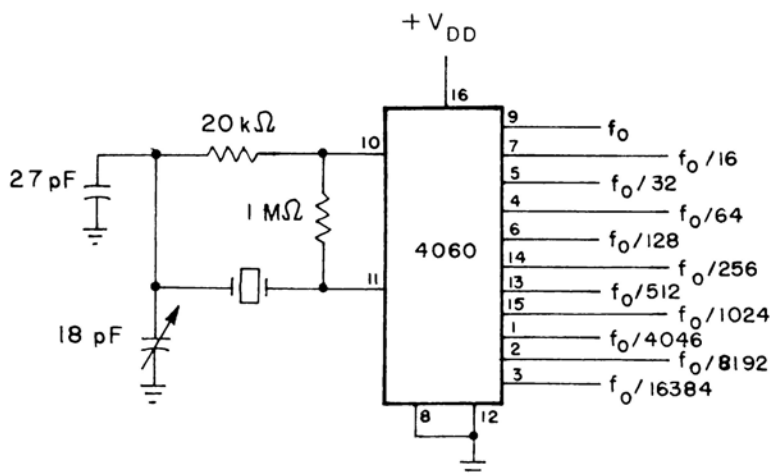


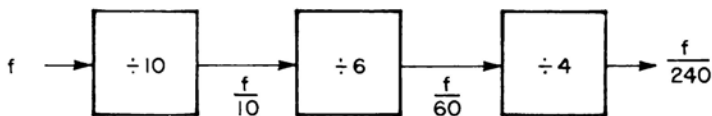
Fig. 6-12. Schema dell'oscillatore MC4060.

Non vi è, tuttavia, alcuna uscita disponibile per le divisioni per 2, 4, 8 e 2048. Per un'alimentazione di 5 V ( $+V_{DD}$ ), la massima frequenza di funzionamento possibile è pari a 1,75 MHz; per  $V_{DD} = 10$  Volt, essa vale 4 MHz.

## CONTATORI DIVISORI PER N

Brevemente, un contatore divisore per  $N$  è un circuito logico digitale che produce un singolo impulso d'uscita per ogni  $N$  impulsi d'ingresso, dove  $N$  è un numero intero, detto modulo del contatore. In uno dei paragrafi precedenti, abbiamo appreso che la frequenza di riferimento del sintetizzatore PLL è generalmente una frazione delle frequenze dell'oscillatore principale. Per esempio, una frequenza di riferimento in ingresso di 833,333 Hz, derivata da un oscillatore principale da 1 MHz richiede un contatore divisore per  $N$  caratterizzato da un modulo 1200. Inoltre, l'elemento di controreazione di un sintetizzatore è anch'esso un contatore divisore per  $N$ , per cui la frequenza d'uscita del sintetizzatore è pari ad  $N$  volte la frequenza d'ingresso di riferimento.

In genere, il contatore divisore per N associato al riferimento in ingresso ha un modulo *fisso*, per cui il riferimento in ingresso risultante è sempre lo stesso. D'altra parte, il contatore divisore per N nel circuito di reazione del sintetizzatore è normalmente *programmabile*, potendo,



**Fig. 6-13. Contatori per N fissi, in cascata.**

il modulo, essere modificato manualmente su qualsiasi numero. Poichè i contatori divisori per N TTL e CMOS, fissi e programmabili, hanno un funzionamento per qualche aspetto differente, in questo capitolo verranno trattati separatamente.

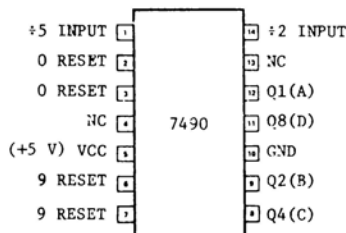
I contatori del tipo a modulo fisso vengono normalmente posti in cascata, o connessi sequenzialmente, per cui l'uscita del primo contatore costituisce l'ingresso del secondo, ecc., come è illustrato nella fig. 6-13. In questo modo, il conteggio risultante verrà incrementato. Il *modulo totale* sarà il prodotto dei singoli moduli.

## CONTATORI FISSI TTL

### 7490 Contatore a Decade ( $\div 10$ )

Come illustrato nella Fig. 6-14, il circuito integrato 7490 è un contatore divisore per 2 e divisore per 5, in un singolo package da 14 pin. Entrambe le sezioni del contatore, tuttavia, possono essere collegate insieme per realizzare un contatore divisore per 10, come avviene frequentemente.

La Fig. 6-15 mostra il 7490 cablato come contatore divisore per 5,



**Fig. 6-14. Configurazione dei pin del contatore a decade 7490.**

mentre la Fig. 6-16 mostra le connessioni richieste per un funzionamento dello stesso come divisore per 10.

In entrambi i casi, la frequenza massima d'ingresso tipica è limitata a circa 30 MHz.

### 7492 Contatore divisore per 12

Come illustrato nella Fig. 6-17, il 7492 è un contatore divisore per 2 e divisore per 6 in un singolo package da 14 pin. Benchè entrambe le sezioni possano essere usate insieme per ottenere un contatore divisore per 12, il 7492 ha un uso prevalente come contatore divisore per 6, con le connessioni della Fig. 6-18, che è utilizzabile fino a circa 18 MHz.

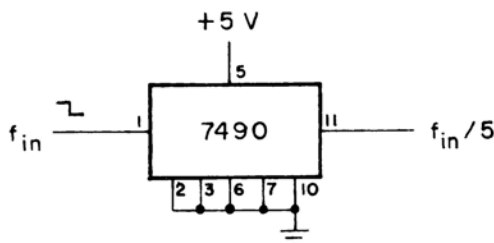


Fig. 6-15. Il 7490 come contatore divisore per 5.

### Esempio

Usando un oscillatore di riferimento controllato da un cristallo, descrivete un circuito che, usando dei contatori 7490 e 7492, divida una frequenza d'ingresso di 6 MHz in una frequenza di 20 kHz.

Per scendere da 6 MHz a 20 kHz, dobbiamo disporre di una serie di contatori che, collegati in cascata, dividano l'ingresso per 300.

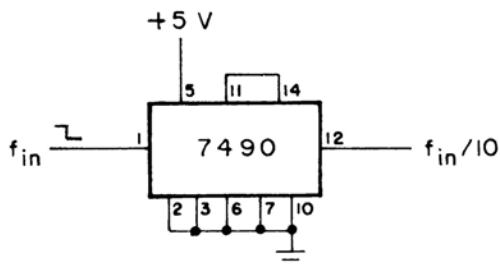


Fig. 6-16. Il 7490 come contatore divisore per 10.

Usando soltanto contatori 7490 e 7492, avremo bisogno di sezioni che dividano per 6,5 e quindi per 10 (è possibile anche qualsiasi altro ordine), come illustrato nella figura 6-19.

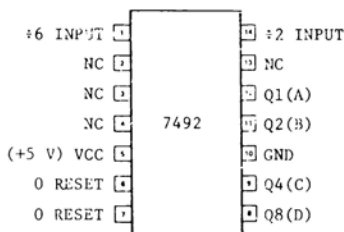


Fig. 6-17. Configurazione dei pin del contatore divisore per 12 7492.

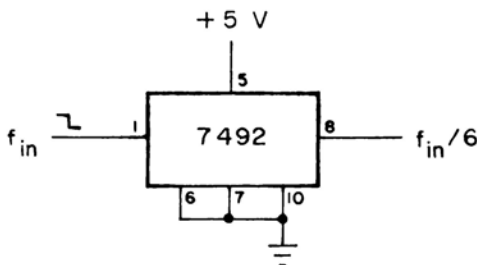


Fig. 6-18. Il 7492 come contatore divisore per 6.

## CONTATORI FISSI CMOS

### 4017 e MM4617 Contatori a Decadi ( $\div 10$ )

Il 4017 (Fig. 6-20) (MM4617 della National Semiconductor) è un contatore a decade di Jhonson a 5 stadi che può essere usato per dividere una frequenza d'ingresso per 10, mediante il circuito della Fig. 6-21.

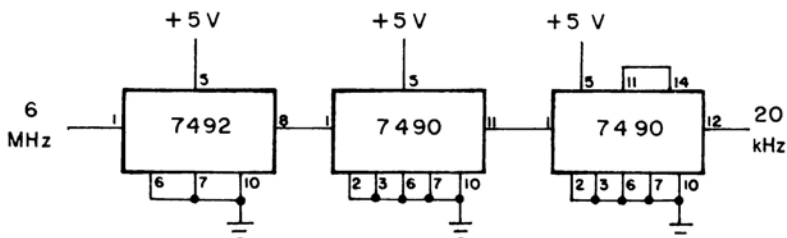


Fig. 6-19. Circuito per dividere 6 MHz fino a 20 kHz usando dei contatori 7490 e 7492 in cascata.



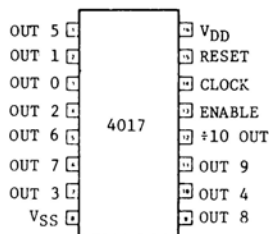


Fig. 6-20. Configurazione dei pin del contatore a decade 4017.

### Contatore divisore per N preregolabile 4018

Il 4018 (Fig. 6-22) è un chip di conteggio specializzato, poichè può essere connesso in modo da dividere una frequenza di ingresso per un numero intero qualsiasi compreso fra 2 e 10. Conseguentemente, il 4018 è uno dei dispositivi più versatili per realizzare elementi a modulo fisso. Per l'uso con sintetizzatori, le configurazioni con divisione per 2, 4, 6 e 10 sono le più utili; queste sono illustrate nella Fig. 6-23.

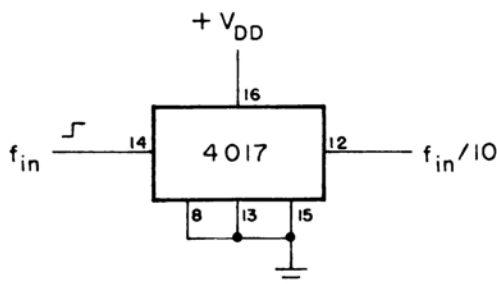


Fig. 6-21. Il 4017 come contatore divisore per 10.

La frequenza d'ingresso massima tipica per entrambi (il 4017 e il 4018) è pari a 2,5 MHz, con una tensione di alimentazione ( $+V_{DD}$ ) di 5 V; per  $V_{DD} = 10$  V, essa sale a 5 MHz.

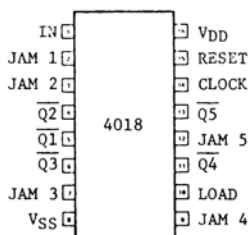


Fig. 6-22. Configurazione dei pin del contatore divisore per N preregolabile 4018.

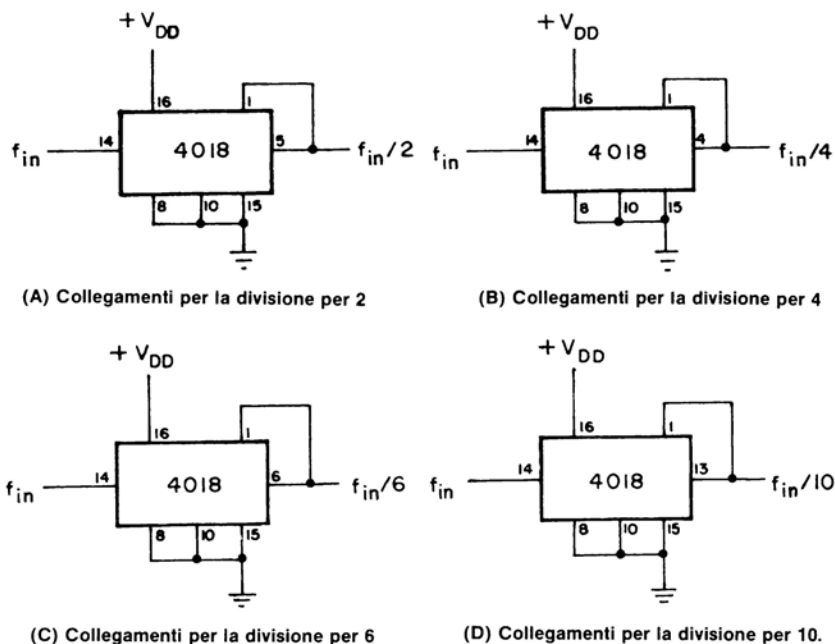


Fig. 6-23. Collegamenti per il contatore divisore per N 4018.

### Contatore a Decade ( $\div 10$ ) 74C90

Il 74C90 è l'equivalente CMOS pin per pin del contatore a decade TTL 7490 (si veda la Fig. 6-14).

## CONTATORI PROGRAMMABILI TTL

### Contatore 74192

Il chip 74192 è forse il contatore programmabile TTL usato più di frequente. Come si vede dalla configurazione dei pin della Fig. 6-24,

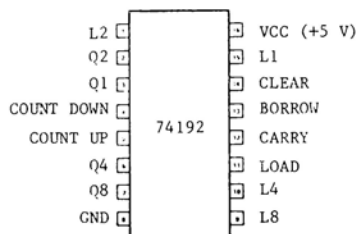
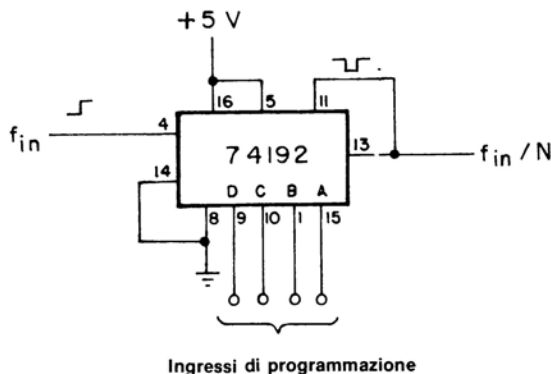


Fig. 6-24. Configurazione dei pin del contatore programmabile 74192.



**Fig. 6-25. Programmazione del contatore 74192.**

questo dispositivo ha quattro ingressi per i dati A, B, C e D (corrispondenti ad una pesatura *binaria* di 1, 2, 4 e 8 rispettivamente) per la programmazione del modulo desiderato.

La Fig. 6-25 illustra come viene usato il 74192 per dividere una frequenza d'ingresso per qualsiasi numero compreso fra 1 e 10. Il modulo (N) è determinato dal dato d'ingresso a 4 bit, DCBA, secondo quanto indicato nella Tabella 6-1.

**Tabella 6-1**

N	D	C	B	A
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0

Quando l'ingresso LOAD (pin 11) viene portato bruscamente allo stato basso (0 logico), il contatore viene impostato con il numero binario di 4 bit presente agli ingressi dei dati. Il contatore, quindi, conta in *diminuzione* in corrispondenza di ogni fronte positivo della forma d'onda d'ingresso.

Per esempio, se agli ingressi dei dati fosse presente il numero binario DCBA = 0110 (equivalente al numero decimale 6), il contatore 74192 conterebbe alla rovescia: 6, 5, 4, ..., finché non fosse raggiunto lo 0, punto nel quale il contatore verrebbe nuovamente caricato in parallelo col codice a 4 bit 0110. Il ciclo, quindi, viene ripetuto. Effettivamente, il 74192 può dividere per qualsiasi numero fino a 15; tuttavia, ciò non ha alcun significato quando si pongono più contatori in cascata per realizzare dei contatori divisori per  $N$  a decadi multiple. Per il 74192, la frequenza d'ingresso massima è tipicamente di 32 MHz.

In confronto ai contatori a modulo fisso, il 74192 può essere *collegato in cascata per unità e per decadi*, una caratteristica che lo rende estremamente utile per i sintetizzatori di frequenza. Si supponga di voler dividere la frequenza d'ingresso per 596. Metteremmo allora in cascata tre contatori 74192, in modo che il primo (decade *delle unità*) venga caricato con un "6", il secondo (decade *delle decine*) con un "9" ed il terzo (decade *delle centinaia*) con un "5", per separare opportunamente le tre decadi in gruppi individuali. Nel circuito della Fig. 6-26, tre contatori 74192 sono collegati in cascata per unità e per decadi e programmati in modo da dividere la frequenza d'ingresso per 596. La decade delle unità inizia a contare da 6, per cui la sequenza è la seguente: 596, 595, 594, ..., ecc. Quando il conteggio delle unità raggiunge 0, viene effettuato un *riporto* dal contatore a decade delle decine, per cui il conteggio successivo sarà 589, ed il processo continua. Quando il conteggio alla rovescia raggiunge 500, il contatore delle decine effettua un riporto dal contatore delle centinaia, per cui il conteggio successivo sarà 499. Quando la decade delle centinaia raggiunge 0 (un conteggio in diminuzione di 099), *non si ricarica*, poiché gli altri due contatori non hanno ancora raggiunto lo 0. Soltanto quando tutti e tre i contatori arrivano a 0, essi vengono nuovamente ricaricati in parallelo con tre numeri binari di 4 bit.

### Contatore MC4016

Un altro contatore programmabile TTL usato frequentemente è l'MC4016 (Motorola) (Fig. 6-27) ed è simile, nel funzionamento, al 74192. *Questo dispositivo non deve essere confuso col commutatore bilaterale quadruplo 4016 CMOS.*

La Fig. 6-28 illustra il metodo per collegare in cascata tre contatori MC4016 per dividere una frequenza d'ingresso per un numero intero qualsiasi compreso fra 1 e 999.

Come il 74192, l'MC4016 conta alla rovescia fino a 0 partendo dal numero binario a 4 bit con il quale è stato programmato; la frequenza d'ingresso massima, tuttavia, è tipicamente pari a 8 MHz, e un quarto di quella del 74192.

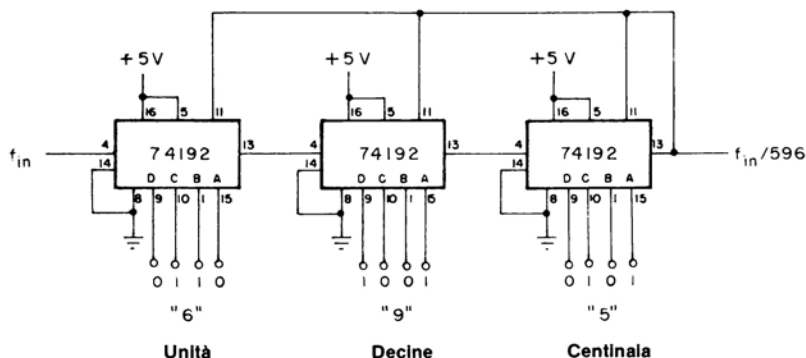


Fig. 6-26. Tre contatori 74192 collegati in cascata per unità e per decadi e programmati in modo da dividere per 596.

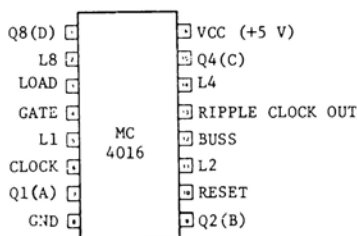


Fig. 6-27. Configurazione dei pin del contatore programmabile MC4016.

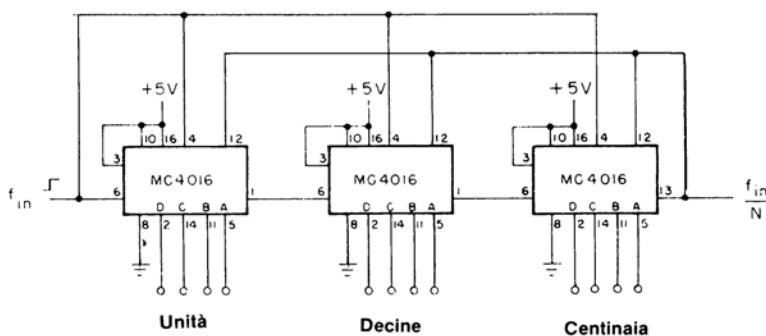


Fig. 6-28. Tre contatori collegati in cascata in modo da dividere per qualsiasi intero compreso fra 1 e 999.

## CONTATORI PROGRAMMABILI CMOS

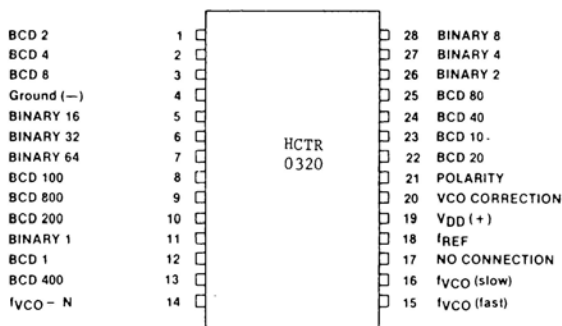
### Contatore 4018

Benché il contatore 4018 (si veda la Fig. 6-22) possa essere cablati per una divisione a decadi multiple, lo schema richiede tuttavia degli in-

vertitori addizionali, porte NOR e flip-flop tipo D, i quali aumentano il numero complessivo dei componenti. Una nota applicativa della RCA, ICAN-6498, intitolata *“Progetto di Contatori Fissi e Programmabili con l'Uso del Contatore Divisore per N Prerogolabile RCA CD4018 COS/MOS”* illustra i metodi da eseguire. I dispositivi CMOS descritti in seguito sono più adatti per la divisione programmabile.

### Contatori 40192 e 74C192

I contatori 40192 (RCA) e 74C192 (National Semiconductor) sono entrambi equivalenti diretti CMOS pin per pin del dispositivo 74192 TTL (si veda la Fig. 6-24). Nella Tabella 6-2 sono riassunte le frequenze d'ingresso massimo tipiche.



**Fig. 6-29. Configurazione dei pin del sintetizzatore di frequenza digitale HCTR 0320.**

**Tabella 6-2**

$V_{DD}$	40192	74C192
+5 V	3 MHz	4 MHz
+10 V	7 MHz	10 MHz

### Sintetizzatore di Frequenza Digitale HCTR 0320

L'HCTR 0320 (Hughes) è un dispositivo CMOS che contiene un divisore programmabile e un rivelatore di fase e frequenza in un package da 28 pin, come illustrato nella Fig. 6-29. Il funzionamento generale di questo dispositivo può essere meglio compreso con lo schema a blocchi della Fig. 6-30.

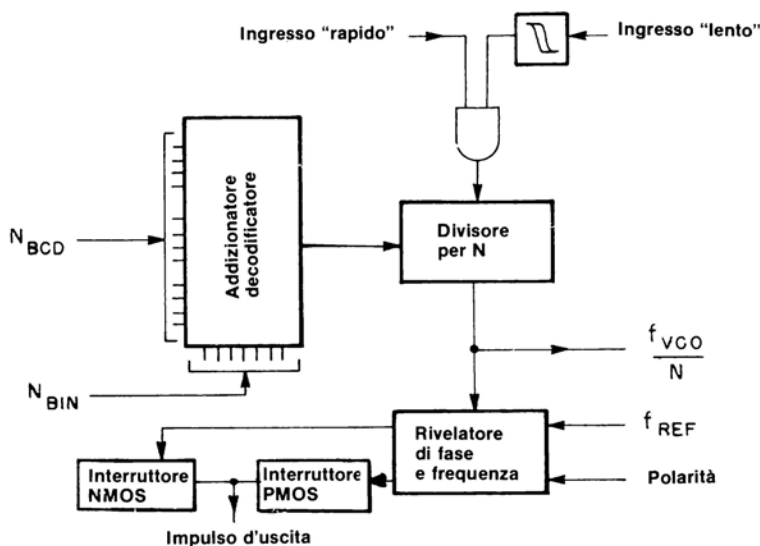


Fig. 6-30 Schema a blocchi del sintetizzatore di frequenza digitale HCTR 0320.

### Addizionatore/Decodificatore

Questo blocco somma un numero *bcd* di tre cifre ( $N_{bcd}$ ) compreso fra 0 e 999 ad un numero *binario* di 7 bit ( $N_{bin}$ ) compreso fra 0 e 127 (cioè 0000000 e 1111111). La somma dà il modulo totale,  $N = N_{bcd} + N_{bin}$ , che può variare da 3 a 1023.

### Divisore Programmabile

Questo blocco pone in uscita una forma d'onda la cui frequenza è  $1/N$  dell'ingresso, con un coefficiente di utilizzazione di  $1/N$ . Inoltre, vi sono due tipi di ingressi. L'ingresso "rapido" al pin 15 è il solo ingresso compatibile TTL e dovrebbe essere usato per ingressi dotati di tempi di salita e discesa brevi, e quando è necessaria la massima velocità. Al contrario, per ingressi con tempi di salita e discesa lunghi (per esempio onde sinusoidali), l'ingresso "lento" (pin 16) usa un trigger di Schmitt interno per il funzionamento corretto. Le caratteristiche di questi due ingressi sono riassunte nella Tabella 6-3.

### Rivelatore di Frequenza e Fase.

Questo blocco confronta l'uscita del divisore programmabile ( $f_{VCO}/N$ ) con la frequenza di riferimento esterna  $f_{REF}$  generando l'opportuno segnale di errore per il filtro ad anello. Quando il segnale di errore passa dallo stato fluttuante (commutatori NMOS e PMOS "aperti") al-

Tabella 6-3. Caratteristiche d'ingresso dell'HCTR 0320.

Ingresso	Massima Frequenza		Tempo di salita e discesa 10%-90%	
	$V_{DD} = 5\text{ V}$	$V_{DD} = 10\text{ V}$	$V_{DD} = 5\text{ V}$	$V_{DD} = 10\text{ V}$
Lento' (Pin 15)	5 MHz	10 MHz	100 ns	50 ns
Lento (Pin 16)	2.5 MHz	5 MHz	Nessun limite	Nessun limite

lo stato positivo della alimentazione ( $V_{DD}$ ) o della massa ( $V_{SS}$ ) l'uscita al pin 20 è un impulso la cui ampiezza è proporzionale alla differenza temporale fra i fronti di salita di  $f_{VCO}$  e di  $f_{REF}$ . L'ingresso di polarizzazione dovrebbe essere collegato a  $V_{DD}$  se la tensione d'uscita di correzione del VCO deve diminuire per provocare un aumento della frequenza del VCO.

### Contatore 4522

Il contatore 4522 (Fig. 6-31) è un dispositivo a 16 pin che funziona come il 74C192. Come illustrato nel circuito ad una decade della Fig. 6-32,

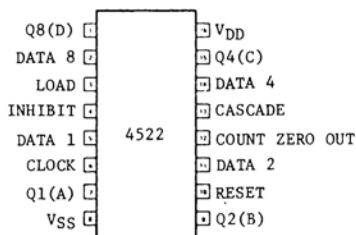


Fig. 6-31. Configurazione dei pin del contatore programmabile 4522.

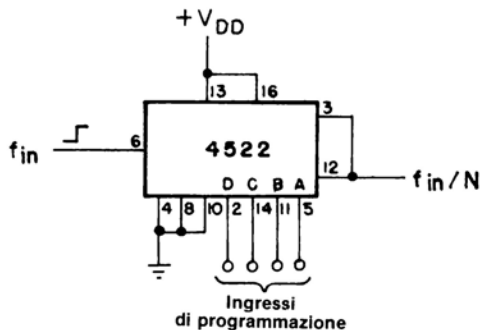
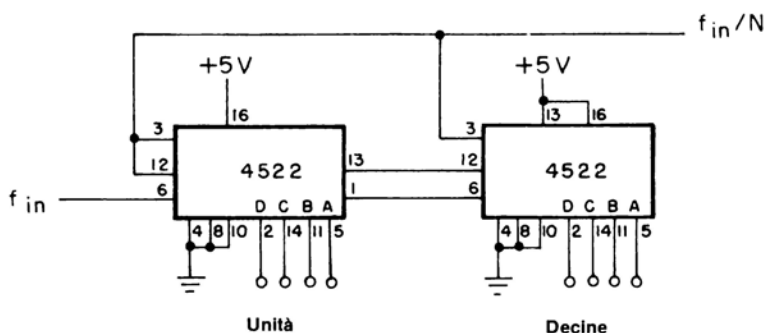


Fig. 6-32. Programmazione del contatore 4522.



il 4522 conta alla rovescia in corrispondenza dei fronti positivi del segnale d'ingresso, finchè il conteggio non raggiunge 0. Quando raggiunge 0, il contatore viene caricato col numero di 4 bit che è presente agli ingressi per dati. Come si vede nel circuito a due decadi della Fig. 6-33, può essere collegato in cascata un numero qualsiasi di contatori 4522. In questo caso, il circuito dividerà la frequenza d'ingresso per un intero

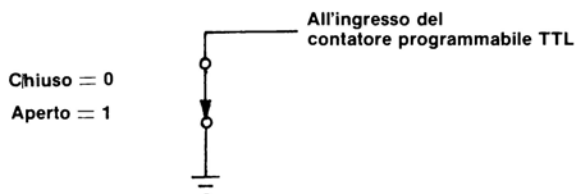


**Fig. 6-33. Due contatori 4522 collegati in cascata per dividere per qualsiasi intero compreso fra 1 e 99.**

qualsiasi compreso fra 1 e 99. A 5 V, il 4522 ha una frequenza massima di 1 MHz, a 10 V, la frequenza è di 2,5 MHz.

## INTERRUTTORI DI PROGRAMMAZIONE

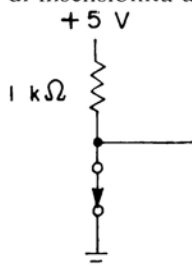
Tutti i contatori programmabili descritti vengono programmati caricando uno 0 logico o un 1 logico agli ingressi desiderati.



**Fig. 6-34. Circuito d'interruzione per la programmazione dei contatori programmabili TTL.**

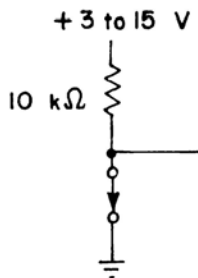
Ciò può essere fatto semplicemente con una serie di interruttori a slitta e a levetta. Quando si usano dei dispositivi TTL, ciò si ottiene collegando a massa (per uno 0 logico) o isolando da massa (per un 1 logico) la linea di alimentazione data, come illustrato dal circuito di interruttore unipolare ad una via della Fig. 6-34. Quando si usano dei dispositivi

TTL, tuttavia, è una buona pratica progettuale quella di collegare l'ingresso TTL isolato da massa a +5 V, come mostrato nella Fig. 6-35, per conservarne le proprietà di insensibilità ai rumori.



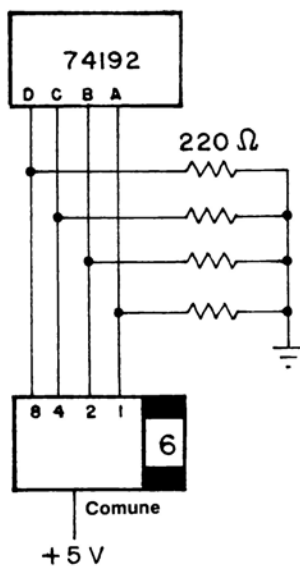
**Fig. 6-35. Circuito perfezionato per la programmazione dei contatori TTL.**

D'altra parte, *gli ingressi dei dispositivi CMOS devono essere connessi allo 0 logico od all'1 logico; essi non possono essere mantenuti fluttuanti!* In caso contrario, un ingresso fluttuante potrebbe determinare casualmente il comportamento del circuito, oltre ad aumentare drasticamente la corrente di alimentazione con il rischio di distruggere il dispositivo. Conseguentemente, tutti gli ingressi dei dispositivi CMOS devono seguire lo schema illustrato nella Fig. 6-36.



**Fig. 6-36. Metodo di interruzione che deve essere seguito per la programmazione dei contatori CMOS.**

Per i sintetizzatori pratici, risulta più conveniente usare dei commutatori *rotativi* per programmare ogni decade. Un commutatore rotativo è un commutatore a 10 posizioni a codifica binaria che, visualizzando una singola cifra decimale, nello stesso tempo fornisce l'equivalente di tale cifra, in codice bcd, fra il terminale “comune” ed i quattro terminali del commutatore. E' più semplice utilizzare questi commutatori per visualizzare la frequenza finale d'uscita direttamente senza l'uso di circuiti bcd decoder/driver con indicatori a LED. Nella Fig. 6-37 è illustrato un circuito da 1 decade che utilizza un commutatore rotativo bcd ed un contatore 74192. D'altra parte, potrebbe essere più semplice uti-

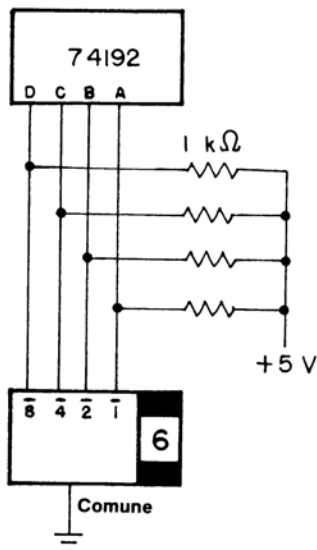


N	D (8)	C (4)	B (2)	A (1)
0	0	0	0	0
1	0	0	0	X
2	0	0	X	0
3	0	0	X	X
4	0	X	0	0
5	0	X	0	X
6	0	X	X	0
7	0	X	X	X
8	X	0	0	0
9	X	0	0	X

X = Linea d'uscita connessa al comune

0 = Circuito aperto

Fig. 6-37. Circuito di commutazione rotativa bcd.



N	D (8)	C (4)	B (2)	A (1)
0	X	X	X	X
1	X	X	X	0
2	X	X	0	X
3	X	X	0	0
4	X	0	X	X
5	X	0	X	0
6	X	0	0	X
7	X	0	0	0
8	0	X	X	X
9	0	X	X	0

X = Linea d'uscita connessa al comune

0 = Circuito aperto

Fig. 6-38. Circuito di commutazione rotativa bcd complementato.

lizzare dei commutatori rotativi del tipo *bcd complementato* per isolare da massa automaticamente l'ingresso opportuno, come illustrato nel circuito ad una decade della Fig. 6-38.

## INTRODUZIONE AGLI ESPERIMENTI

I seguenti esperimenti sono stati progettati per dimostrare il funzionamento di diversi contatori divisori per N fissi e programmabili, TTL e CMOS, e il funzionamento di un semplice sintetizzatore digitale di frequenza. Gli esperimenti che eseguirete possono essere riassunti nel modo seguente:

Esperimento N.	Scopo
1	Dimostrare il funzionamento dei contatori 7490 e 7492 TTL.
2	Dimostrare le possibilità del contatore a decade 4017 CMOS
3	Dimostrare il funzionamento del contatore programmabile a decade 74192 TTL.
4	Dimostrare il funzionamento di due contatori programmabili 74192 TTL collegati in cascata unitaria.
5	Dimostrare il funzionamento del contatore programmabile HCTR 0320 CMOS.
6	Dimostrare il funzionamento di un sintetizzatore di frequenza TTL a tre decadi.

## ESPERIMENTO N. 1

### Scopo

Questo esperimento dimostra il funzionamento di alcuni contatori TTL a modulo fisso, usando i circuiti integrati 7490 e 7492.

### Configurazioni dei Pin dei Circuiti Integrati (Fig. 6-39).

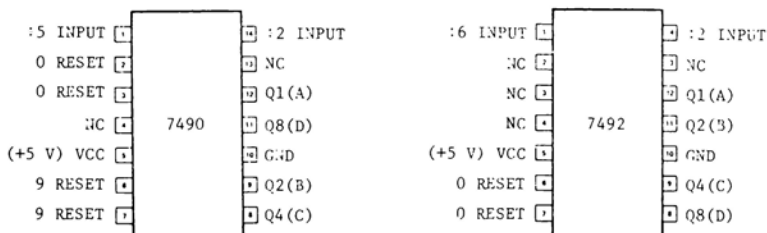


Fig. 6-39

### Schema del Circuito (Fig. 6-40)

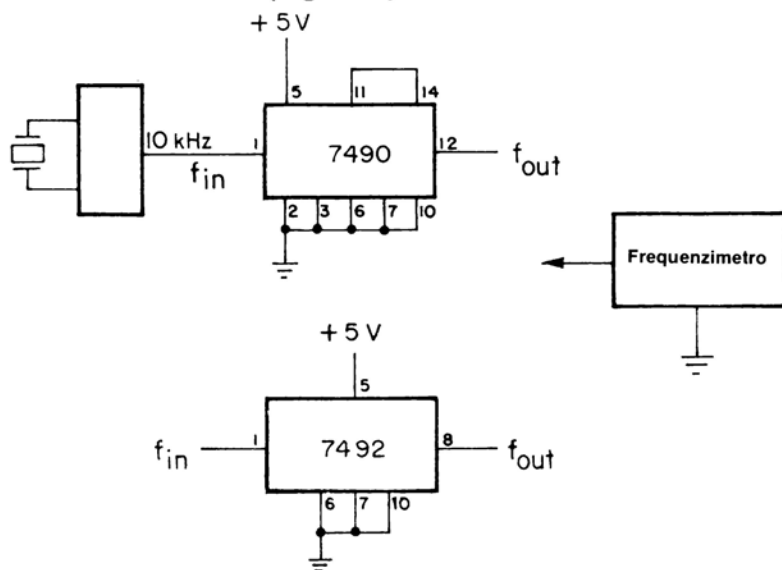


Fig. 6-40

#### Passo 1

Cablate i due circuiti mostrati nello schema ed alimentate il breadboard.

#### Passo 2

Impostate la frequenza d'ingresso (usando un riferimento controllato a cristallo come l'Outboard LR-33 o qualche altro generatore d'onda quadra TTL stabile) a 10 kHz, usando un frequenzimetro.

Collegate quindi il pin 1 del circuito integrato 7490 al generatore di frequenza e misurate la frequenza d'uscita al pin 12. Dovreste trovare che la frequenza d'uscita del contatore 7490 è 1/10 di quella d'ingresso, o 1 kHz.

Se la vostra frequenza d'ingresso non è esattamente di 10 kHz, l'uscita dovrebbe essere ugualmente pari ad 1/10 di tale valore, poichè questo è un circuito *divisore per 10*.

#### Passo 3

Rimuovete ora il collegamento fra i pin 11 e 14 del 7490 e collegate il frequenzimetro al pin 11. Che realizzazione vi è fra la frequenza d'uscita e quella d'ingresso?

La frequenza d'uscita dovrebbe ora essere  $1/5$  di quella di ingresso, o 2,0 kHz. Abbiamo ora un contatore *divisore per 5*, realizzato col 7490 (si veda la Fig. 6-15).

#### Passo 4

Collegate ora il generatore di frequenza al pin 1 del circuito integrato 7492 ed il frequenzimetro al pin 8. Qual'è la frequenza d'uscita?

Dovreste trovare che la frequenza d'uscita è  $1/6$  di quella d'ingresso, o 1,666 kHz. Col dispositivo 7492, abbiamo quindi realizzato un circuito contatore *divisore per 6*.

#### Passo 5

Collegate ora l'uscita del circuito 7492 (pin 8) all'ingresso del circuito 7490 (pin 1), che avete usato nel Passo 3. Collegate anche il frequenzimetro all'uscita del 7490 (pin 11). Qual'è la frequenza d'uscita? Perché?

La frequenza di uscita dovrebbe essere  $1/30$  di quella di ingresso, o 333 Hz. Quando si collegano in cascata due o più contatori divisori per N, il modulo dell'intero circuito è uguale al prodotto dei moduli dei singoli contatori, per cui  $6 \times 5 = 30$ .

## ESPERIMENTO N. 2

### Scopo

Questo esperimento dimostra la possibilità del contatore a decade 4017 CMOS.

### Configurazione dei Pin del Circuito Integrato (Fig. 6-41).

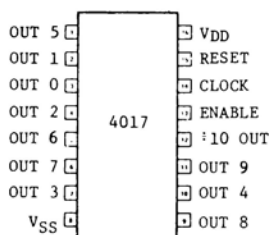


Fig. 6-41

### Schema del Circuito (Fig. 6-42)

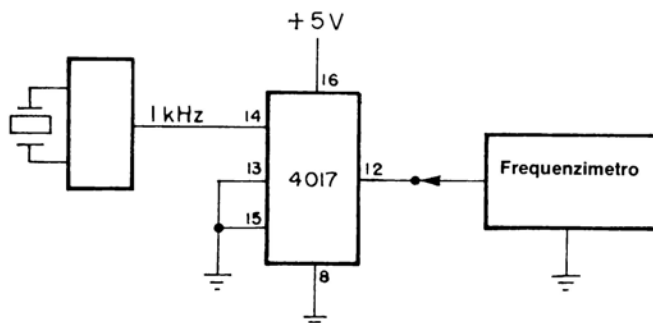


Fig. 6-42

#### Passo 1

Cablate il circuito mostrato nello schema ed alimentate il breadboard. Collegate quindi il generatore di frequenza di riferimento al pin 14 e il frequenzimetro al pin 12. Qual'è la frequenza d'uscita?

La frequenza d'uscita dovrebbe essere 1,0 kHz, poichè questo è un contatore divisore per 10.

#### Passo 2

Collegate ora sequenzialmente il frequenzimetro ai pin 1, 2, 3, 4, 5, 6, 7, 9, 10 e 11. Che cosa potete osservare?

La frequenza di uscita ad ognuno di questi pin vale ancora 1,0 kHz. La differenza fra queste uscite e l'uscita del pin 12 è che quest'ultima è un'onda quadra simmetrica, mentre le uscite dei primi hanno una durata impulsiva positiva di 1 ciclo di ingresso (duty cycle 10%).

#### Passo 3

Scollegate la frequenza di riferimento dal circuito e, quindi, l'alimentazione dal breadboard. Collegate ora il pin OUT 2 (pin 4) al pin RESET (pin 15) e il frequenzimetro al pin 3. Alimentate il breadboard e ricollegate la frequenza di riferimento al pin 14. Qual'è la frequenza d'uscita?

La frequenza d'uscita dovrebbe essere 5,0 kHz, o metà della frequenza d'ingresso. Cominciando da 0, ogni uscita decodificata si porta se-

quenzialmente nello stato *alto* per un ciclo d'ingresso. Dopo due cicli d'ingresso, l'impulso d'uscita al pin 4 *sale* e, a sua volta, ripristina il contatore. Conseguentemente, il contatore viene ripristinato ogni due cicli d'ingresso, dando un circuito divisore per 2.

#### Passo 4

Collegate ora il pin 15 al pin 7. Qual'è la frequenza di uscita?

La frequenza d'uscita dovrebbe essere, 3,333 kHz. Collegando l'ingresso RESET al pin OUT 3, il contatore viene ripristinato ogni tre cicli d'ingresso, dando un circuito divisore per 3.

#### Passo 5

Misurate la frequenza d'uscita collegando sequenzialmente l'ingresso RESET ai pin di uscita decodificata elencati nella Tabella 6-4.

**Tabella 6-4**

Collegato A:	Frequenza d'uscita	Dividere per N
OUT 2 (pin 4)	5.000 kHz	2
OUT 3 (pin 7)	3.333 kHz	3
OUT 4 (pin 10)		
OUT 5 (pin 1)		
OUT 6 (pin 5)		
OUT 7 (pin 6)		
OUT 8 (pin 9)		
OUT 9 (pin 11)		

Dovreste avere compreso che è possibile dividere per qualsiasi numero compreso fra 2 e 10 usando il contatore 4017.

### ESPERIMENTO N. 3

#### Scopo

Questo esperimento dimostra il funzionamento del contatore TTL programmabile 74192.



### Configurazione dei Pin del Circuito Integrato (Fig. 6-43)

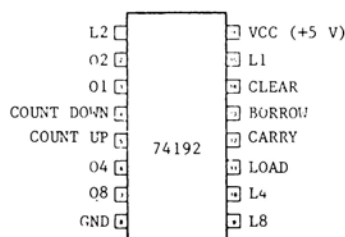


Fig. 6-43

### Schema del Circuito (Fig. 6-44)

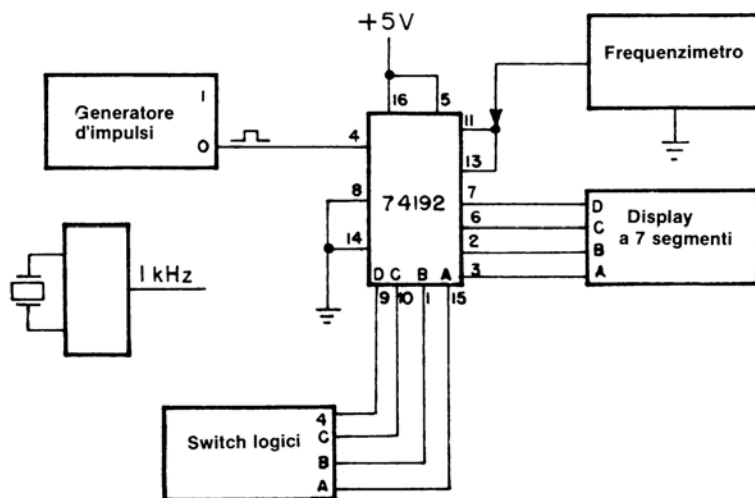


Fig. 6-44

#### Passo 1

Cablate il circuito rappresentato nello schema. Impostate gli switch logici in modo che DCBA = 1001.

#### Passo 2

Alimentate il breadboard. Quale numero potete osservare sull'indicatore a LED?

Dovreste vedere il numero 9, poichè gli ingressi per dati sono stati inizialmente caricati in parallelo con il codice bcd 1001, che equivale al numero decimale 9.

### Passo 3

Premete e rilasciate il generatore d'impulsi per quattro volte. Che cosa potete osservare sull'indicatore a LED?

L'indicatore a LED conta alla rovescia da 9 a 5. Continuate a premere e rilasciare il generatore d'impulsi ancora per cinque volte. Che cosa succede?

Quando il conteggio raggiunge 0, l'indicatore visualizza il numero 9 quando il generatore d'impulsi viene rilasciato. Questo perché quando il conteggio raggiunge 0 l'uscita al pin 13 del contatore 74192 passa immediatamente allo stato logico 0. Il contatore viene quindi caricato in parallelo con il numero bcd di 4 bit che è presente agli ingressi per dati (1001).

### Passo 4

Continuate a premere e rilasciare il generatore d'impulsi per diverse volte. Impostate quindi gli switch logici per dati a DCBA = 0101. Continuate ora a premere e rilasciare il generatore d'impulsi finché l'indicatore raggiunge 0. Quando rilasciate il generatore d'impulsi dopo che l'indicatore indica 0, quale numero potete osservare sull'indicatore a LED?

Dovreste vedere ora il numero 5, che corrisponde al codice bcd di 4 bit 0101. Quando il contatore raggiunge 0, il contatore viene caricato in parallelo con il codice bcd 0101, che corrisponde al numero decimale 5.

### Passo 5

Impostate ora gli switch logici per dati secondo quanto indicato nella Tabella 6-5 e trascrivete il numero che viene indicato quando il conteggio raggiunge zero. I vostri risultati dovrebbero corrispondere con il numero bcd di 4 bit che è presente agli ingressi per dati.

### Passo 6

Applicare ora un segnale da 1 kHz al posto del generatore di impulsi e un frequenzimetro al pin 11. Impostate gli switch logici a DCBA = 0001. Quale frequenza osservate?

Tabella 6-5

D	C	B	A	Display a LED
1	0	0	1	9
0	1	0	1	5
0	0	1	1	
0	0	1	0	
0	1	0	0	
0	1	1	0	
1	0	0	0	
0	0	0	1	
0	1	1	1	

Poichè gli switch logici sono impostati a  $DCBA = 0001$ , corrispondente al numero decimale 1, la frequenza d'uscita è uguale a quella d'ingresso, o 1 kHz.

### Passo 7

Variate le impostazioni degli switch logici secondo quanto indicato nella Tabella 6-6 e scrivete la vostra frequenza d'uscita per ogni combinazione.

Dalle vostre misure, dovrete avere osservato che la frequenza d'uscita è uguale alla frazione dell'ingresso da 1 kHz selezionata dall'equivalente decimale del codice bcd di 4 bit.

Abbiamo quindi un contatore programmabile a 1 decade che è in grado di dividere una frequenza d'ingresso per un qualsiasi numero intero compreso fra 1 e 9.

### Passo 8

Qual'è la frequenza d'uscita quando impostate gli switch logici a  $DCBA = 0000$ ?

Poichè una divisione per 0 non è matematicamente definita, il contatore 74192 viene disabilitato e la frequenza d'uscita è uguale a quella d'ingresso, o 1 kHz.

## ESPERIMENTO N. 4

### Scopo

Questo esperimento dimostra il funzionamento di due contatori programmabili TTL 74192 collegati in cascata unitaria.

### Configurazione dei Pin del Circuito Integrato (Fig. 6-45)

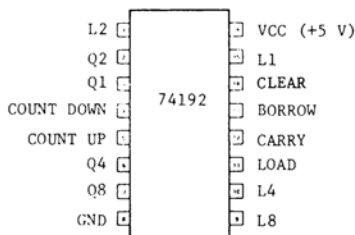


Fig. 6-45

### Schema del Circuito (Fig. 6-46)

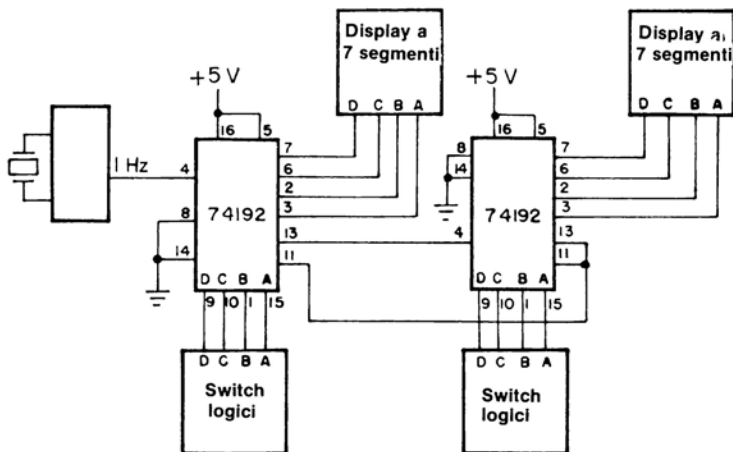


Fig. 6-46

### Passo 1

Cablate il circuito mostrato nello schema. Cercate di posizionare l'indicatore a LED delle *decine* a sinistra dell'indicatore delle *unità*, in modo che le letture vengano indicate correttamente. Impostate inizialmente gli switch logici del contatore a decade delle unità a  $DCBA_1 = 0000$  e quelli del contatore a decade delle decine a  $DCBA_{10} = 0101$ . Inoltre, scollegate temporaneamente l'uscita del generatore di funzioni da 1 Hz dal pin 4 del contatore delle unità.

Tabella 6-6

D	C	B	A	N	Frequenza
0	0	0	1	1	1000 Hz
1	0	0	0		
0	1	0	1		
0	0	1	1		
0	1	0	0		
1	0	0	1		
0	1	1	1		

**Passo 2**

Alimentate il breadboard. Cosa vedete sugli indicatori a LED?

Dovreste vedere il numero 8 su entrambi gli indicatori a LED delle decine e delle unità, indicanti un conteggio iniziale di 88.

**Passo 3**

Collegate ora il generatore di funzioni da 1 Hz al circuito contatore. Che cosa accade agli indicatori a LED?

Cominciando da 88, gli indicatori contano *alla rovescia*, 88, 87, 86, ecc, verso 0. Quando l'indicatore raggiunge 00, che cosa accade?

L'indicatore visualizza momentaneamente il numero 50 e riprende il conteggio 50, 49, 48, ecc. verso 0.

**Passo 4**

Durante il processo di conteggio, impostate gli switch logici delle *unità* a  $DCBA_1 = 0100$ . Quando l'indicatore raggiunge 00, da quale numero riprende a contare?

L'indicatore riprende a contare alla rovescia dal numero 54. Questo accade perchè il contatore a decade delle decine è caricato col codice bcd  $DCBA_{10} = 0101$  (5) e il contatore a decade delle unità con  $DCBA_1 = 0100$  (4).

### Passo 5

Cambiate ora la frequenza d'ingresso a 10 kHz e collegate un frequenzimetro al pin 13 del contatore a decade delle *decine*. Qual'è la frequenza d'uscita? Perché?

Se la frequenza d'ingresso è esattamente 10,000 kHz, dovrete avere misurato una frequenza d'uscita di 185 Hz. Poiché il modulo del circuito di conteggio è 54, la frequenza d'uscita è pari a  $1/54$  di quella d'ingresso, o 185 Hz.

### Passo 6

Impostate gli switch logici secondo quanto indicato nella Tabella 6-7, scrivete la frequenza d'uscita che misurate e determinate il modulo del circuito.

Tabella 6-7

DCBA <sub>10</sub>	DCBA <sub>i</sub>	Frequenza d'uscita	Modulo
0101	0100	185 Hz	54
0000	0101		
0001	0000		
0010	0111		
0110	0011		
1001	1001		
0011	0011		
0001	0100		

Quattro risultati dovrebbero indicare che la frequenza d'uscita è pari alla frazione dell'ingresso di 10 kHz impostata mediante gli switch logici. Abbiamo quindi un contatore programmabile a due decadi che, in funzione dell'impostazione degli switch logici, può dividere la frequenza d'ingresso per qualsiasi numero intero compreso fra 1 e 99. Nello spazio che segue, schematizzate il modo con cui colleghereste in cascata tre contatori 74192 per dividere per qualsiasi intero fra 1 e 999. Confrontate il vostro circuito con quello della Fig. 6-26.

## ESPERIMENTO N. 5

### Scopo

Questo esperimento dimostra il funzionamento del circuito integrato CMOS Hughes HCTR 0320 come divisore programmabile.

### Configurazione dei Pin del Circuito Integrato (Fig. 6-47)

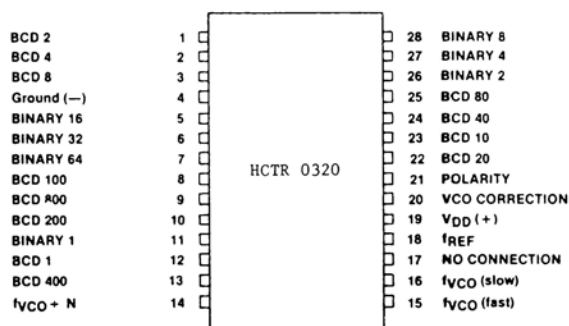


Fig. 6-47

### Formule di progetto

- Modulo binario:  $0 \leq N_B \leq 127$
- Modulo decimale:  $0 \leq N_D \leq 999$
- Modulo totale:  $3 \leq N_D + N_B \leq 1023$

### Schema del Circuito (Fig. 6-48)

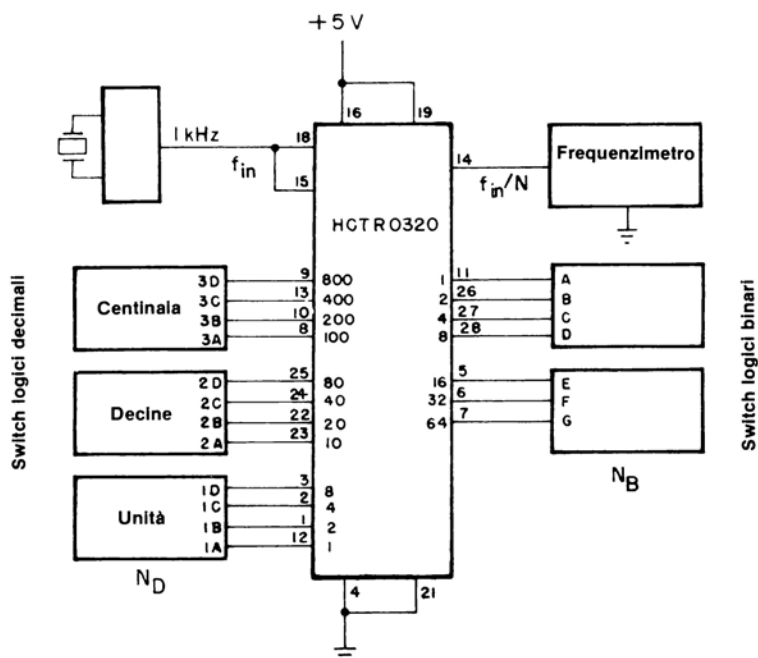


Fig. 6-48

#### Passo 1

Il primo punto che vogliamo porre in evidenza è che l'HCTR 0320 è un dispositivo relativamente costoso (oltre 10.000 lire).

Dovete pertanto, stare molto attenti quando lo utilizzate.

con l'alimentazione ed il riferimento di frequenza entrambi staccati dal breadboard, cablate il circuito mostrato nello schema. Se non avete abbastanza switch logici, usate dei ponticelli per collegare gli ingressi di programmazione o a + 5 V (1 logico) o a massa (0 logico).

#### Passo 2

Impostate inizialmente gli switch logici *binari* a GFEDCBA = 0000100 e tutti gli switch logici decimali allo 0 logico. Alimentate quindi il breadboard e collegate la frequenza di riferimento di 1 kHz ai pin 18 e 15. Collegate anche il frequenzimetro al pin 14. Quel'è la frequenza d'uscita sul contatore?



Dovreste avere rilevato una frequenza d'uscita di 250 Hz., poichè gli switch logici binari sono impostati a 0000100, che è l'equivalente binario del numero decimale 4.

### Passo 3

Variate la posizione degli switch logici binari secondo quanto indicato nella Tabella 6-8 e scrivete la frequenza d'uscita che misurate ed il modulo.

Tabella 6-8

G	F	E	D	C	B	A	Frequenza d'uscita	Modulo
0	0	0	0	1	0	0	250 Hz	4
0	0	0	1	0	1	0		
0	0	1	0	1	0	0		
0	1	0	0	0	1	1		
0	1	0	1	0	0	0		
1	0	0	0	0	0	1		
1	1	0	0	1	0	0		
1	1	1	1	1	0	1		

Per le ultime 8 combinazioni, dovrete avere misurato delle frequenze di 200, 83, 50, 29, 25, 15, 10 e 8 Hz, che corrispondono a divisioni per 5, 12, 20, 35, 40, 65, 100 e 125, rispettivamente.

### Passo 4

Variate ora il riferimento d'ingresso a 100 kHz. Impostate gli switch logici binari a GFEDCBA = 0000111 (il numero decimale 7). Impostate anche gli switch logici *decimali delle unità* sul codice bcd di 4 bit DCBA = 0011 (il numero decimale 3), gli switch logici *decimali delle decine* a DCBA = 0111 (il numero decimale 7) e gli switch logici *decimali delle centinaia* a DCBA = 0000 (il numero decimale 0).

Di conseguenza il modulo totale decimale è 073. Per trovare il *modulo totale della rete N* sommiamo il modulo binario al modulo decimale. Per le impostazioni degli switch logici effettuate in questo passo, qual'è il modulo programmato?

**Il modulo è 80.** Poichè gli switch logici binari sono impostati su 7 e gli switch logici decimali su 73, il modulo totale è pari a  $7 + 73$ , cioè 80. Variate ora la posizione degli switch logici binari e decimali secondo quan-

to indicato nella Tabella 6-9 e scrivete le frequenze d'uscita misurate. Notate che i moduli vengono espressi come numeri decimali. A questo punto dovrete essere in grado di impostare gli switch 1 e 0 logici corrispondenti.

Tabella 6-9

Modulo Binario	Modulo Decimale			Modulo totale	Frequenza d'uscita
	Centinaia	Decine	Unità		
7	0	7	3	80	
0	0	0	4	4	
1	0	0	4	5	
1	0	0	9	10	
9	0	1	1	20	
2	2	4	8	250	
4	4	9	6	500	
15	4	9	6	511	

Avreste dovuto misurare delle frequenze d'uscita pari a 1/80, 1/4, 1/5, 1/10, 1/20, 1/250, 1/500, e 1/511 la frequenza d'ingresso. Se la frequenza di riferimento d'ingresso era esattamente di 100 kHz, le frequenze d'uscita saranno state rispettivamente di 1250 Hz, 25,0 kHz, 20,0 kHz, 10,0 kHz, 5000 Hz, 400 Hz, 200 Hz e 196 Hz.

ESPERIMENTO N. 6

Scopo

Questo esperimento dimostra il funzionamento di un semplice sintetizzatore di frequenza a tre decadi utilizzando i circuiti integrati MC4024, MC4044 e 74192.

Configurazione dei Pin dei Circuiti Integrati (Fig. 6-49)

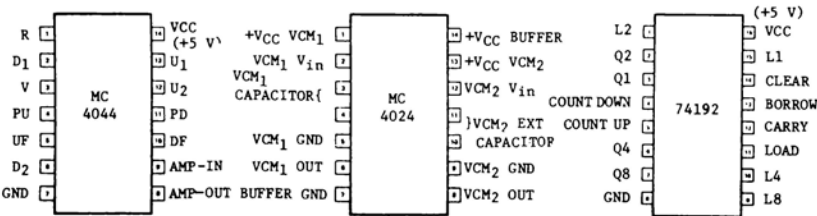


Fig. 6-49

Schema del Circuito (Fig. 6-50)

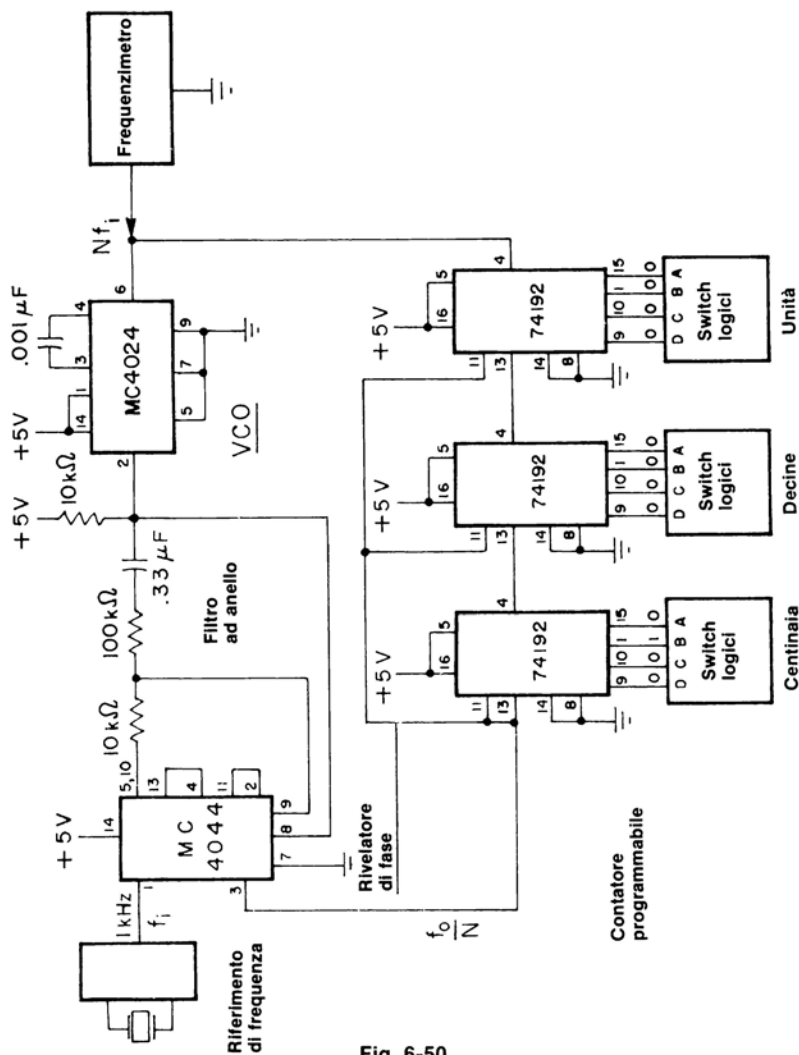


Fig. 6-50

**Passo 1**

Cablate il circuito mostrato nello schema. A causa dell'elevato numero di componenti, switch logici, ecc. avrete probabilmente bisogno di due piastre di breadboarding SK-10 per cablare il circuito. Inoltre, *dovete usare un riferimento di frequenza stabile, controllato a cristallo, di 1,000 kHz.*

## Passo 2

Alimentate il breadboard. Quale frequenza misurate col frequenzimetro?

Se la frequenza di riferimento in ingresso è esattamente di 1,000 kHz, dovrete misurare una frequenza d'uscita dal sintetizzatore esattamente di 200,000 kHz. I tre contatori programmabili sono impostati in modo da dividere per 200. Di conseguenza, la frequenza d'uscita è pari a 200 volte il riferimento d'ingresso, cioè a 200 kHz. Se non è esattamente pari a questo valore, entro 1 kHz, il vostro riferimento di ingresso è leggermente scalibrato. Per determinare l'effettiva frequenza d'ingresso, dividete la frequenza d'uscita del sintetizzatore che misurate per 200 e scrivete il vostro risultato:

$$f_{\text{REF}} = \text{—————} \text{ Hz}$$

Se la vostra frequenza d'uscita è notevolmente diversa da 200 kHz, passate al prossimo passo. In caso contrario passate direttamente al Passo 4.

## Passo 3

Se misurate una frequenza d'uscita che non si avvicina a 200 kHz, scollegate il riferimento di frequenza in ingresso da 1,0 kHz dal circuito e misurate la frequenza d'uscita del sintetizzatore. Senza alcun segnale di frequenza in ingresso la frequenza d'uscita dovrebbe essere di circa 145 kHz, che corrisponde alla *frequenza del VCO*. Se essa è *minore di 145 kHz*, ponete un diverso condensatore da 0,001  $\mu\text{F}$  fra i pin 3 e 4 del circuito integrato MC4024 finchè non ottenete una frequenza libera prossima a 145 kHz. Collegate nuovamente il riferimento di frequenza da 1 kHz in ingresso al pin 1 del rivelatore di fase MC4044. Dovreste misurare ora una frequenza d'uscita prossima a 200 kHz.

Se la procedura descritta non ha alcun effetto, controllate il codice bcd di 4 bit agli ingressi per dati di ognuno dei tre contatori programmabili 74192 (pin 15, 1, 10 e 9). Il contatore a decade *delle centinaia* dovrebbe avere un ingresso bcd di DCBA = 0010 (il numero decimale 2), mentre gli ingressi degli altri due contatori 74192 dovrebbero essere tutti allo 0 logico. Se l'impostazione degli switch logici è corretta e la frequenza d'uscita non è ancora di 200 kHz, verificate attentamente il vostro circuito, confrontandolo con lo schema.

#### Passo 4

Cambiate ora le impostazioni degli switch logici del contatore a decade *delle decine* a  $DCBA = 0101$ . Qual'è ora la frequenza d'uscita? Perché?

La frequenza d'uscita misurata dovrebbe essere pari a 250 volte la frequenza di riferimento in ingresso che avete determinato nel Passo 2. Il modulo dei contatori programmabili collegati in cascata è 250.

#### Passo 5

Cambiate ora le impostazioni degli switch logici della decade *delle unità* a  $1001$ . Qual'è ora la frequenza d'uscita? Perché?

La frequenza d'uscita misurata dovrebbe essere ora pari a 259 volte la frequenza di riferimento in ingresso che avete determinato nel Passo 2.

#### Passo 6

Cambiate ora le impostazioni degli switch logici della decade *delle centinaia* a  $DCBA = 0011$ . Qual'è la frequenza d'uscita?

La frequenza d'uscita misurata dovrebbe essere pari a 359 volte la frequenza di riferimento in ingresso che avete determinato nel Passo 2.

#### Passo 7

Variate le impostazioni degli switch logici per ogni numero compreso fra 200 e 400. Dovreste misurare una frequenza d'uscita che è pari a quella di riferimento in ingresso, che avete determinato nel Passo 2, per questi numeri.

#### Passo 8

Impostate ora gli switch logici a 100 (la decade *delle centinaia* a  $DCBA = 0001$ , le decadi *delle decine* e *delle unità* a  $DCBA = 0000$ ). Qual'è la frequenza d'uscita del sintetizzatore?

La frequenza d'uscita dovrebbe essere di circa 145 kHz, corrispondente alla *frequenza libera del VCO* (si veda il Passo 3). Per il circuito integrato VCO MC4024, la frequenza di uscita del sintetizzatore non può scendere al di sotto della frequenza libera. Di conseguenza, la frequen-

za libera del VCO deve essere minore della frequenza d'uscita minima del sintetizzatore che si prevede. Ponete ora un altro condensatore da  $0,001\ \mu\text{F}$  fra i pin 3 e 4 del circuito integrato MC4024, in modo che ora vi siano due condensatori da  $0,001\ \mu\text{F}$  *in parallelo*. Dovreste ora misurare una frequenza d'uscita pari a 100 volte la frequenza d'ingresso che avete determinato nel Passo 2.

### **Passo 9**

Scollegate il riferimento di frequenza da 1,0 kHz dal circuito e osservate la frequenza d'uscita del sintetizzatore.

Essa sarà probabilmente a 70 kHz. Per il momento, questa frequenza del VCO non è molto importante. L'unica limitazione è che *deve essere minore del prodotto del modulo del contatore programmabile per la frequenza di riferimento in ingresso* (es. 100 volte 1,0 kHz, o 100 kHz).

## CAPITOLO 7

# CIRCUITI INTEGRATI MONOLITICI E LORO APPLICAZIONI

### INTRODUZIONE

Questo capitolo descrive diversi dispositivi PLL monolitici assai comuni. Essi sono dei circuiti integrati che contengono un rivelatore di fase, un VCO e diverse funzioni specializzate in una singola struttura. Tutto ciò che è necessario sono alcuni resistori e alcuni condensatori per regolare la frequenza del VCO e il filtro d'anello. Per questi dispositivi sono molto adatte le applicazioni di routine come rivelatori AM e FM, decodificatori FSK (frequency shift-keying) e prescaler per frequenzimetri. Per la sintesi di frequenza, è necessario aggiungere un contatore divisore per  $N$  esterno fra il VCO ed il rivelatore di fase. Vengono fornite soltanto delle brevi descrizioni di alcuni dei dispositivi monolitici, poichè le principali caratteristiche di funzionamento e le necessarie informazioni di progetto sono sviluppate con completezza nei data sheet riportati nell'Appendice B.

### OBIETTIVI

Al termine di questo capitolo, sarete in grado di:

- Familiarizzare con molti dispositivi PLL della serie 560.
- Familiarizzare col funzionamento del PLL CMOS 4046.
- Eseguire un esperimento che utilizza un PLL 565 come demodulatore FSK.

- Eseguire un esperimento che utilizza un PLL 567 come decodificatore di tono.
- Eseguire un esperimento che utilizza un PLL 4046 come sintetizzatore di frequenza o prescaler moltiplicatore.
- Descrivere diverse utili applicazioni che utilizzano dei dispositivi PLL monolitici.

## LA SERIE 560

La serie 560 di dispositivi PLL monolitici è stata introdotta per la prima volta dalla Signetics Corporation. Questa serie comprende il 560B, il 561B, il 562, il 564, il 565 e il 567. Non tutti questi dispositivi verranno discussi nel presente capitolo. Nell'Appendice B, tuttavia, sono riportate i data sheet di tutti e sei.

I dispositivi della serie sono normalmente denominati PLL *analogici*. Fino a questo punto, i dispositivi PLL descritti nel presente libro erano di tipo *digitale*. La differenza fra i circuiti PLL analogici e digitali consiste nel tipo di rivelatore di fase utilizzato. I rivelatori OR-Esclusivo e edge triggered descritti nel Capitolo 3 sono digitali. Quasi tutti i sistemi PLL analogici utilizzano un *miscelatore a doppio bilanciamento*. Benché i rivelatori digitali siano stati spiegati esaurientemente nei capitoli precedenti non discuteremo qui il rivelatore analogico. Non è infatti molto importante conoscere il funzionamento, quanto il ricordare che l'uscita di tali rivelatori è una tensione media proporzionale alla differenza di fase fra i suoi due ingressi.

### Il PLL 560B

Il 560B (Fig. 7-1) è l'elemento principale di questa serie. Esso contiene un rivelatore di fase, un amplificatore e un VCO in un contenitore da 16 pin. Quando viene bloccato su un segnale d'ingresso, esso fornisce due uscite utilizzabili. La prima è una tensione che è proporzionale alla frequenza del segnale in ingresso, disponibile come USCITA FM DEMODULATA al pin 9. La seconda uscita è il segnale d'uscita ad onda quadra del VCO. Il valore del condensatore esterno collegato fra i pin 2 e 3, necessario per regolare la frequenza libera del VCO ( $f_0$ ) è dato da

$$C_0(\text{pF}) = \frac{300}{f_0} \quad (\text{Eq. 7-1})$$

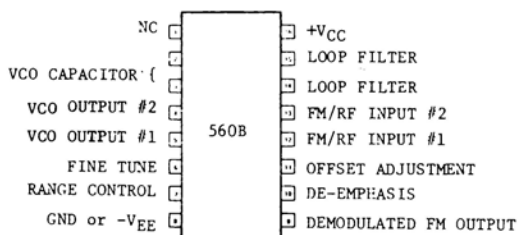
Il 560B è usato principalmente come demodulatore FM, secondo il circuito fondamentale della Fig. 7-2. Il VCO viene sintonizzato regolando il condensatore esterno ( $C_0$ ) sulla frequenza centrale del segnale FM. Per la maggior parte delle applicazioni, la coppia di condensatori



del filtro ad anello ( $C_1$ ) può essere determinata mediante la relazione approssimata:

$$C_1(\mu F) \cong \frac{13.3}{f_{3dB}} \quad (\text{Eq. 7-2})$$

dove  $f_{3dB}$  è l'ampiezza di banda desiderata dell'informazione demodulata.



**Fig. 7-1. Configurazione dei pin del PLL 560B.**

L'USCITA FM DEMODULATA al pin 9 è una tensione d'uscita che varia in funzione della deviazione di frequenza del segnale d'ingresso. Per una deviazione di  $\pm 1\%$ , l'uscita è di circa 0,3 V picco-picco (0,11 V efficaci). Per esempio, un circuito standard FI (frequenza intermedia) da 10,7 MHz ha una deviazione di circa  $\pm 75$  kHz. La deviazione percentuale vale quindi:

$$\begin{aligned} \% \text{ deviazione} &= \frac{\pm 75 \text{ kHz}}{10.7 \text{ MHz}} \times 100 \\ &= \pm 0.7\% \end{aligned}$$

Di conseguenza, la variazione della tensione d'uscita vale:

$$\begin{aligned} V_o &= \frac{0.3 \text{ V picco-picco}}{\pm \text{deviazione } 1\%} \times (\pm 0.7\%) \\ &= 0.21 \text{ V picco-picco (0.075 V eff.)} \end{aligned}$$

Per ulteriori informazioni di progetto, consultate il data sheet del 560B riportato nell'Appendice B.

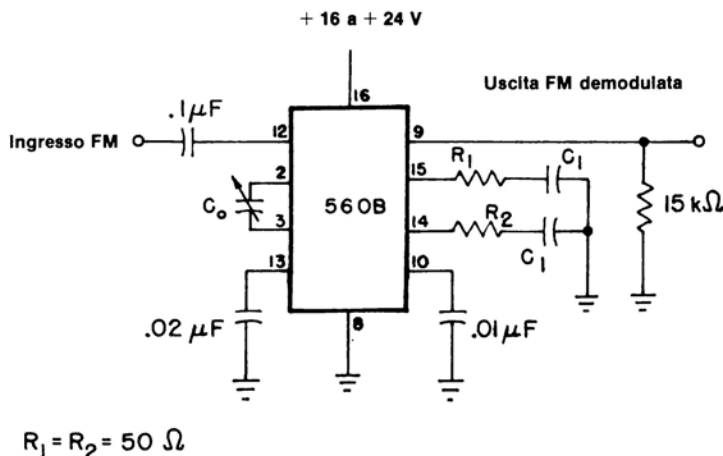


Fig. 7-2. Demodulatore FM utilizzando l'anello ad aggancio di fase 560B.

## IL PLL 561B

Il 561B, illustrato nella Fig. 7-3, è identico al 560B, tranne il fatto che include un rivelatore di fase aggiuntivo, che permette di utilizzare il dispositivo come rivelatore sincrono AM (come il ricevitore ad omodina). Come il 560B, anche il 561B può essere usato per la demodulazione FM.

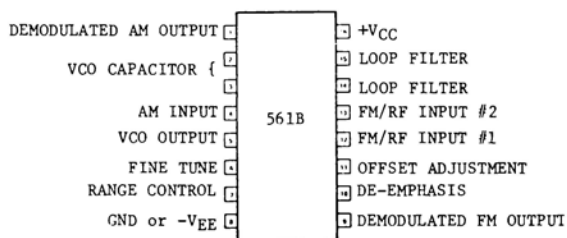


Fig. 7-3. Configurazione dei pin del PLL 561B.

Nella Fig. 7-4 è illustrato un semplice radiorecettore (per frequenze fra 550 e 1600 Hz) che utilizza il 561B. A differenza di altri ricevitori, non vi è alcun circuito di sintonizzazione ad induttanza e capacità! Il condensatore di sintonizzazione collegato fra i pin 2 e 3 viene scelto in modo da fare oscillare il VCO alla frequenza che deve essere ricevuta. Per un funzionamento in radiofrequenza, è necessario un condensatore variabile da 365 pF.

Durante il funzionamento, questo circuito ricevente richiede un'antenna esterna e un buon collegamento a terra. Inoltre deve essere presente un segnale sufficiente all'ingresso dell'anello ad aggancio di fase.

In caso contrario, può risultare un fruscio dovuto alla differenza di frequenza fra il segnale in ingresso e il VCO, quando l'aggancio dell'anello è instabile.

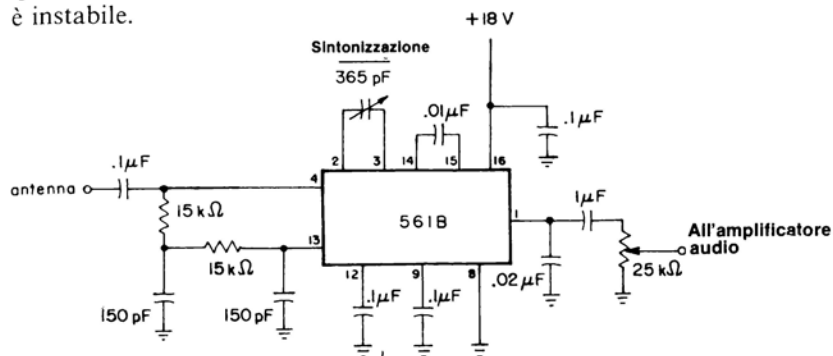


Fig. 7-4. Ricevitore AM a radiofrequenza utilizzando il PLL 561B.

Un ulteriore svantaggio di questo semplice circuito è l'effetto capacitivo della mano, dovuto alla sintonizzazione capacitiva non messa a terra del VCO. Una soluzione per questo problema è rappresentata dall'uso di un quadrante demoltiplicato e di un alberino isolato per il condensatore di sintonizzazione. Il funzionamento di questo circuito può essere migliorato usando un amplificatore non accordato ad ampia banda a monte del ricevitore per aumentare la sensibilità. Si deve tutta-

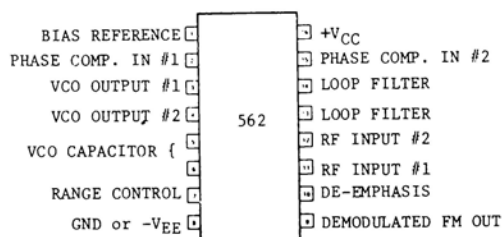


Fig. 7-5. Configurazione dei pin del PLL 562.

via stare attenti affinché la tensione del dispositivo 561B non superi 0,5 V efficaci. Un articolo divulgativo che descrive tale ricevitore con anello ad aggancio di fase è apparso a pagina 58 del numero di Ottobre 1971 di "Ham Radio".

## IL PLL 562

Il dispositivo monolitico PLL 562, mostrato nella Fig. 7-5, è fondamentalmente uguale al 560B, ma la connessione interna fra l'uscita del

VCO e il comparatore di fase è interrotta, permettendo due collegamenti esterni. Questa caratteristica permette di porre un contatore divi-

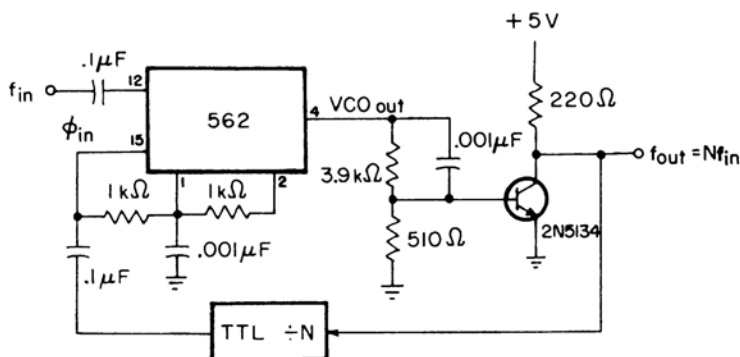


Fig. 7-6. Interfacciamento del 562 con contatori per N TTL.

sore per N TTL nella catena di controreazione, per realizzare una sintesi di frequenza, come illustrato nella Figura 7-6.

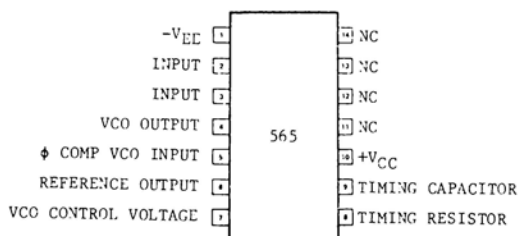


Fig. 7-7. Configurazione dei pin PLL 565.

## II PLL 565

Il dispositivo PLL 565, illustrato nella Fig. 7-7, è forse quello più popolare della serie 560. Si tratta di un dispositivo di uso generale, simile al 562. Mentre i dispositivi 560B, 561B e 562 sono utilizzati per frequenze fino a 30 MHz, il 565 è limitato a frequenze inferiori a 500 kHz.

Nella Fig. 7-8 è illustrato un circuito generalizzato. La frequenza libera del VCO viene determinata approssimativamente da:

$$f_o = \frac{1.2}{4R_1C_1} \quad (\text{Eq. 7-3})$$

Il condensatore  $C_1$  può avere un valore qualsiasi, ma il resistore  $R_1$  dovrebbe essere compreso fra 2 k  $\Omega$  e 20 k  $\Omega$ . Fra i pin 7 e 8 viene collegato normalmente un piccolo condensatore, tipicamente da 0,001  $\mu\text{F}$ ,

per eliminare le oscillazioni spontanee. Un semplice filtro d'anello di primo ordine è formato dal condensatore  $C_2$  e da una resistenza interna di circa  $3,6 \text{ k}\Omega$ .

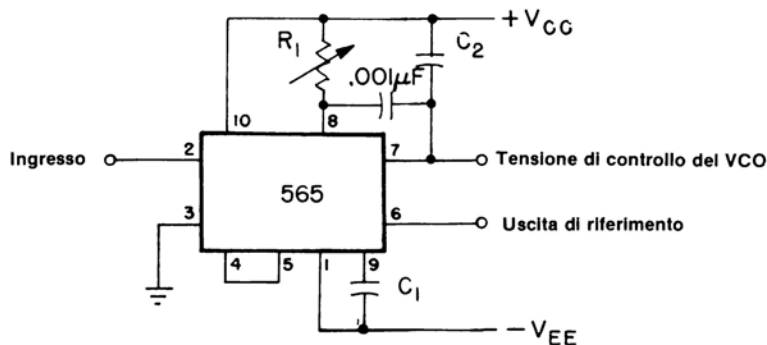


Fig. 7-8. Circuito fondamentale del 565.

Una popolare applicazione del PLL 565 è il *frequency-shift-keying*. La modulazione di frequenza è applicata alla trasmissione dei dati per mezzo di una frequenza portante che viene fatta variare fra due valori limiti. Questa tecnica è molto usata per i sistemi telescriventi (tty) nei campi delle periferiche per elaboratori e delle radiotrasmissioni.

Lungo il corso degli anni, sono stati sviluppati diversi standard per regolare le frequenze di *segno* e di *spazio*, corrispondenti agli stati logici 1 e 0 del segnale binario. Molte di queste coppie di frequenze sono elencate nella Tabella 7-1.

Tabella 7-1

Segno	Spazio
1070 Hz	1270 Hz
2125 Hz	2975 Hz
2025 Hz	2225 Hz

La differenza di frequenza fra la frequenza di segno è la frequenza di spazio è denominata *scorrimento di frequenza*. Nel caso della coppia 1070-1270, lo scorrimento di frequenza è di 200 Hz.

Quando le informazioni della telescrivente vengono trasmesse usando un sistema modulatore-demodulatore, normalmente denominato *modem*, questa coppia di frequenze in genere rappresenta il segnale *d'origine*, mentre la coppia 2025-2225 Hz rappresenta il segnale *di risposta*. Per legge, le telescriveni via radio (RTTY) devono avere uno scorrimento di frequenza minore di 900 Hz. I radioamatori molti anni fa utilizzavano lo standard 2125-2975 (variazione di 850 Hz).



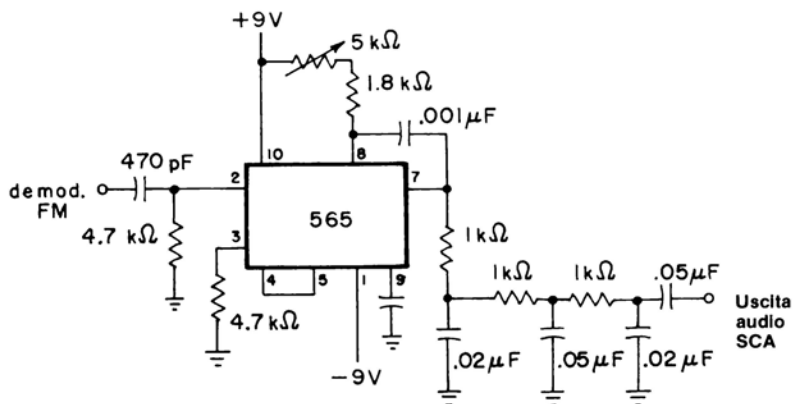


Fig. 7-10. Uso del 565 come decodificatore SCA.

Una volta collegato, il decodificatore può essere sintonizzato su 67 kHz con il potenziometro da 5 k  $\Omega$ .

## Il PLL Decodificatore di Tono 567

Il dispositivo 567 (Fig. 7-11) è un sistema PLL progettato specificatamente per rispondere ad un dato tono di frequenza costante compresa nella sua ampiezza di banda. Come il 561, il 567 ha inoltre uno stadio di potenza di uscita, che è in grado di generare 100 mA. Il suo campo di frequenza, tuttavia, è simile a quello del 565, che è limitato a 500 kHz.

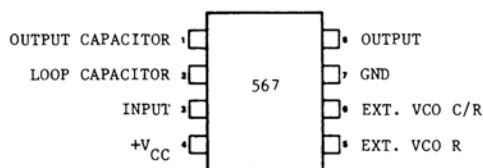


Fig. 7-11. Configurazione dei pin PLL/decodificatore di tono 567.

Nella Fig. 7-12 sono indicati i collegamenti principali del decodificatore di tono 567. La frequenza libera, o centrale, ( $f_0$ ) del VCO, viene regolata da  $R_1$  e  $C_1$  in modo che

$$f_0 \cong \frac{1.10}{R_1 C_1} \quad (\text{Eq. 7-4})$$

dove  $R_1$  dovrebbe essere compreso fra 2 k  $\Omega$  e 20 k  $\Omega$ . Il valore di  $C_2$  può essere scelto nel grafico "Ampiezza di banda/Ampiezza del segnale d'ingresso" riportato nel data sheet del 567, nell'Appendice B. Il valore di  $C_3$  non è critico, ma dovrebbe essere almeno doppio di quello di  $C_2$ .

Per i livelli del segnale d'ingresso ( $V_i$ ) minori di 200 mV efficaci, l'ampiezza di banda dell'anello è data da

$$BW (\% \text{ di } f_0) \cong 1070 \left( \frac{V_i}{f_0 C_2} \right)^{1/2} \quad (\text{Eq. 7-5})$$

Per i livelli d'ingresso maggiori di 200 mV efficaci, tuttavia, l'ampiezza di banda del 567 è tipicamente pari al 14% della frequenza centrale. Inoltre, il decodificatore diviene sensibile alle frequenze d'ingresso che sono sottoarmoniche dispari della frequenza centrale, per cui l'anello potrebbe agganciarsi su frequenze  $f_0/3$ ,  $f_0/5$ , ecc. Infine, l'anello potrebbe agganciarsi su segnali prossimi a  $(2n+1)f_0$ , dove  $n = 1, 2, 3$  ecc.

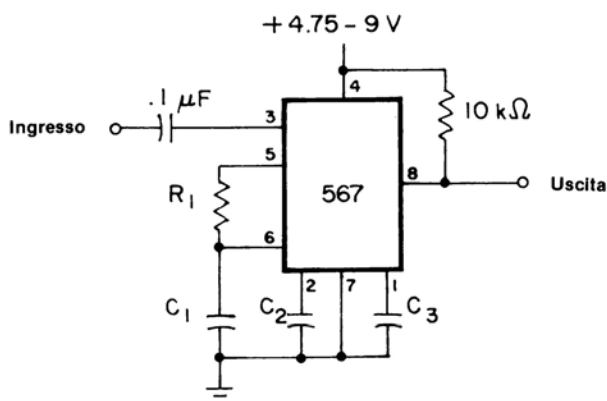


Fig. 7-12. Circuito fondamentale del decodificatore di tono 567.

Se tali segnali sono anticipati, dovrebbero essere attenuati *prima* di raggiungere l'ingresso del 567. Quando l'anello è agganciato, l'uscita al pin 8 è allo stato logico 0.

### Esempio

Usando il circuito fondamentale del decodificatore di tono della Fig. 7-12, determinate i valori di  $R_1$ ,  $C_1$ ,  $C_2$  e  $C_3$  per decodificare un segnale d'ingresso di 100 mV e 700 Hz. Inoltre l'ampiezza di banda dovrebbe essere pari a circa il 12% della frequenza centrale.

Prima di tutto, per determinare  $R_1$  e  $C_1$ , scegliamo un valore opportuno per  $C_1$ . Assumendo  $C_1 = 0,1 \mu\text{F}$ , per esempio,  $R_1$  si può determinare mediante l'Equazione 7-4, per cui:

$$\begin{aligned} R_1 &= \frac{1.10}{f_0 C_1} \\ &= \frac{1.10}{(700 \text{ Hz})(0.1 \mu\text{F})} \\ &= 15.7 \text{ k}\Omega \end{aligned}$$



perciò possiamo usare un resistore da 15 k $\Omega$ , 5% od un resistore da 15,8 k $\Omega$ , 1%. Il valore del condensatore  $C_2$  viene quindi determinato riscrivendo l'Equazione 7-5:

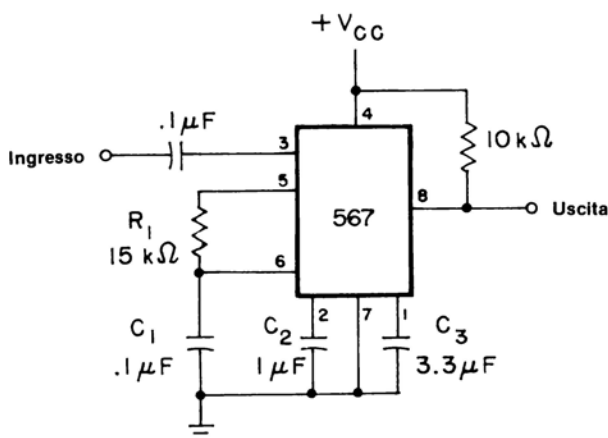
$$\begin{aligned} C_2 &= \frac{V_1}{f_o} \left( \frac{1070}{BW} \right)^2 \text{ (in } \mu\text{F)} \\ &= \frac{(0.10 \text{ V})}{(700 \text{ Hz})} \left( \frac{1070}{12\%} \right)^2 \\ &= 1.14 \mu\text{F} \end{aligned}$$

per cui possiamo usare un condensatore da 1  $\mu\text{F}$ . Poiché  $C_3$  deve essere pari ad almeno il doppio di  $C_2$ , possiamo scegliere per essa il valore di 3,3  $\mu\text{F}$ . Nella Fig. 7-13 è illustrato il circuito completo.

Una popolare applicazione del decodificatore 567 è la decodifica dei segnali "Touch-Tone" \*. Le informazioni Touch-Tone \* vengono codificate secondo coppie tonali usando due dei sette toni possibili per i numeri da 0 a 9 ed i simboli # (pound) e \* (stella). Nella Tabella 7-2 sono riportate le audio frequenze utilizzate.

**Tabella 7-2. Frequenze Touch-Tone\***

Gruppo dei Toni Bassi (Hz)	Gruppo dei Toni Alti		
	1209 Hz	1336 Hz	1477 Hz
697	1	2	3
770	4	5	6
852	7	8	9
941	*	0	#



**Fig. 7-13** Circuito completo del decodificatore di tono 567 con valori per la decodifica di un segnale di 100 mV e 700 Hz.

Nella Fig. 7-14 è illustrato il circuito fondamentale del decodificatore per una singola cifra o simbolo (per esempio, per il numero 9).

Il numero 9 ha contemporaneamente un tono basso di 852 Hz ed un tono alto di 1477 Hz. Di conseguenza, sono necessari due decodificatori 567. Il primo è regolato su una frequenza centrale di 852 Hz, ed il secondo è regolato su 1477 Hz. Quando all'ingresso del circuito è presente il segnale Touch-Tone® corrispondente al numero 9, l'uscita di

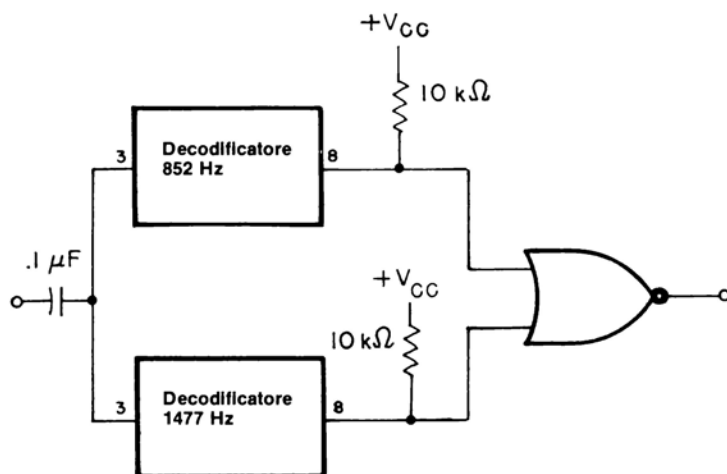


Fig. 7-14. Decodificatore Touch-Tone® per il numero 9.

entrambi i decodificatori sarà allo 0 logico, poiché entrambi gli anelli sono bloccati. L'uscita della porta NOR sarà quindi allo stato logico 1. Se è presente soltanto uno dei due toni, soltanto una delle due uscite sarà allo 0 logico, per cui anche l'uscita della porta NOR sarà allo 0 logico. Usando il circuito fondamentale della Fig. 7-14, si può realizzare un circuito completo di decodifica Touch-Tone®, capace di decodificare tutte le 12 possibili coppie tonali, illustrato nella Fig. 7-15.

Un'altra nuova applicazione del decodificatore di tono 567 è la costruzione di un indicatore di frequenza di basso costo, usando il circuito della Fig. 7-16. Un decodificatore (U1) è regolato a circa il 6% *al di sopra* della frequenza desiderata, mentre l'altro decodificatore (U2) è regolato al 6% *al di sotto*. Se la frequenza d'ingresso è compresa entro il 13% della frequenza desiderata, si accenderanno la lampadina n. 1 e n. 2. Se entrambe le lampadine si accendono, la frequenza d'ingresso è compresa entro l'1% della frequenza desiderata.

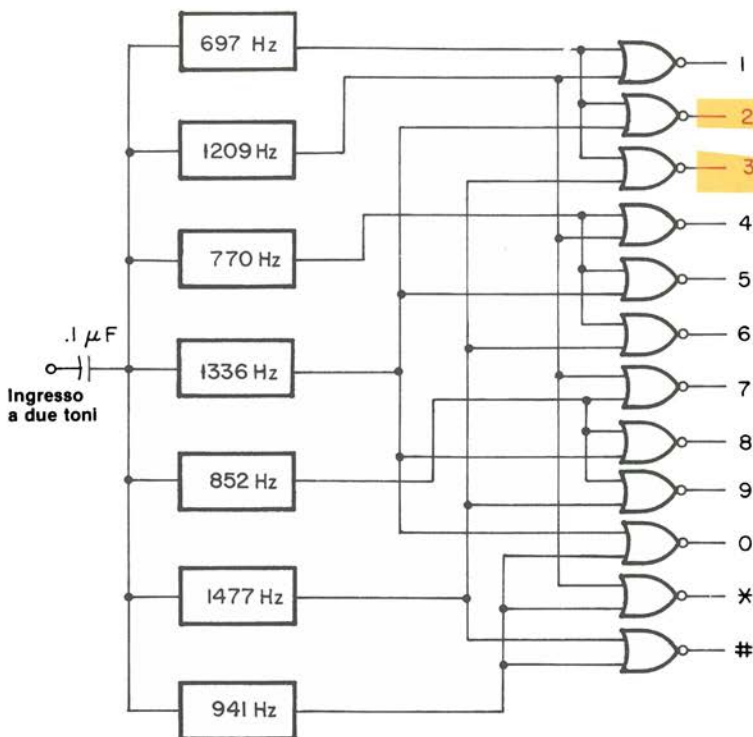


Fig. 7-15. Decodificatore Touch-Tone® da 12 cifre.

## II PLL 4046 CMOS

Il circuito PLL monolitico 4046 CMOS è attualmente costruito dalla RCA e ha l'aspetto di un DIP da 16 pin, come illustrato nella Fig. 7-17. Una delle differenze principali fra il 4046 e la serie 560 di dispositivi monolitici è che il sistema rivelatore di fase 4046 è digitale anziché analogico.

Inoltre, il 4046 contiene *due tipi diversi* di rivelatori di fase. Con riferimento allo schema a blocchi della Fig. 7-18, gli ingressi dei rivelatori di fase I e II sono collegati in parallelo. Le uscite, tuttavia, sono mantenute separate. Il rivelatore di fase I (denominato, a volte, *rivelatore a basso rumore*) è un semplice elemento di tipo OR-Esclusivo. Di conseguenza, entrambi i segnali d'ingresso e del VCO devono essere delle onde quadre con coefficiente di utilizzazione del 50%.

Il rivelatore di fase II (a volte denominato *rivelatore ad ampia banda*) è un elemento digitale di tipo edge triggered, che scatta in corrispondenza dei fronti positivi degli ingressi.

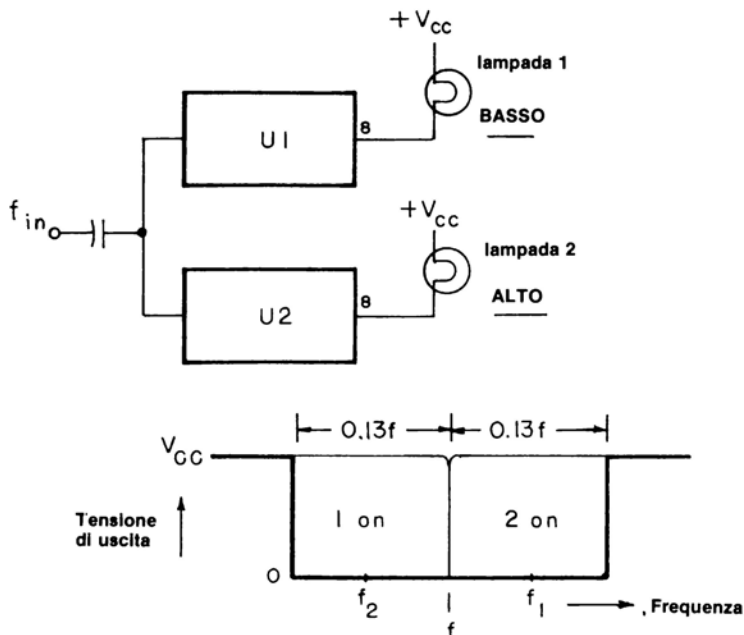


Fig. 7-16. Un indicatore di frequenza di basso costo.

Se il segnale d'ingresso, che può essere un treno d'impulsi di *qualsiasi* coefficiente di utilizzazione, è minore della frequenza del VCO, l'uscita è allo 0 logico ( $V_{SS}$ , o massa). D'altra parte, se la frequenza d'ingresso è maggiore della frequenza del VCO, l'uscita è all'1 logico ( $+V_{DD}$ ). Se le due frequenze sono uguali, l'uscita del rivelatore di fase II è un impulso la cui ampiezza è proporzionale alla differenza di fase. Come illustrato nella Fig. 7-19, tale impulso di uscita è positivo quando il segnale del

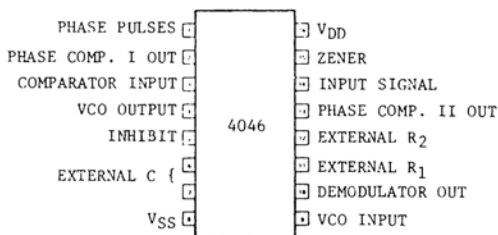


Fig. 7-17. Configurazione dei pin del PLL 4046 CMOS.

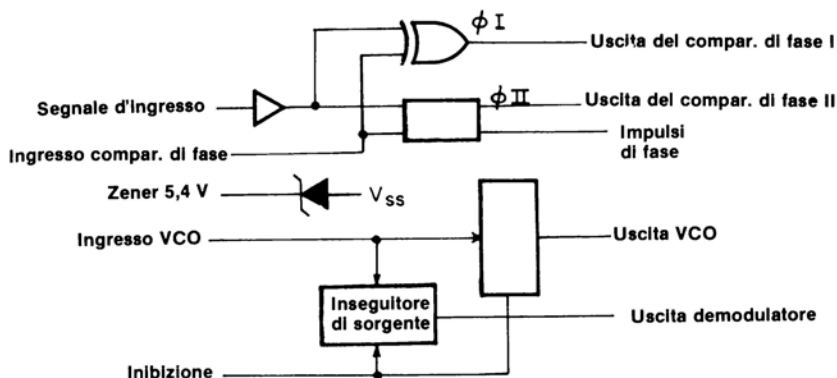


Fig. 7-18. Schema a blocchi del PLL 4046 CMOS.

VCO è in ritardo su quello d'ingresso, e negativo quando il VCO è in anticipo sull'ingresso. Un vantaggio del rivelatore di fase II rispetto al rivelatore di fase I è che il primo è insensibile alle componenti armoniche, mentre il tipo OR-Esclusivo può bloccarsi su armoniche multiple della frequenza d'ingresso.

Nello schema a blocchi vi è anche un diodo zener da 5,4 V, che può essere usato se è necessario per la regolazione della tensione di alimentazione.

La frequenza del VCO è minima ( $f_{\min}$ ) quando la tensione di controllo in ingresso è uguale a zero, e cresce linearmente fino ( $f_{\max}$ ) quando la tensione di controllo è uguale a  $+V_{DD}$ . Tipicamente la

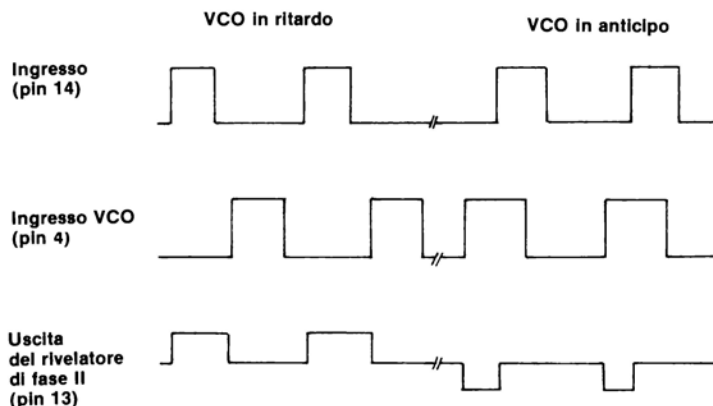


Fig. 7-19. Forme d'onda d'ingresso/uscita del PLL 4046 CMOS.

frequenza massima del VCO può essere di 700 kHz quando  $V_{DD} = +5$  V, e di 1,9 MHz quando  $V_{DD} = +15$  V. Il campo di frequenza ( $f_{max} - f_{min}$ ) del VCO può essere regolato con i componenti esterni  $R_1$  e  $C_1$ , mentre la frequenza minima del VCO è controllata da  $R_2$  e  $C^*_1$ . I resistori  $R_1$  e

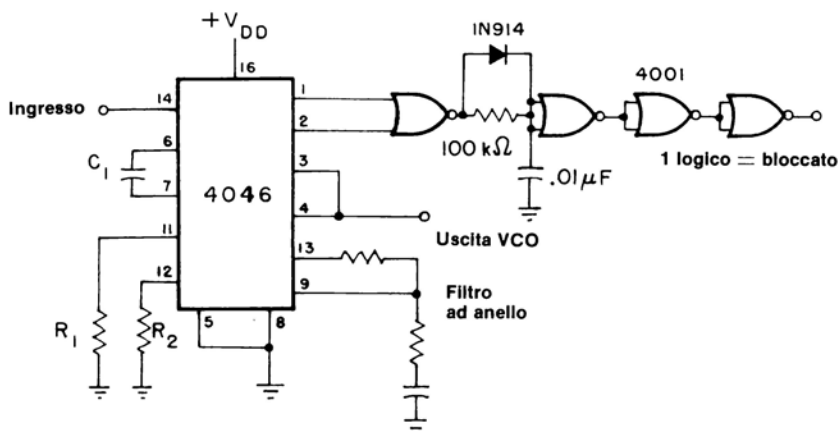


Fig. 7-20. Circuito basato sul 4046 per la rivelazione dello stato di blocco.

$R_2$  dovrebbero essere compresi fra 10 kΩ e 1 MΩ, mentre  $C_1$  dovrebbe essere maggiore di 100 pF per  $V_{DD} \geq 5$  V o maggiore di 50 pF per  $V_{DD} \geq 10$  V. Se, per alcune applicazioni, si può escludere il VCO in certi istanti, esso viene inibito collegando l'ingresso INHIBIT (pin 5) a  $+V_{DD}$ , che permette anche di minimizzare il consumo energetico. In caso contrario, l'ingresso INHIBIT viene collegato a  $V_{ss}$ .

L'uscita PHASE PULSES (pin 1) del rivelatore di fase II può essere collegata ad una porta NOR insieme all'uscita del rivelatore di fase I (pin 2), per formare un rivelatore di aggancio, come illustrato nella Fig. 7-20. L'uscita dell'ultima porta NOR 4001 sarà allo stato logico 1 in caso di aggancio.

Come la maggior parte dei dispositivi monolitici PLL, anche il 4046 può essere utilizzato come sintetizzatore di frequenza o come moltiplicatore, inserendo un contatore divisore per N CMOS nell'anello di reazione fra il VCO e il rivelatore di fase. Per esempio, la risoluzione di un tipico frequenzimetro digitale può essere portata da  $\pm 1$  Hz a  $\pm 0,01$  Hz per segnali di bassa frequenza usando una coppia di contatori a decade

\* Informazioni sulla progettazione del VCO sono riportate nel data sheet del 4046 nell'Appendice B

(74C90, 4018, ecc.) in cascata, come illustrato nella Fig. 7-21. Pertanto, una frequenza d'ingresso di 52,83 Hz verrà visualizzata come 5283 Hz sul frequenzimetro. Normalmente, invece, si sarebbero letti 52 o 53 Hz.

Rendendo il modulo del contatore divisore per  $N$  uguale a 60, la stessa tecnica può essere usata per visualizzare la frequenza d'ingresso in termini di *periodi al minuto*. Ciò è estremamente utile quando si devono misurare le frequenze di fenomeni fisiologici, come la respirazione (respiri al minuto) o la velocità cardiaca (battiti al minuto).

## INTRODUZIONE AGLI ESPERIMENTI

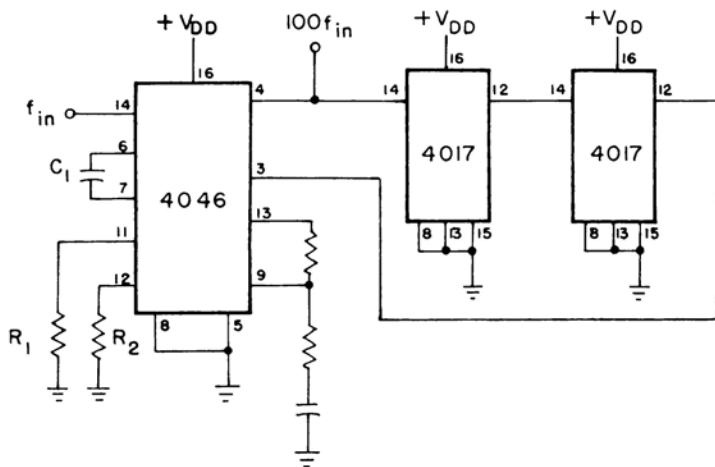
I seguenti esperimenti sono stati progettati per illustrare il funzionamento dei diversi tipi di dispositivi monolitici PLL, con diverse applicazioni. Gli esperimenti che eseguirete possono essere riassunti nel modo seguente:

Esperimento N.	Scopo
1	Dimostra il funzionamento del PLL 565 come frequency-shift-keying a (FSK).
2	Dimostra il funzionamento del PLL decodificatore di tono 567.
3	Dimostra il funzionamento del PLL 4046 CMOS.
4	Dimostra il funzionamento di un indicatore di "perdita di aggancio" con il PLL 4046 CMOS.
5	Dimostra il funzionamento di un sintetizzatore di frequenza CMOS che può essere usato come pre-regolatore moltiplicatore per frequenzimetri.

## ESPERIMENTO N. 1

### Scopo

Questo esperimento dimostra il funzionamento di un circuito PLL 565 come demodulatore a variazione di frequenza (FSK). Inoltre, vengono usati due timer 555 per realizzare un semplice generatore FSK.

Fig. 7-21. Moltiplicatore  $\times 100$  di frequenza.

### Configurazione dei Pin dei Circuiti Integrati (Fig. 7-22)

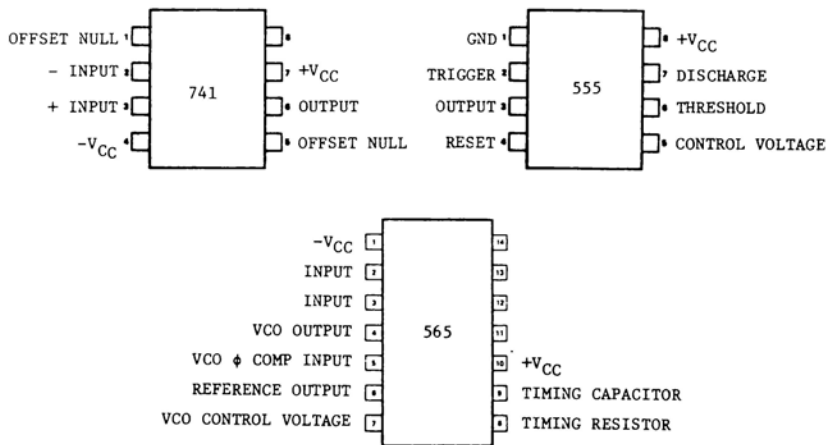
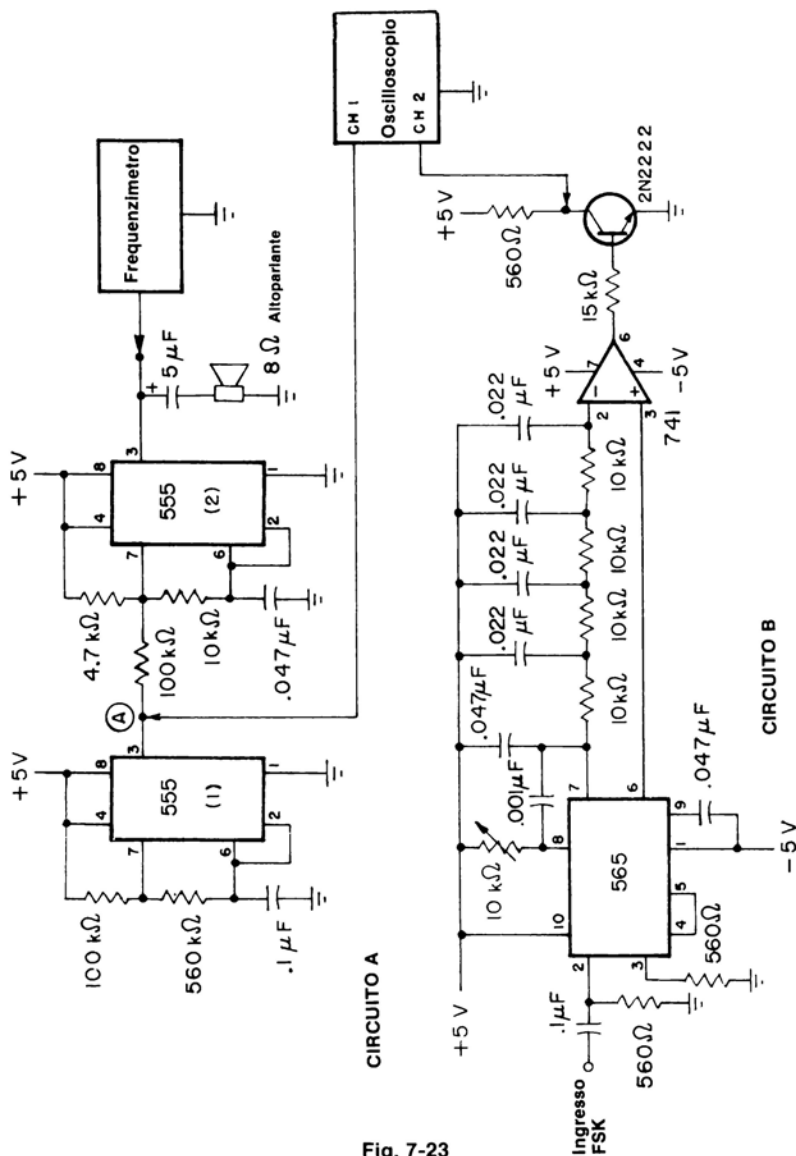


Fig. 7-22

### Schema dei Circuiti (Fig. 7-23)

Lo schema dei due circuiti per questo esperimento è illustrato nella Fig. 7-23. Il circuito A è il generatore FSK ed il circuito B è il demodulatore FSK.





**Fig. 7-23**

### Passo 1

Prima di tutto, cablate il circuito A (il generatore FSK) su una sezione del breadboard. Alimentate il breadboard e collegate un frequenzimetro al pin 3 del timer 555 N. 2. Dovreste sentire una specie di “suono acuto” che si alterna fra due frequenze diverse.

## Passo 2

Rimuovete quindi la connessione (denominata “A”) del pin 3 del timer 555 N. 1. Collegate a massa il terminale del resistore da 100 k  $\Omega$  che era inizialmente collegato al pin 3. Misurate la frequenza d’uscita del timer N. 2, che chiameremo *frequenza di segno*, e scrivete il vostro risultato:

$$f \text{ (segno)} = \text{_____ Hz}$$

## Passo 3

Collegate quindi il resistore da 100 k  $\Omega$  alla tensione di alimentazione di +5 V. Dovreste sentire ora un tono stabile di frequenza *maggiore* di quella di prima. Misurate questa frequenza, denominata *frequenza di spazio*, e scrivete il vostro risultato:

$$f \text{ (spazio)} = \text{_____ Hz}$$

La differenza di frequenza fra i toni di segno e di spazio è denominata *scorrimento di frequenza*. Come si è messo in evidenza nel corso della descrizione dell’anello ad aggancio di fase 565, i sistemi per la trasmissione di dati usano normalmente un segno da 1070 Hz (o 2025 Hz) e uno spazio da 1270 Hz (o 2225 Hz) con una variazione di 200 Hz. I radioamatori o i sistemi radiotelescriventi non professionali usano frequenze di 2125 Hz e 2295 Hz (variazione 170 Hz) o 2125 Hz e 2975 Hz (variazione 850 Hz).

## Passo 4

Ricollegate il resistore da 100 k $\Omega$  al pin 3 del timer N. 1 come indicato nello schema. Levate quindi temporaneamente l’alimentazione del breadboard.

## Passo 5

Cablate ora il circuito B (il demodulatore FSK) come indicato nello schema. Regolate il vostro oscilloscopio nel modo seguente:

- Canali 1 e 2: 5 V/divisione
- Base dei tempi: 10 ms/divisione
- Trigger: sul Canale 1

## Passo 6

Alimentate il breadboard e collegate l'uscita del generatore FSK all'ingresso del circuito demodulatore. Regolate attentamente il potenziometro da 10 k $\Omega$  finché le forme d'onda visualizzate sui canali 1 e 2 non sono uguali. A questo punto, il demodulatore FSK si trova in aggancio di fase su entrambe le frequenze d'ingresso di segno e di spazio. L'uscita del circuito demodulatore è ora un livello logico che corrisponde ai toni audio di segno e di spazio.

## ESPERIMENTO N. 2

### Scopo

Questo esperimento dimostra il funzionamento del PLL/decodificatore di tono 567.

### Configurazioni dei Pin del Circuito Integrato (Fig. 7-24)

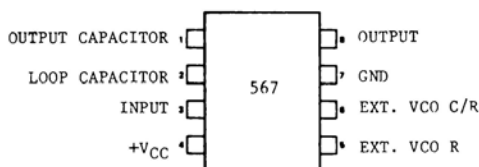


Fig. 7-24

### Schema del Circuito (Fig. 7-25)

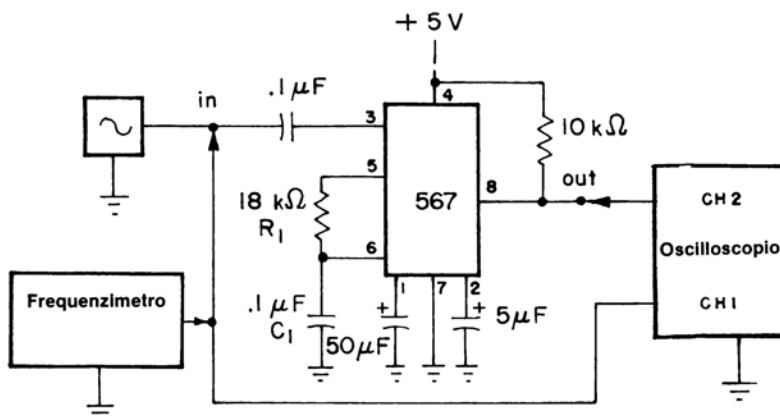


Fig. 7-25

**Passo 1**

Impostate il vostro oscilloscopio nel modo seguente:

- Canale 1: 1 V/divisione
- Canale 2: 5 V/divisione
- Base dei tempi: 0,5 ms/divisione

**Passo 2**

Cablate il circuito mostrato nello schema. Alimentate il breadboard. Regolate il generatore di frequenza a 200 Hz con una tensione d'uscita di 2 V picco-picco. L'uscita del decodificatore di tono (canale 2) dovrebbe essere di + 5 V (1 logico).

**Passo 3**

Aumentate lentamente la frequenza d'ingresso finchè l'uscita del decodificatore di tono 567 si porta allo 0 logico (0 V) e scrivete questa frequenza:

$$f_1 = \text{_____ Hz}$$

**Passo 4**

Continuate ad aumentare lentamente la frequenza d'ingresso finchè l'uscita del decodificatore di tono non ritorna a + 5V e scrivete questa frequenza:

$$f_2 = \text{_____ Hz}$$

**Passo 5**

Impostate la frequenza d'ingresso a circa 800 Hz. Diminuite lentamente la frequenza d'ingresso finchè l'uscita non si porta allo 0 logico e scrivete questa frequenza:

$$f_3 = \text{_____ Hz}$$

**Passo 6**

Continuate a diminuire lentamente la frequenza d'ingresso finchè l'uscita non ritorna all'1 logico e scrivete questa frequenza:

$$f_4 = \text{_____ Hz}$$

## Passo 7

Impostate ora la frequenza d'ingresso a circa 500 Hz e misurate la frequenza al pin 5 del circuito integrato 567, che corrisponde alla frequenza libera  $f_o$ . Scrivete il vostro risultato:

$$f_o = \text{_____ Hz}$$

Dalle misure effettuate dal Passo 3 al Passo 6, avete determinato il campo di frequenza nel quale il decodificatore di tono 567 si aggancia. Per frequenze crescenti, l'aggancio avviene a  $f_1$  e si mantiene finché la frequenza d'ingresso non raggiunge  $f_2$ . Per frequenze decrescenti, l'aggancio avviene a  $f_3$  e si mantiene finché la frequenza d'ingresso non è uguale a  $f_4$ .

La frequenza libera del VCO è determinata dal resistore da 18 k  $\Omega$  (R) e dal condensatore da 0,1  $\mu$ F (C), secondo l'equazione approssimata:

$$f_o \cong \frac{1.10}{RC}$$

che da circa 611 Hz. Entro il 10%, questo dovrebbe corrispondere col valore che avete appena determinato. L'ampiezza di banda % si trova da:

$$\text{ampiezza di banda \%} = \frac{f_2 - f_4}{f_o} \times 100$$

In base ai vostri risultati, calcolate l'ampiezza di banda % e scrivete il vostro risultato:

$$\text{ampiezza di banda \%} = \text{_____}$$

Per il decodificatore di tono 567, l'ampiezza di banda % è tipicamente pari al 14%. Il campo di frequenza,  $f_2 - f_4$ , è il campo d'aggancio del decodificatore ad anello ad aggancio di fase, ed è qualche volta denominato *ampiezza di banda*. Il campo di frequenza,  $f_3 - f_1$ , è il *campo di cattura* dell'anello, e non è mai maggiore del campo di aggancio.

## Passo 8

Iniziando con una frequenza d'ingresso di 200 Hz, aumentate lentamente la frequenza d'ingresso finché non sarete prossimi alla frequenza che avete misurato nel Passo 3 ( $f_1$ ). Fino a tale frequenza, la frequenza

del VCO dovrebbe mantenersi alla frequenza che avete determinato nel Passo 7. Poichè la frequenza d'ingresso è esterna al *campo d'aggancio* dell'anello, l'anello non si trova in aggancio di fase e il VCO si trova alla sua frequenza libera.

### Passo 9

Continuate ad aumentare la frequenza d'ingresso oltre  $f_1$ . L'uscita del decodificatore di tono segue la frequenza d'ingresso poichè l'anello è in aggancio di fase. Con il vostro frequenzimetro, confrontate le frequenze d'ingresso e d'uscita ai pin 3 e 8. Sono uguali?

### Passo 10

In base ai valori che avete determinato nei Passi 3, 4, 5 e 6, calcolate il campo di aggancio ( $f_2 - f_1$ ) e il campo di cattura ( $f_3 - f_1$ ) di questo circuito decodificatore di tono e scrivete i vostri risultati:

campo di blocco = \_\_\_\_\_ Hz

campo di cattura = \_\_\_\_\_ Hz

### Passo 11

Come esercizio opzionale, cambiate il resistore fra i pin 5 e 6 (per esempio usatene uno da 4,7 k  $\Omega$ ) e ripetete l'esperimento. Dovreste essere in grado di determinare la frequenza centrale del VCO, il campo di aggancio ed il campo di cattura.

## ESPERIMENTO N. 3

### Scopo

Questo esperimento dimostra il funzionamento del circuito integrato PLL 4046 CMOS.

### Configurazione dei Pin del Circuito Integrato (Fig. 7-26)

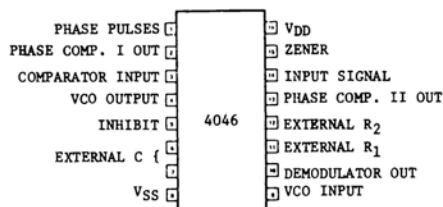


Fig. 7-26

### Schema del Circuito (Fig. 7-27)

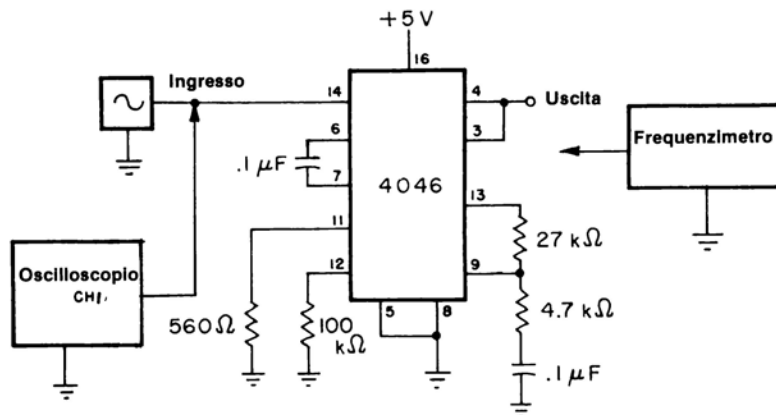


Fig. 7-27

#### Passo 1

Impostate il vostro oscilloscopio nel modo seguente:

- Canale 1: 0,5 V/divisione
- Base dei tempi: 0,5 ms/divisione

#### Passo 2

Cablate il circuito mostrato nello schema e alimentate il breadboard. Regolate l'uscita del generatore di funzioni (onda sinusoidale) a circa 1 kHz col frequenzimetro e la tensione picco-picco a 1V (cioè 2 divisioni verticali). Collegate ora il frequenzimetro ai pin 3 e 4 del dispositivo 4046. Che cosa osservate relativamente alla frequenza d'uscita del PLL?

La frequenza d'uscita del PLL dovrebbe essere uguale a quella d'ingresso.

#### Passo 3

Con uno spezzone di filo, collegate il pin 9 del circuito integrato 4046 alla massa. Scrivete la frequenza di uscita risultante dell'anello ad aggancio di fase:

$$f_L = \text{_____ Hz}$$

Questa frequenza d'uscita rappresenta il limite inferiore del VCO, determinato dal condensatore da 0,1 μF collegato fra i pin 6 e 7 e dal resistore da 100 kΩ collegato fra il pin 12 e la massa.

**Passo 4**

Ora, con lo stesso filo, collegate il pin 9 alla tensione di alimentazione di + 5 V. Dovreste osservare una frequenza d'uscita *maggiore* di quella che avete misurato nel Passo 3. Scrivete questa frequenza:

$$f_H = \text{_____ Hz}$$

Questa frequenza d'uscita rappresenta il limite superiore del VCO, che è determinato dal condensatore da 0,1  $\mu\text{F}$  collegato fra i pin 6 e 7 e dal resistore da 560  $\Omega$  collegato fra il pin 11 e la massa.

**Passo 5**

Rimuovete ora il collegamento fra il pin 9 e la tensione di alimentazione di + 5 V. Dovreste misurare ancora una frequenza d'uscita uguale alla frequenza del generatore di funzioni (circa 1 kHz).

**Passo 6**

Collegate il frequenzimetro ai pin 3 e 4 del circuito integrato 4046. Aumentate ora lentamente la frequenza del generatore di funzioni. Che cosa osservate sul frequenzimetro?

Dovreste osservare che anche la frequenza d'uscita aumenta! Infatti, la frequenza d'uscita segue le variazioni della frequenza d'ingresso, alla quale dovrebbe essere esattamente uguale. Per averne conferma, controllate la frequenza d'ingresso.

**Passo 7**

Tenendo sotto controllo la frequenza d'uscita dell'anello ad aggancio di fase, continuate ad aumentare lentamente la frequenza d'ingresso e fermatevi quando la frequenza d'uscita non cresce più. Misurate la frequenza d'ingresso e scrivete il vostro risultato:

$$f_{in}(H) = \text{_____ Hz}$$

Dovreste trovare che questa frequenza è all'incirca uguale alla frequenza che avete misurato nel Passo 4, il *limite superiore del VCO*. Il PLL segue quindi le variazioni della frequenza d'ingresso per frequenze inferiori a tale limite superiore.



### Passo 8

Diminuite ora la frequenza d'ingresso osservando nel frattempo il frequenzimetro. Ad un certo punto la frequenza di uscita resterà costante. Misurate la frequenza d'ingresso e scrivete il vostro risultato:

$$f_{in}(L) = \text{_____ Hz}$$

Dovreste trovare che questa frequenza è all'incirca uguale alla frequenza che avete misurato nel Passo 3, il *limite inferiore del VCO*. Di conseguenza, il circuito ad anello ad aggancio di fase segue le variazioni della frequenza d'ingresso per tutte le frequenze fra il limite superiore e il limite inferiore del VCO. L'anello, pertanto, è agganciato.

Il campo nel quale l'anello ad aggancio di fase segue le variazioni della frequenza d'ingresso è detto *campo di aggancio*. Per determinare il campo di aggancio, sottraete il valore che avete determinato nel Passo 8 dal valore determinato nel Passo 7 e scrivete il vostro risultato:

$$\text{campo di aggancio} = \text{_____ Hz}$$

Il campo di aggancio può essere modificato semplicemente variando il valore del resistore collegato ai pin 11 e 12. La diminuzione del resistore da 100 k  $\Omega$  collegato al pin 12, per esempio, *aumenta* la frequenza limite inferiore.

Conservate questo circuito sul vostro breadboard, poichè vi servirà per il prossimo esperimento.

## ESPERIMENTO N. 4

### Scopo

Questo esperimento dimostra un indicatore di "perdita di aggancio" con il circuito PLL dell'Esperimento N. 3.

### Configurazione dei Pin del Circuito Integrato (Fig. 7-28)

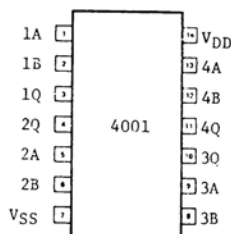


Fig. 7-28

### Schema del Circuito (Fig. 7-29)

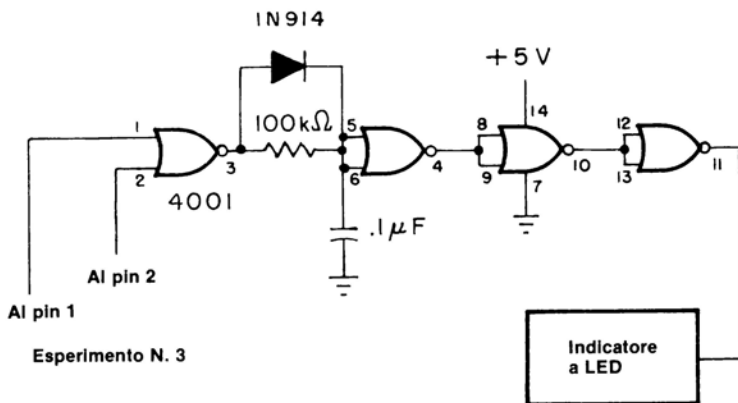


Fig. 7-29

#### Passo 1

Cablate il circuito indicatore di perdita di aggancio illustrato nello schema. Collegate il pin 1 della porta NOR 4001 CMOS al pin 1 del PLL 4046 (uscita PHASE PULSES del comparatore II) e il pin 2 della porta NOR 4001 al pin 2 del PLL 4046 (uscita del comparatore di fase I).

Assicuratevi di avere collegato correttamente il diodo 1N914 in parallelo al resistore da 100 kΩ. L'anodo va al pin 3, mentre il catodo va alla giunzione dei pin 5 e 6 della porta NOR 4001. Il catodo è normalmente indicato con una banda colorata.

#### Passo 2

Alimentate il breadboard e impostate l'ingresso a circa 500 Hz. L'indicatore a LED è acceso o spento?

L'indicatore a LED dovrebbe essere acceso, poichè la frequenza d'ingresso di 500 Hz è all'interno del campo di aggancio dell'anello, che avete determinato nei Passi 7 e 8 dell'esperimento precedente. Quando l'anello è in aggancio di fase l'uscita del circuito indicatore di perdita di aggancio (pin 11 della porta NOR 4001) è allo stato logico 1.

#### Passo 3

Aumentate la frequenza d'ingresso appena oltre il limite superiore del VCO (Passo 7) dell'esperimento precedente. Che cosa accade all'indicatore a LED?



### Schema del Circuito (Fig. 7-31)

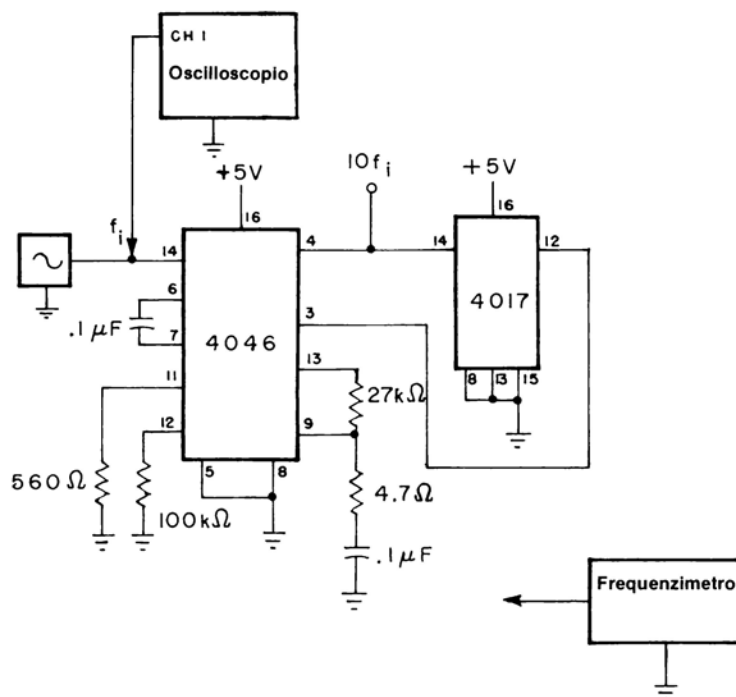


Fig. 7-31

#### Passo 1

Impostate sul vostro oscilloscopio i seguenti valori:

- Canale 1: 0,5 V/divisione
- Base dei tempi: 10 ms/divisione
- Accoppiamento c.a.

#### Passo 2

Cablate il circuito nello schema ed alimentate il breadboard. Collegate l'ingresso del frequenzimetro al pin 14 del circuito integrato 4046. Regolate il generatore di funzioni in modo che la frequenza d'ingresso ( $f_i$ ) sia compresa fra 80 e 90 Hz. Inoltre, regolate la tensione picco-picco d'ingresso a 1 V.

**Passo 3**

Misurate la frequenza d'ingresso e scrivete il vostro risultato

$$f_i = \text{_____ Hz}$$

**Passo 4**

Collegate ora il frequenzimetro al pin 4 del dispositivo 4046. Misurate la frequenza d'uscita e scrivete il vostro risultato:

$$f_o = \text{_____ Hz}$$

Che relazione potete osservare fra la frequenza che avete misurato in questo passo e quella misurata nel Passo 3?

La frequenza d'uscita dovrebbe essere 10 volte maggiore di quella d'ingresso. La frequenza d'ingresso che avete misurato nel Passo 3 ha normalmente una risoluzione di  $\pm 1$  Hz.

Usando questo circuito per moltiplicare la frequenza d'ingresso per 10, possiamo quindi misurare la frequenza d'ingresso con una risoluzione di  $\pm 0,1$  Hz. Per esempio, se avete misurato una frequenza d'ingresso di 87 Hz, ciò significa che la frequenza d'ingresso potrebbe essere compresa fra 86 e 88 Hz.

Se la frequenza d'uscita era 867 Hz, l'ingresso sarà, più precisamente, 86,7 Hz, non 87 Hz! La risoluzione del frequenzimetro verrebbe quindi aumentata di una cifra significativa.

**Passo 5**

Scegliete una qualsiasi frequenza d'ingresso compresa fra 20 Hz e 300 Hz. Misurate entrambe le frequenze d'ingresso e d'uscita del circuito sintetizzatore. In questo campo di frequenze d'ingresso, vi potrete convincere che è possibile misurare una frequenza d'ingresso con una risoluzione di  $\pm 0,1$  Hz, anzichè di  $\pm 1$  Hz.

## APPENDICE A

## DERIVAZIONI

## IL SISTEMA DI TRASFERIMENTO FONDAMENTALE

Per il sistema PLL fondamentale della Fig. A-1, abbiamo un rivelatore di fase, un filtro passa-basso e un oscillatore controllato in tensione, o VCO.

Per una differenza di fase ( $\Delta\phi$ ) fra il segnale d'ingresso e l'uscita del VCO, la tensione d'uscita del rivelatore di fase è proporzionale a questa, per cui

$$V_o = K_\phi \Delta\phi \quad (\text{Eq. A-1})$$

dove la costante  $K_\phi$  è il guadagno di conversione del rivelatore di fase, in V/rad.

A sua volta, la tensione d'uscita del rivelatore di fase viene filtrata dal filtro passa-basso, che determina anche le caratteristiche dinamiche dell'anello. Da ora in avanti, la funzione di trasferimento del filtro passa-basso verrà rappresentata con  $F(s)$ , poichè ne considereremo in breve la sua forma specifica. In generale, l'uscita del filtro è

$$V_f(s) = V_o F(s) \quad (\text{Eq. A-2})$$

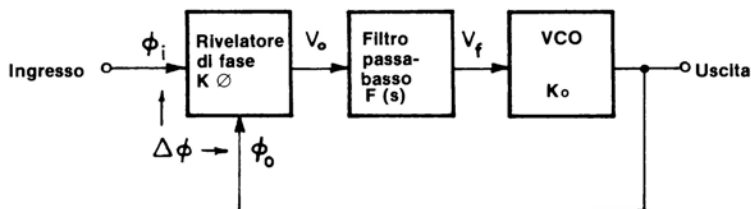


Fig. A-1. Schema a blocchi del PLL di fase fondamentale.

La tensione di uscita del filtro quindi controlla la frequenza d'uscita del VCO. In funzione di tale tensione, la frequenza del VCO subirà una deviazione ( $\Delta \omega$ ) dalla sua frequenza centrale ( $\omega_0$ ) per cui

$$\Delta \omega(s) = K_o V_f(s) \quad (\text{Eq. A-3})$$

dove  $K_o$  è il guadagno di conversione del VCO, in rad/s/V. Poichè la frequenza è la derivata rispetto al tempo della fase,

$$\omega = \frac{d\phi}{dt} \quad (\text{Eq. A-4})$$

L'equazione A-3 può ora essere scritta nel modo seguente:

$$\frac{d\phi}{dt} = K_o V_f(s) \quad (\text{Eq. A-5})$$

Effettuando la trasformazione di Laplace dell'Equazione A-5,

$$\phi_o(s) = \frac{K_o V_f(s)}{s} \quad (\text{Eq. A-6})$$

per cui il segnale d'uscita del VCO è proporzionale all'integrale della tensione d'ingresso del VCO. Usando le Equazioni A-1, A-2 e A-6 possiamo mettere in evidenza il rapporto  $\phi_o(s)/\phi_i(s)$  per cui

$$T(s) = \frac{\phi_o(s)}{\phi_i(s)} = \frac{K_\phi K_o F(s)}{s + K_\phi K_o F(s)} \quad (\text{Eq. A-7})$$

la cui forma finale, naturalmente dipende dal tipo di filtro ad anello utilizzato.

### **Filtro d'Anello A**

Per il semplice filtro passa-basso passivo della Fig. A-2, la funzione di trasferimento della rete può essere espressa come

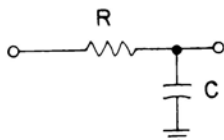
$$F_A(s) = \frac{1}{1 + Ts} \quad (\text{Eq. A-8})$$

dove

$$T = RC$$

Sostituendo l'Equazione A-8 nell'Equazione A-7 si ottiene

$$T_A(s) = \frac{K_\phi K_o / T}{s^2 + (1/T)s + (K_\phi K_o / T)} \quad (\text{Eq. A-9})$$



**Fig. A-2 Filtro passivo passa-basso.**

Equagliando i termini del denominatore dell'Equazione A-9 con l'equazione caratteristica fondamentale di un sistema del secondo ordine,

$$s^2 + 2\zeta\omega_n + \omega_n^2 \quad (\text{Eq. A-10})$$

dove

$\zeta$  = fattore di smorzamento dell'anello,

$\omega_n$  = frequenza naturale dell'anello,

troviamo che

$$\zeta = \frac{1}{2} \left( \frac{1}{K_\phi K_o T} \right)^{1/2} \quad (\text{Eq. A-11})$$

e

$$\omega_n = \left( \frac{K_\phi K_o}{T} \right)^{1/2} \quad (\text{Eq. A-12})$$

per cui l'equazione A-9 può essere scritta in una forma più conveniente,

$$T_A(s) = \frac{\omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (\text{Eq. A-13})$$

### **Filtro d'Anello B**

Per il tipo di filtro passivo a ritardo di fase della Fig. A-3, può essere scritta la seguente funzione di trasferimento:

$$F_B(s) = \frac{T_2 s + 1}{(T_1 + T_2)s + 1} \quad (\text{Eq. A-14})$$

dove

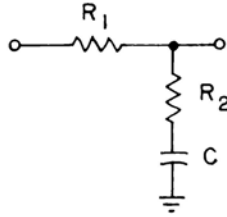
$$T_1 = R_1 C,$$

$$T_2 = R_2 C.$$

Sostituendo l'Equazione A-14 nell'Equazione A-7 si ottiene

$$T_B(s) = \frac{K_\phi K_o [(T_2 s + 1)/(T_1 + T_2)]}{s^2 + [(1 + K_\phi K_o T_2)/(T_1 + T_2)]s + K_\phi K_o/(T_1 + T_2)} \quad (\text{Eq. A-15})$$





**Fig. A-3. Filtro passivo a ritardo di fase.**

Eguagliando i termini corrispondenti delle Equazioni A-15 e A-10, otteniamo

$$\omega_n = \left( \frac{K_\phi K_o}{T_1 + T_2} \right)^{1/2} \quad (\text{Eq. A-16})$$

$$\zeta = \frac{1}{2} \left( \frac{K_\phi K_o}{T_1 + T_2} \right)^{1/2} \left[ T_2 + \left( \frac{1}{K_\phi K_o} \right) \right] \quad (\text{Eq. 1-17})$$

per cui l'Equazione A-15 può essere riscritta nel modo seguente

$$T_B(s) = \frac{\omega_n(2\zeta - \omega_n/K_\phi K_o)s + \omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (\text{Eq. A-18})$$

### Filtro d'Anello C

Per la versione attiva del filtro d'anello B, illustrata nella Fig. A-4, la funzione di trasferimento può essere scritta come

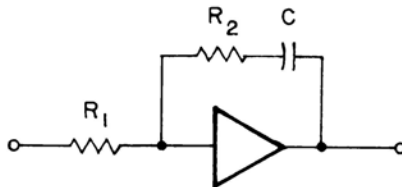
$$F_C(s) = \frac{T_2 s + 1}{s T_1} \quad (\text{Eq. A-19})$$

dove

$$T_1 = R_1 C,$$

$$T_2 = R_2 C,$$

supponendo che il guadagno dell'amplificatore sia molto grande. Sostituendo l'Equazione A-19 nell'Equazione A-7 si ha



**Fig. A-4. Filtro attivo a ritardo di fase**

$$T_C(s) = \frac{\frac{K_\phi K_o(1 + sT_2)}{T_1}}{s^2 + \left(\frac{K_\phi K_o T_2}{T_1}\right)s + \left(\frac{K_\phi K_o}{T_1}\right)} \quad (\text{Eq. A-20})$$

Eguagliando i termini corrispondenti delle Equazioni A-20 e A-10, otteniamo

$$\omega_n = \left(\frac{K_\phi K_o}{T_1}\right)^{1/2} \quad (\text{Eq. A-21})$$

$$\zeta = \frac{T_2}{2} \left(\frac{K_\phi K_o}{T_1}\right)^{1/2} \quad (\text{Eq. A-22})$$

per cui l'Equazione A-20 può essere riscritta nel modo seguente

$$T_C(s) = \frac{2\zeta\omega_n s + \omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (\text{Eq. A-23})$$

che è uguale all'Equazione A-18 se  $\omega_n/K_\phi K_o \ll 2\zeta$ .

Ponendo  $\zeta = 0$  (nessuno smorzamento), ed eseguendo la trasformazione inversa di Laplace delle Equazioni A-13, A-18 e A-23, troviamo che

$$T_A(t) = T_C(t) = \left(\frac{B^2 + \omega_n^2}{\omega_n}\right)^{1/2} \sin(\omega_n t + \theta) \quad (\text{Eq. A-24})$$

dove

$$B = K_\phi K_o, \\ \theta = \tan^{-1}(B/\omega_n),$$

e

$$T_B(t) = \omega_n \sin(\omega_n t). \quad (\text{Eq. A-25})$$

Per tutti e tre i filtri d'anello, il sistema ad anello aggancio di fase degenera in un oscillatore sinusoidale con frequenza naturale  $\omega_n$ .

## DERIVAZIONE DELL'AMPIEZZA DI BANDA DELL'ANELLO

Prendendo il filtro d'anello di tipo B (Equazione A-18), la sostituzione di  $s = j\omega$  nell'Equazione A-18 determina

$$T_B(j\omega) = \frac{\omega_n^2 + j2\zeta\omega_n\omega}{(\omega_n^2 - \omega^2) + j2\zeta\omega_n\omega} \quad (\text{Eq. A-26})$$

Per determinare l'ampiezza di banda a 3 dB ( $\omega = \omega_{3dB}$ ) poniamo

$$\left| T_B(j\omega) \right|^2 = \frac{1}{2} \quad (\text{Eq. A-27})$$

per cui

$$\omega^4 - \omega^2[2\omega_n^2(2\zeta^2 + 1)] - \omega_n^4 = 0 \quad (\text{Eq. A-28})$$

Essendo  $\omega = \omega_{3dB}$ , l'Equazione A-28 può essere fattorizzata dando

$$\frac{\omega_{3dB}}{\omega_n} = \{2\zeta^2 + 1 + [(2\zeta^2 + 1)^2 + 1]^{1/2}\}^{1/2} \quad (\text{Eq. A-29})$$

### DETERMINAZIONE GRAFICA DEL FATTORE DI SMORZAMENTO

L'andamento nel tempo della forma d'onda sinusoidale smorzata illustrata nella Fig. A-5 può essere espresso come

$$y(t) = \left(\frac{y_o}{\omega_d}\right) e^{-\zeta\omega_n t} \sin(\omega_d t) \quad (\text{Eq. A-30})$$

dove,

$y_o$  = intercetta  $y$  per  $t=0$

$\omega_n$  = frequenza naturale non smorzata

$\omega_d$  = frequenza naturale smorzata

$$= \omega_n(1 - \zeta^2)^{1/2}.$$

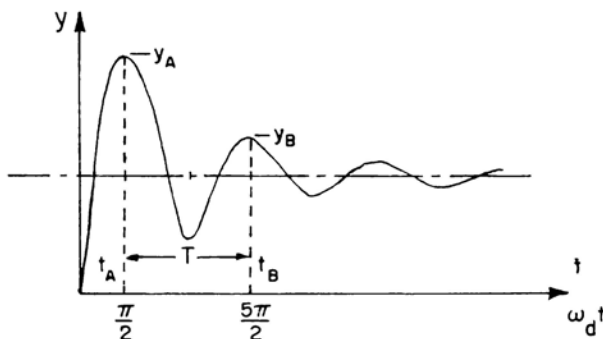


Fig. A-5. Forma d'onda sinusoidale smorzata.

L'Equazione A-30 può essere scritta in termini di frequenza naturale smorzata, per cui

$$y(t) = \left(\frac{y_o}{\omega_d}\right) e^{-[\zeta/(1-\zeta^2)^{1/2}]\omega_d t} \sin(\omega_d t) \quad (\text{Eq. A-31})$$

Nell'istante  $t = t_A$ ,  $\omega_d t = \pi/2$  radianti ( $90^\circ$ ), per cui

$$y_A = \left(\frac{y_o}{\omega_d}\right) e^{-[\zeta/(1-\zeta^2)^{1/2}](\pi/2)} \sin(\pi/2) \quad (\text{Eq. A-32})$$

Allo stesso modo, nell'istante  $t = t_B$ ,  $\omega_d t = 5\pi/2$  radianti ( $450^\circ$ ), per cui

$$y_B = \left(\frac{y_0}{\omega_d}\right) e^{-[\zeta/(1-\zeta^2)^{1/2}](5\pi/2)} \sin(5\pi/2) \quad (\text{Eq. A-33})$$

Dividendo l'Equazione A-32 per la A-33,

$$\frac{y_A}{y_B} = e^{[\zeta/(1-\zeta^2)^{1/2}](2\pi)} \quad (\text{Eq. A-34})$$

poichè  $\sin(\pi/2) = \sin(5\pi/2)$ . Ricavando il logaritmo naturale dell'Equazione A-34, otteniamo

$$\ln(y_A/y_B) = (2\pi) \left( \frac{\zeta}{(1-\zeta^2)^{1/2}} \right) \quad (\text{Eq. A-35})$$

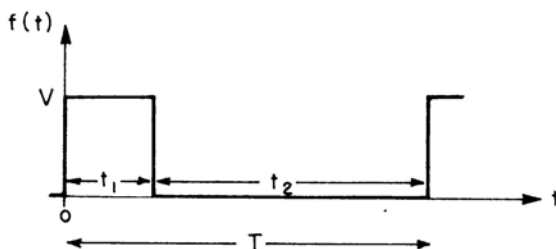
Risolvendo in funzione di  $\zeta$ , troviamo che

$$\zeta = \frac{\gamma}{(1+\gamma^2)^{1/2}} \quad (\text{Eq. A-36})$$

dove

$$\gamma = (1/2\pi) \ln(y_A/y_B)$$

Pertanto, il fattore di smorzamento può essere determinato conoscendo semplicemente l'ampiezza di picco di *due picchi consecutivi positivi distanti esattamente un periodo*.



**Fig. A-6. Treno d'impulsi periodici.**

### VALORE MEDIO DI UN TRENO D'IMPULSI

Il valore medio (c.c.) di qualsiasi forma d'onda periodica è dato da

$$\text{valore medio} = \frac{1}{T} \int_0^T f(t) dt \quad (\text{Eq. A-37})$$

Per il treno d'impulsi periodici della Fig. A-6, abbiamo

$$\text{valore medio} = \frac{1}{T} \left( \int_0^{t_1} V \, dt + \int_{t_1}^{t_2} 0 \, dt \right) \quad (\text{Eq. A-38})$$

$$= \left( \frac{t_1}{T} \right) V \quad (\text{Eq. A-39})$$

Tuttavia, il rapporto  $t_1/T$  è il coefficiente di utilizzazione ( $D$ ) del treno d'impulsi, per cui l'Equazione A-39 può essere semplificata come

$$\text{valore medio} = VD \quad (\text{Eq. A-40})$$

per cui il valore medio di un treno d'impulsi periodici è direttamente proporzionale al duty cycle della forma d'onda.

## APPENDICE B

**DATA SHEETS**

Questa appendice contiene i “data sheets” dei dispositivi seguenti:

1. PLL 560
2. PLL 561
3. PLL 562
4. PLL 564
5. PLL 566
6. PLL/decodificatore di tono 567
7. PLL/4046 COS/MOS
8. Oscillatore controllato in tensione MC 1648
9. Multivibratore controllato in tensione MC 4024
10. Rivelatore di fase-frequenza MC 4044
11. Sintetizzatore digitale di frequenza HCTR 0320 CMOS

Tali data “sheets” sono riprodotti col permesso dei seguenti costruttori:

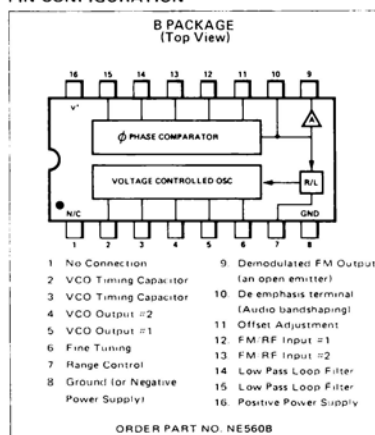
1. Hughes Aircraft Company  
Solid State Products Division  
500 Superior Avenue  
Newport Beach, CA 92663
2. Motorola Semiconductor Products, Inc.  
P.O. Box 20912  
Phoenix, AZ 85036
3. RCA Solid State Division  
Route 202  
Somerville, N. J. 08876
4. Signetics Corporation  
811 East Arques Avenue  
Sunnyvale, CA 94086

# PHASE LOCKED LOOP

# 560

## LINEAR INTEGRATED CIRCUITS

### PIN CONFIGURATION



### DESCRIPTION

The NE560B Phase Locked Loop (PLL) is a monolithic signal conditioner, and demodulator system comprising a VCO, Phase Comparator, Amplifier and Low Pass Filter, interconnected as shown in the accompanying block diagram. The center frequency of the PLL is determined by the free running frequency ( $f_0$ ) of the VCO. This VCO frequency is set by an external capacitor and can be fine tuned by an optional Potentiometer. The low pass filter, which determines the capture characteristics of the loop, is formed by the two capacitors and two resistors at the Phase Comparator output.

The PLL system has a set of self biased inputs which can be utilized in either a differential or single ended mode. The VCO output, in differential form, is available for signal conditioning frequency synchronization, multiplication and division applications. Terminals are provided for optional extended control of the tracking range, VCO frequency, and output DC level.

The monolithic signal conditioner-demodulator system is useful over a wide range of frequencies from lgs than 1 Hz to more than 15 MHz with an adjustable tracking range of  $\pm 1\%$  to  $\pm 15\%$ .

### FEATURES

- FM DEMODULATION WITHOUT TUNED CIRCUITS
- NARROW BANDPASS - TO  $\pm 1\%$  ADJUSTABLE
- TRACKING RANGE
- EXACT FREQUENCY DUPLICATION IN HIGH
- NOISE ENVIRONMENT
- WIDE TRACKING RANGE  $\pm 15\%$
- HIGH LINEARITY - 1% DISTORTION MAX
- FREQUENCY MULTIPLICATION AND DIVISION
- THROUGH HARMONIC LOCKING

### APPLICATIONS

#### tone decoders

#### FM IF STRIPS

#### TELEMETRY DECODERS

#### DATA SYNCHRONIZERS

#### SIGNAL RECONSTITUTION

#### SIGNAL GENERATORS

#### MODEMS

#### TRACKING FILTERS

#### SCA RECEIVERS

#### FSK RECEIVERS

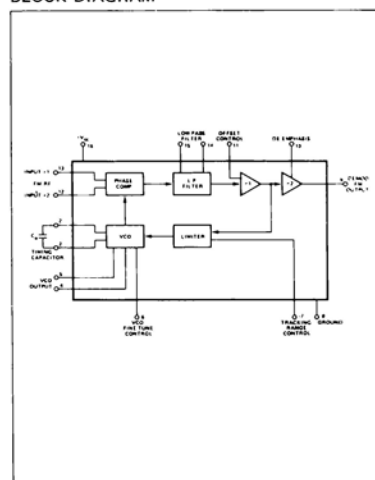
#### WIDE BAND HIGH LINEARITY DETECTORS

### ABSOLUTE MAXIMUM RATINGS

Maximum Operating Voltage	26V
Input Voltage	1V Rms
Storage Temperature	-65°C to 150°C
Operating Temperature	0°C to 70°C
Power Dissipation	300 mw

Limiting values above which serviceability may be impaired

### BLOCK DIAGRAM



## 560 – PHASE LOCKED LOOP

## GENERAL ELECTRICAL CHARACTERISTICS

(15K $\Omega$  Pin 9 to GND, Input Pin 12 or Pin 13 AC Ground Unused Input, Optional Controls Not Connected, V+ = 18V Unless Otherwise Specified T<sub>A</sub> = 25°C)

CHARACTERISTICS	LIMITS				TEST CONDITIONS
	MIN	TYP	MAX	UNITS	
Lowest Practical Operating Frequency		0.1		Hz	
Maximum Operating Frequency	15	30		MHz	
Supply Current	7	9	11	mA	
Minimum Input Signal for Lock		100		$\mu$ V	
Dynamic Range		60		dB	
VCO Temp Coefficient*		$\pm 0.06$	$\pm 0.12$	%/°C	Measured at 2 MHz, with both inputs AC grounded
VCO Supply Voltage Regulation		$\pm 0.3$	$\pm 2$	%/V	Measured at 2 MHz
Input Resistance		2		K $\Omega$	
Input Capacitance		4		pF	
Input DC Level		+4		V	
Output DC Level	+12	+14	+16	V	
Available Output Swing		4		V <sub>p-p</sub>	Measured at Pin 9
AM Rejection*	30	40		dB	See Figure 1
De-emphasis Resistance		8		K $\Omega$	

\* ACC Test Sub Group C

ELECTRICAL CHARACTERISTICS (For FM Applications, Figure 2) (15K $\Omega$  Pin 9 to GND, Input Pin 12 or 13, AC Ground Unused Input, Optional Controls Not Connected, V+ = 18V Unless Otherwise Specified T<sub>A</sub> = 25°C)

CHARACTERISTICS	LIMITS				TEST CONDITIONS
	MIN	TYP	MAX	UNITS	
10.7 MHz Operation      Deviation 75 kHz Source Impedance = 50Ω					
Detection Threshold		120	300	μV	V <sub>in</sub> = 1 mV Rms Modulation Frequency 1 kHz V <sub>in</sub> = 1 mV Rms Modulation Frequency 1 kHz V <sub>in</sub> = 1 mV Rms Modulation Frequency 1 kHz
Demodulated Output Amplitude	30	60		mV	
Distortion*		0.3	1	% T.H.D.	
Signal to Noise Ratio    S + N 					

\* ACC Test Sub Group C

ELECTRICAL CHARACTERISTICS (For Tracking Filter, Figure 3) (15K $\Omega$  Pin 5 to GND, Input Pin 12 or Pin 13 AC Ground Unused Input, Optional Controls Not Connected, V+ = 18V Unless Otherwise Specified T<sub>A</sub> = 25°C)

CHARACTERISTICS	LIMITS				TEST CONDITIONS
	MIN	TYP	MAX	UNITS	
Tracking Range	$\pm 5$	$\pm 15$		% of f <sub>0</sub>	V <sub>in</sub> = 5 mV Rms
Minimum Signal to Sustain Lock		0.8		mV Rms	Input 2 MHz - See Characteristic Curves
0.4% to 70% VCO Output Impedance		1		K $\Omega$	
VCO Output Swing	0.4	0.6		V <sub>p-p</sub>	Input 2 MHz Measured with high impedance Probe with less than 10 pF Capacitance
VCO Output DC Level		+6.5		V	
Side Band Suppression		35		dB	Input 2 MHz with $\pm 100$ kHz Side Band Separation and 3 kHz Low Pass Filter Input 1 mV Peak for Carrier Each Side Band C <sub>1</sub> = 0.01 $\mu$ F R <sub>1</sub> = 0



## 560 – PHASE LOCKED LOOP

## TYPICAL TEST CIRCUITS

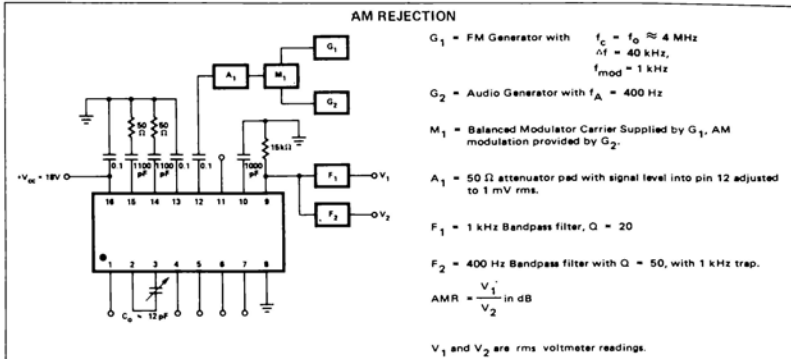


Fig. 1

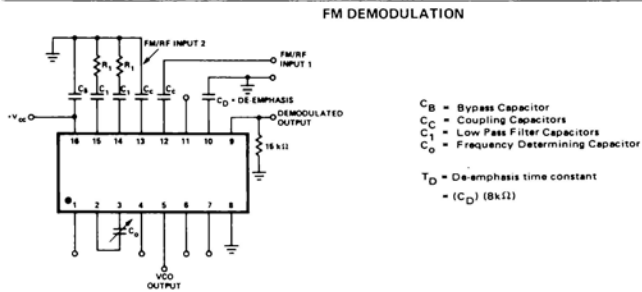


Fig. 2

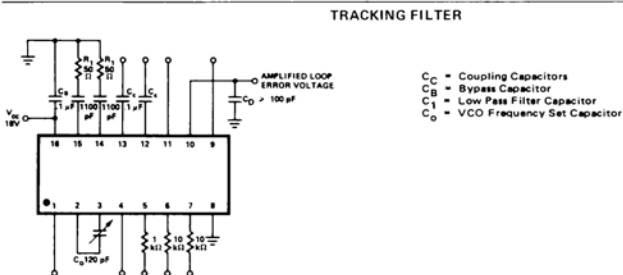
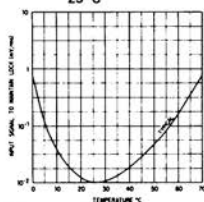


Fig. 3

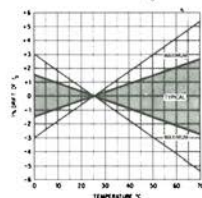
## 560 — PHASE LOCKED LOOP

## TYPICAL CHARACTERISTIC CURVES

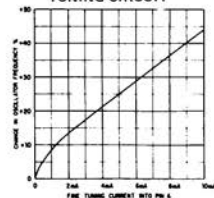
MINIMUM INPUT SIGNAL AMPLITUDE  
NECESSARY TO MAINTAIN LOCK AS A  
FUNCTION OF TEMPERATURE WITH  $f_{\text{signal}}$   
 $= f_{025^{\circ}\text{C}} = 2.0 \text{ MHz}$



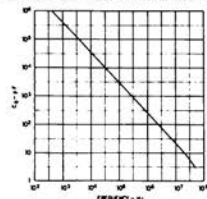
THERMAL DRIFT OF VCO FREE RUNNING  
FREQUENCY ( $f_0$ )



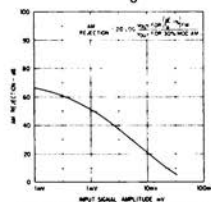
CHANGE OF FREE RUNNING OSCILLATOR  
FREQUENCY AS A FUNCTION OF FINE  
TUNING CIRCUIT



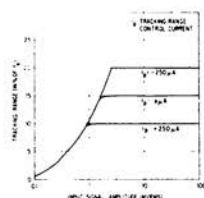
FREE RUNNING OSCILLATOR FREQUENCY  
AS A FUNCTION OF VCO TIMING CAPACITANCE



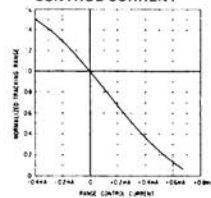
AM REJECTION AS A FUNCTION OF INPUT  
SIGNAL LEVEL  $f_0 = 10 \text{ MHz}$



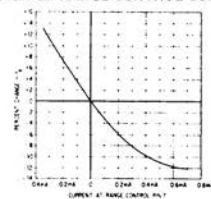
TYPICAL TRACKING RANGE AS A FUNCTION  
OF INPUT SIGNAL



CHANGE OF FREE RUNNING OSCILLATOR  
FREQUENCY AS A FUNCTION OF RANGE  
CONTROL CURRENT



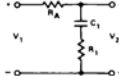
NORMALIZED TRACKING RANGE AS A  
FUNCTION OF RANGE CONTROL CURRENT



## EXTERNAL CONTROLS

## 1. Loop Low Pass Filter (Pins 14 and 15)

The equivalent circuit for the loop low-pass filter can be represented as:



where  $R_A$  ( $6K \Omega$ ) is the effective resistance seen looking into Pin #14 or Pin #15.

The corresponding filter transfer characteristics are:

$$\frac{V_2}{V_1}(S) = \frac{1 + S R_1 C_1}{1 + S (R_1 + R_A) C_1}$$

where  $S$  is the complex frequency variable.

## 2. Loop Gain (Threshold) Control

The overall Phase Locked Loop gain can be reduced by connecting a feedback resistor,  $R_F$ , across the low-pass filter terminals, Pins #14 and #15. This causes the loop gain and the detection sensitivity to decrease by a factor  $Q$  ( $Q < 1$ ) where:

$$Q = \frac{R_F}{2 R_A + R_F}$$

Reduction of loop gain may be desirable at high input signal levels ( $V_{in} > 30$  mV) and at high frequencies ( $f_a > 5$  MHz) where excessively high loop gain may cause instability.

## 3. Tracking Range Control (Pin 7)

Any bias current,  $I_P$ , injected into the tracking range control, reduces the tracking range of the PLL by decreasing the output of the limiter. The variation of the tracking range and the center frequency, as a function of  $I_P$ , are shown in the characteristic curves with  $I_P$  defined positive going into the tracking range control terminal. This terminal is normally at a DC level of +0.6 Volts and presents an impedance of  $600 \Omega$ .

## 4. External Fine Tuning (Pin 6)

Any bias current injected into the fine tuning terminal increases the frequency of oscillation,  $f_o$ , as shown in the characteristic curves. This current is defined positive into the fine tuning terminal. This terminal is at a typical DC level of +1.3 Volts and has a dynamic impedance of  $100 \Omega$  to ground.

## 5. Offset Adjustment (Pin 11)

Application of a bias voltage to the offset adjustment terminal modifies the current in the output amplifier setting the DC level at the output. The effect on the loop is to modify the relationship between the VCO free running frequency and the lock range, allowing the VCO free running frequency to be positioned at different points throughout the lock range.

Nominally this terminal is at +4V DC and has an input impedance of  $3K \Omega$ . The offset adjustment is optional. The characteristics specified correspond to operation of the circuit with this terminal open circuited.

## 6. De-emphasis Filter (Pin 10)

The de-emphasis terminal is normally used when the PLL is used to demodulate Frequency Modulated Audio signals. In this application, a capacitor from this terminal to ground provides the required de-emphasis. For other applications, this terminal may be used for band shaping the output signal. The 3 dB bandwidth of the output amplifier in the system block diagram (see Figure 2) is related to the de-emphasis capacitor,  $C_D$ , as:

$$f_{3dB} = \frac{1}{2 R_A C_D}$$

where  $R_D$  is the  $8000 \Omega$  resistance seen looking into the de-emphasis terminal.

When the PLL system is utilized for signal conditioning, and the loop error voltage is not utilized, de-emphasis terminal should be AC grounded.

## PHASE LOCKED LOOP

561

## LINEAR INTEGRATED CIRCUITS

## PIN CONFIGURATION

**DESCRIPTION**

The NE561B Phase Locked Loop (PLL) is a monolithic signal conditioner, and demodulator system comprising a VCO, Phase Comparator, Amplifier and Low Pass Filter, interconnected as shown in the accompanying block diagram. The center frequency of the PLL is determined by the free running frequency ( $f_0$ ) of the VCO. This VCO frequency is set by an external capacitor and can be fine tuned by an optional Potentiometer. The low pass filter, which determines the capture characteristics of the loop is formed by the two capacitors and two resistors at the Phase Comparator output.

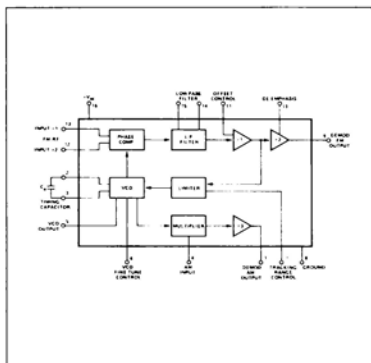
The PLL system has a set of self biased inputs which can be utilized in either a differential or single ended mode. The VCO output is available for signal conditioning, frequency synchronization, multiplication and division applications. Terminals are provided for optional external control of the tracking range, VCO frequency, and output OC level. An analog multiplier block is incorporated into the PLL system to provide frequency selective synchronous AM detection capability.

The monolithic signal conditioner-demodulator system is useful over a wide range of frequencies from less than 1 Hz to more than 15 MHz with an adjustable tracking range of +1% to +15%.

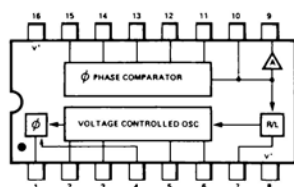
## FEATURES

- FM DEMODULATION WITHOUT TUNED CIRCUITS
- SYNCHRONOUS AM DETECTION
- NARROW BAND PASS TO  $\pm 1\%$
- EXACT FREQUENCY DUPLICATION IN HIGH NOISE ENVIRONMENT
- ADJUSTABLE TRACKING RANGE
- WIDE TRACKING RANGE  $\pm 15\%$
- HIGH LINEARITY - 1% DISTORTION MAX
- FREQUENCY MULTIPLICATION AND DIVISION THROUGH HARMONIC LOCKING

### BLOCK DIAGRAM



**B PACKAGE**



- |  |  |
|--|--|
| 1. Demodulated AM Output                   | 10. Deemphasis terminal (audio band shaping) |
| 2. VCO Timing Capacitor                    | 11. Offset Adjustment                        |
| 3. VCO Timing Capacitor                    | 12. FM/RF Input #1                           |
| 4. AM Input                                | 13. FM/RF Input #2                           |
| 5. VCO Output                              | 14. Low Pass Loop Filter                     |
| 6. Fine Tuning                             | 15. Low Pass Loop Filter                     |
| 7. Range Control                           | 16. $V^+$                                    |
| 8. Ground ( $V^-$ )                        |  |
| 9. Demodulated FM Output (an open emitter) |  |

ORDER PART NO. NE561B

### ABSOLUTE MAXIMUM RATINGS

Maximum Operating Voltage	26V
Input Voltage	1V RMS
Storage Temperature	-65°C to 150°C
Operating Temperature	0°C to 70°C
Power Dissipation	300mW

Limiting values above which serviceability may be impaired

## APPLICATIONS

## TONE DECODERS

### AM-FM-IF STRIPS

## TELEMETRY DECODERS

## DATA SYNCHRONIZERS

## SIGNAL RECONSTITUTION

## SIGNAL GENERATORS

## SIGNAL MODEMS

## TRACKING FILTERS

## SCA RECEIVERS

## FSK RECEIVERS

## WIDE BAND HIGH LINEARITY DETECTORS

## WIDE BAND HIGH LINEARITY SYNCHRONOUS DETECTORS

## AM RECEIVER

## 561 — PHASE LOCKED LOOP

## GENERAL ELECTRICAL CHARACTERISTICS

(15K $\Omega$  Pin 9 to GND, Input Pin 12 or Pin 13 AC Ground Unused Input, Optional Controls Not Connected, V+ = 18V Unless Otherwise Specified T<sub>A</sub> = 25°C)

CHARACTERISTICS	LIMITS				TEST CONDITIONS
	MIN	TYP	MAX	UNITS	
Lowest Practical Operating Frequency	15	0.1		Hz	Measured at 2 MHz, with both inputs AC grounded
Maximum Operating Frequency	30			MHz	
Supply Current	8	10	12	mA	
Minimum Input Signal for Lock		100		$\mu$ V	
Dynamic Range		60		dB	
VCO Temp Coefficient*		$\pm 0.06$	$\pm 0.12$	%/°C	Measured at 2 MHz
VCO Supply Voltage Regulation		$\pm 0.3$	$\pm 2$	%/V	
Input Resistance		2		k $\Omega$	
Input Capacitance		4		pF	
Input DC Level		+4		V	
Output DC Level	+12	+14	+16	V	Measured at Pin 9 See Figure 3
Available Output Swing		4		V <sub>p-p</sub>	
AM Rejection*	30	40		dB	
Demphasis Resistance		8		k $\Omega$	

\*ACC Test Sub Group C.

ELECTRICAL CHARACTERISTICS (For FM Applications, Figure 2) (15K $\Omega$  Pin 9 to GND, Input Pin 12 or 13, AC Ground Unused Input, Optional Controls Not Connected, V+ = 18V Unless Otherwise Specified T<sub>A</sub> = 25°C)

CHARACTERISTICS	LIMITS				TEST CONDITIONS
	MIN	TYP	MAX	UNITS	
10.7 MHz Operation                      Deviation 75 kHz   Source Impedance = 50Ω					
Detection Threshold		120	300	μV	Vin = 1 mv Rms   Modulation Frequency 1 kHz Vin = 1 mv Rms   Modulation Frequency 1 kHz Vin = 1 mv Rms   Modulation Frequency 1 kHz
Demodulated Output Amplitude	30	60		mV	
Distortion*		.3	1	% T.H.D.	
Signal to Noise Ratio $\frac{S + N}{N}$		35		dB	
4.5 MHz Operation                      Deviation = 25 kHz, Source Impedance = 50Ω					
Detection Threshold		120	300	μV	Vin = 1 mv Rms   Modulation Frequency 1 kHz Vin = 1 mv Rms   Modulation Frequency 1 kHz Vin = 1 mv Rms   Modulation Frequency 1 kHz
Demodulated Output Amplitude	30	60		mV	
Distortion		0.3	1.0	% T.H.D.	
Signal to Noise Ratio $\frac{S + N}{N}$		35		dB	
Wide Deviation                      ΔF/F <sub>0</sub> = 5% Input = 4.5 MHz   Deviation = 225 kHz @ 1 kHz modulation rate					
Detection Threshold		1	5	mV	Vin = 5 mv Rms Vin = 5 mv Rms Vin = 5 mv Rms
Demodulated Output	0.2	0.5		Vrms	
Distortion		0.8		% T.H.D.	
Signal to Noise Ratio $\frac{S + N}{N}$		50		dB	

\*ACC Test Sub Group C.

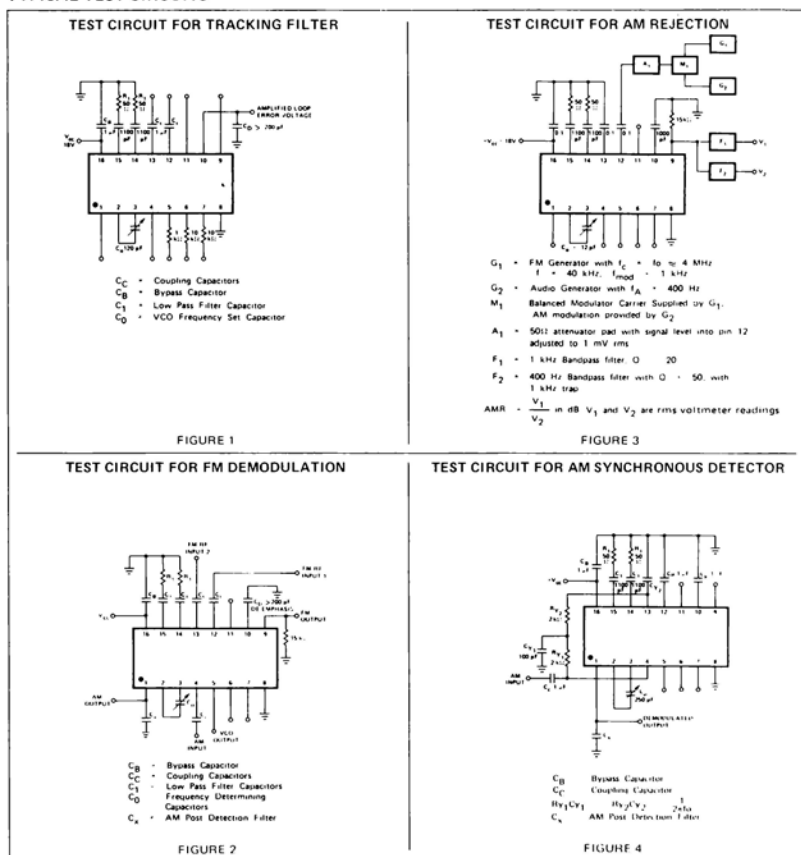
ELECTRICAL CHARACTERISTICS (For Tracking Filter, Figure 1) (15K $\Omega$  Pin 9 to GND, Input Pin 12 or Pin 13 AC Ground Unused Input, Optional Controls Not Connected, V+ = 18V Unless Otherwise Specified T<sub>A</sub> = 25°C)

CHARACTERISTICS	LIMITS				TEST CONDITIONS
	MIN	TYP	MAX	UNITS	
Tracking Range	$\pm 5$	$\pm 20$		% of $f_0$	Vin = 5 mV Rms Input 2 MHz - See Characteristic Curves
Minimum Signal to Sustain Lock 0°C to 70°C		0.8		mV Rms	
VCO Output Impedance		1		k $\Omega$	Input 2 MHz Measured with high impedance. Probe with less than 10 pF capacitance.
VCO Output Swing	0.4	0.6		V <sub>p-p</sub>	
VCO Output DC Level		+6.5		V	Input 2 MHz with $\pm 100$ kHz Sideband Separation and 3 kHz Low Pass Filter. Input 1 mV Peak for Carrier and each Sideband C <sub>1</sub> = 0.01 $\mu$ F R <sub>1</sub> = 0
Side Band Suppression		35		dB	

**ELECTRICAL CHARACTERISTICS** (For AM Synchronous Detector, Figure 4) (15K $\Omega$  Pin 9 to GND, Input Pin 12 or Pin 13 AC Ground Unused Input, Optional Controls Not Connected,  $V_+ = 18V$  Unless Otherwise Specified  $T_A = 25^\circ C$ )

CHARACTERISTICS	LIMITS				TEST CONDITIONS
	MIN	TYP	MAX	UNITS	
Input Impedance		3		k $\Omega$	See Definition of Terms See Definition of Terms
Output Impedance		8		k $\Omega$	
Output DC Level	+10	+14	+17	V	
AM Conversion Gain	3	12		dB	
Out of Band Rejection Distortion		30	1+	dB % T H D	

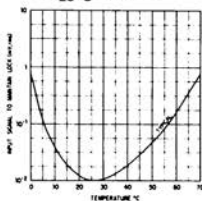
## TYPICAL TEST CIRCUITS



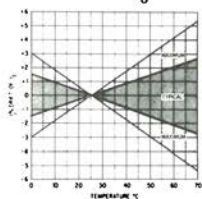
## 561 - PHASE LOCKED LOOP

## TYPICAL CHARACTERISTIC CURVES

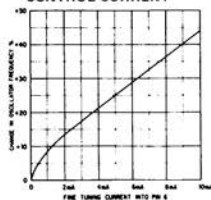
MINIMUM INPUT SIGNAL AMPLITUDE  
NECESSARY TO MAINTAIN LOCK AS A  
FUNCTION OF TEMPERATURE WITH  $f_{\text{signal}}$   
 $= f_{025^{\circ}\text{C}} = 2.0 \text{ MHz}$



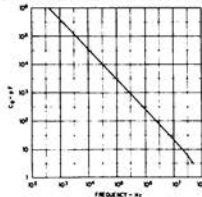
THERMAL DRIFT OF VCO FREE RUNNING  
FREQUENCY ( $f_0$ )



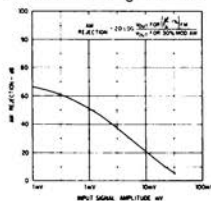
CHANGE OF FREE RUNNING OSCILLATOR  
FREQUENCY AS A FUNCTION OF RANGE  
CONTROL CURRENT



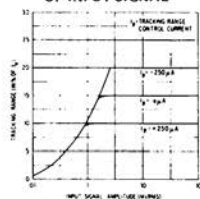
FREE RUNNING OSCILLATOR FREQUENCY  
AS A FUNCTION OF VCO TIMING CAPACITANCE



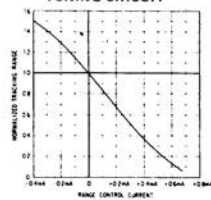
AM REJECTION AS A FUNCTION OF INPUT  
SIGNAL LEVEL  $f_0 = 10 \text{ MHz}$



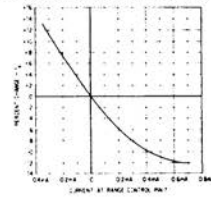
TYPICAL TRACKING RANGE AS A FUNCTION  
OF INPUT SIGNAL



CHANGE OF FREE RUNNING OSCILLATOR  
FREQUENCY AS A FUNCTION OF FINE  
TUNING CIRCUIT



NORMALIZED TRACKING RANGE AS A  
FUNCTION OF RANGE CONTROL CURRENT



## EXTERNAL CONTROLS

## 1. Loop Low Pass Filter (Pins 14 and 15)

The equivalent circuit for the loop low-pass filter can be represented as:



where  $R_A$  ( $6k\Omega$ ) is the effective resistance seen looking into Pin #14 or Pin #15.

The corresponding filter transfer characteristics are:

$$\frac{V_2}{V_1}(S) = F(S) = \frac{1 + S R_1 C_1}{1 + S (R_1 + R_A) C_1}$$

where  $S$  is the complex frequency variable.

## 2. Loop Gain (Threshold) Control

The overall Phase Lock of loop gain can be reduced by connecting a feedback resistor,  $R_F$ , across the low-pass filter terminals, Pins #14 and #15. This causes the loop gain and the detection sensitivity to decrease by a factor, ( $\alpha < 1$ ), where

$$\alpha = \frac{R_F}{2R_A + R_F}$$

Reduction of loop gain may be desirable at high input signal levels ( $V_{in} > 30$  mV) and at high frequencies ( $f_D > 5$  MHz) where excessively high PLL loop gain may cause instability within the loop.

## 3. Tracking Range Control (Pin 7)

Any bias current,  $I_p$ , injected into the tracking range control, reduces the tracking range of the PLL by decreasing the output of the limiter. The variation of the tracking range and the center frequency, as a function of  $I_p$ , are shown in the characteristic curves with  $I_p$  defined positive going into the tracking range control terminal. This terminal is normally at a DC level of +0.6 Volts and presents an impedance of  $600\Omega$ .

## 4. External Fine Tuning (Pin 6)

Any bias current injected into the fine tuning terminal increases

the frequency of oscillation,  $f_{co}$ , as shown in the characteristic curves. This current is defined Positive into the fine tuning terminal. This terminal is at a typical DC level of +1.3 Volts and has a dynamic impedance of  $100\Omega$  to ground.

## 5. Offset Adjustment (Pin 11)

Application of a bias voltage to the offset adjustment terminal modifies the current in the output amplifier setting the DC level at the output. The effect on the loop is to modify the relationship between the VCO free running frequency and the lock range, allowing the VCO free running frequency to be positioned at different points throughout the lock range.

Nominally this terminal is at +4V DC and has an input impedance of  $3k\Omega$ . The offset adjustment is optional. The characteristics specified correspond to operation of the circuit with this terminal open circuited.

## 6. De-emphasis Filter (Pin 10)

The de-emphasis terminal is normally used when the PLL is used to demodulate Frequency Modulated Audio signals. In this application, a capacitor from this terminal to ground provides the required de-emphasis. For other applications, this terminal may be used for band shaping the output signal. The 3 dB bandwidth of the output amplifier in the system block diagram (see Figure 2) is related to the de-emphasis capacitor,  $C_D$ , as:

$$f_{3dB} = \frac{1}{2\pi R_D C_D}$$

where  $R_D$  is the  $8000$  ohm resistance seen looking into the de-emphasis terminal.

When the PLL system is utilized for signal conditioning, and the loop error voltage is not utilized, de-emphasis terminal should be AC grounded.

## 7. AM Post-Detection Filter (Pin 1)

The capacitor  $C_x$  connected between Pin #1 and ground serves as a low-pass filter for synchronous AM detection with a transfer characteristic,  $F_2(S)$ , given as:

$$F_2(S) = \frac{1}{1 + S R_x C_x}$$

where  $R_x = 8k\Omega$  is the resistance seen looking into Pin #1.



# PHASE LOCKED LOOP

# 562

## LINEAR INTEGRATED CIRCUITS

### DESCRIPTION

The NE562B Phase Locked Loop (PLL) is a monolithic signal conditioner and demodulator system, comprising a VCO, phase comparator, amplifier and low pass filter, interconnected as shown in the accompanying block diagram. The center frequency of the PLL is determined by the free running frequency ( $f_0$ ) of the VCO. This VCO frequency is set by an external capacitor. The low pass filter, which determines the capture characteristics of the loop, is formed by two capacitors and two resistors at the phase comparator output.

This PLL has two sets of differential inputs, one for the FM/RF input and one for the phase comparator local oscillator input. Both sets of inputs can be used in either a differential or single-ended mode. The FM/RF inputs to the comparator are self-biased. An internally regulated voltage source is provided to bias the phase comparator local oscillator inputs. The VCO output, at high level and in differential form, is available for driving logic circuits in signal conditioning and synchronization, frequency multiplication and division applications. Terminals are also provided for the optional extension of the tracking range. The monolithic signal conditioner demodulator system is useful over a wide range of frequencies from less than 1 Hz to more than 15 MHz with an adjustable tracking range of  $\pm 1\%$  to  $\pm 15\%$ .

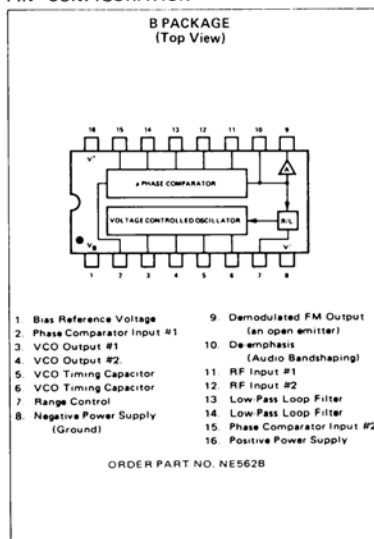
### FEATURES

- FREQUENCY MULTIPLICATION AND DIVISION
- SIGNAL CONDITIONING AND SIDE-BAND SUPPRESSION
- FM DEMODULATION WITHOUT TUNED CIRCUITS
- NARROW BANDPASS - TO  $\pm 1\%$
- ADJUSTABLE TRACKING RANGE - TO  $\pm 15\%$
- EXACT FREQUENCY DUPLICATION IN HIGH NOISE ENVIRONMENT
- HIGH LINEARITY - 1% DISTORTION MAXIMUM AT 1% DEVIATION

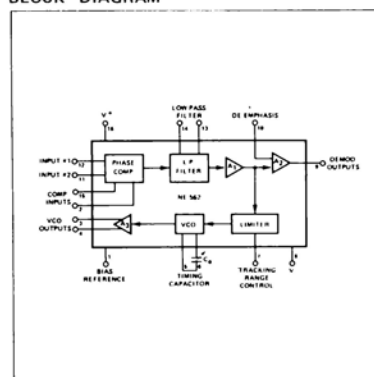
### APPLICATIONS

FREQUENCY SYNTHESIZERS  
DATA SYNCHRONIZERS  
SIGNAL CONDITIONING  
TRACKING FILTERS  
TELEMETRY DECODERS  
MODEMS  
FM IF STRIPS AND DEMODULATORS  
TONE DECODERS  
FSK RECEIVERS  
WIDEBAND HIGH LINEARITY FM DEMODULATORS

### PIN CONFIGURATION



### BLOCK DIAGRAM



## 562 — PHASE LOCKED LOOP

**ABSOLUTE MAXIMUM RATINGS**(Limiting values above which serviceability may be impaired)

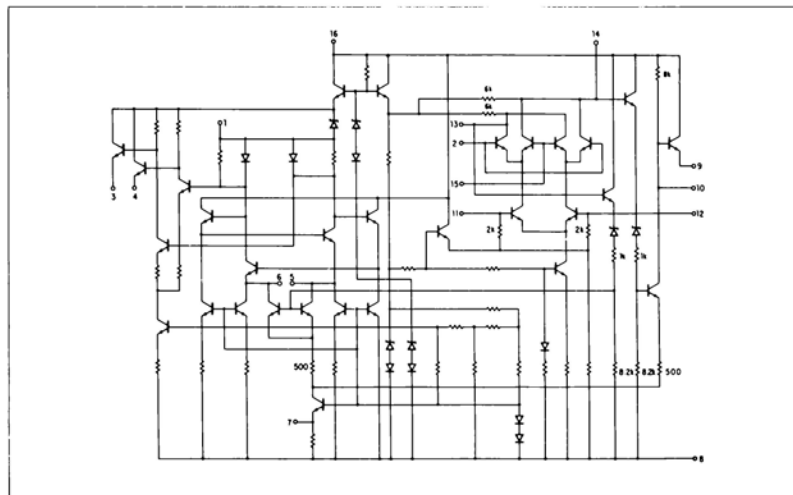
Maximum Operating Voltage	30V
Input Voltage	3V rms
Storage Temperature	-65°C to 150°C
Operating Temperature	0°C to 70°C
Power Dissipation	300mW

**GENERAL ELECTRICAL CHARACTERISTICS**

(15,000 ohms pin 9 to ground, 12,000 ohms pins 3 and 4 to ground, pins 2 and 15 to pin 1 through 1000 ohms, input to pin 11 or 12 with unused input at AC ground, range control not connected and  $V^+ = 18$  volts unless otherwise specified  $T_A = 25^\circ\text{C}$ .)

CHARACTERISTICS	LIMITS			UNITS	TEST CONDITIONS
	MIN	TYP	MAX		
Lowest Practical Operating Frequency		0.1		Hz	
Maximum Operating Frequency	15	30		MHz	
Supply Current	10	12	14	mA	
Minimum Input Signal for Lock		200		$\mu\text{V}$	
Dynamic Range		80		dB	
VCO Temp Coefficient*		$\pm 0.06$	$\pm 0.15$	$\% / ^\circ\text{C}$	Measured at 2 MHz
VCO Supply Voltage Regulation		$\pm 0.3$	$\pm 2$	$\% / \text{V}$	Measured at 2 MHz
Input Resistance		2		k $\Omega$	
Input Capacitance		4		pF	
Input DC Level	$\pm 12$	$\pm 14$	$\pm 16$	V	
Output DC Level	$\pm 12$	$\pm 14$	$\pm 16$	V	
Available Output Swing		4		V <sub>p-p</sub>	Measured at Pin 9
AM Rejection*	30	40		dB	See Definition of Terms
De-emphasis Resistance		8		k $\Omega$	
Bias Reference		$\pm 8$		V	

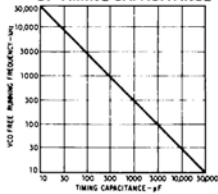
\*ACC Test Sub Group C

**SCHEMATIC DIAGRAM**

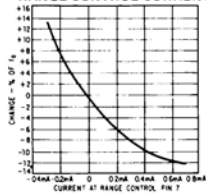
## 562 — PHASE LOCKED LOOP

## TYPICAL CHARACTERISTIC CURVES

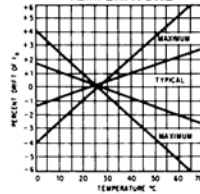
FREE RUNNING VOLTAGE  
CONTROLLED OSCILLATOR  
FREQUENCY AS A FUNCTION  
OF TIMING CAPACITANCE



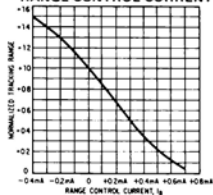
CHANGE OF FREE RUNNING  
OSCILLATOR FREQUENCY AS  
A FUNCTION OF  
RANGE CONTROL CURRENT



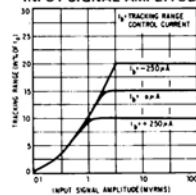
THERMAL DRIFT OF FREE  
RUNNING FREQUENCY  
AS A FUNCTION OF  
TEMPERATURE



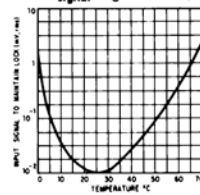
NORMALIZED TRACKING  
RANGE AS A FUNCTION OF  
RANGE CONTROL CURRENT



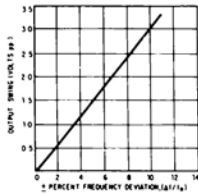
TYPICAL TRACKING RANGE  
AS A FUNCTION OF  
INPUT SIGNAL AMPLITUDE



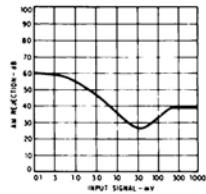
INPUT SIGNAL AMPLITUDE  
TO MAINTAIN LOCK AS A  
FUNCTION OF TEMPERATURE  
( $f_{\text{signal}} = f_0 = 2.0 \text{ MHz}$ )



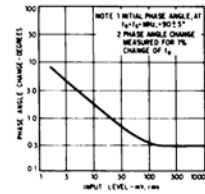
562 PHASE LOCKED LOOP  
DEMODULATED OUTPUT SWING  
AS A FUNCTION OF % FM  
DEVIATION



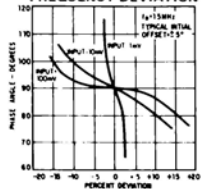
AM REJECTION  
AS A FUNCTION OF  
INPUT SIGNAL LEVEL



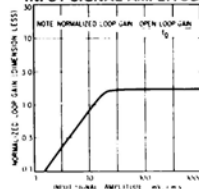
CHANGE IN PHASE ANGLE,  
 $f_0$  RELATIVE TO  $f_0$   
AS A FUNCTION OF  
INPUT SIGNAL AMPLITUDE



VCO OUTPUT PHASE AS A  
FUNCTION OF PERCENT  
FREQUENCY DEVIATION



NORMALIZED LOOP GAIN  
AS A FUNCTION OF  
INPUT SIGNAL AMPLITUDE



**ELECTRICAL CHARACTERISTICS FOR FM APPLICATIONS** (15,000 ohms pin 9 to ground, input to pin 11 or pin 12, AC ground unused input, range control not connected and  $V^+ = 18$  volts.  $T_A = 25^\circ\text{C}$ .)

CHARACTERISTICS	LIMITS			UNITS	TEST CONDITIONS
	MIN	TYP	MAX		
10.7 MHz Operation      Deviation 75 kHz Source Impedance = 50 $\Omega$					
Detection Threshold		200	500	$\mu$ V	$V_{in}$ = 1 mV rms Modulation Frequency 1 kHz $V_{in}$ = 1 mV rms Modulation Frequency 1 kHz $V_{in}$ = 1 mV rms Modulation Frequency 1 kHz
Demodulated Output Amplitude	30	70		mV rms	
Distortion*		0.5		% T.H.D.	
Signal to Noise Ratio $\frac{S+N}{N}$		35		dB	
4.5 MHz Operation      Deviation = 25 kHz, Source Impedance = 50 $\Omega$					
Detection Threshold		200	500	$\mu$ V	$V_{in}$ = 1 mV rms Modulation Frequency 1 kHz $V_{in}$ = 1 mV rms Modulation Frequency 1 kHz $V_{in}$ = 1 mV rms Modulation Frequency 1 kHz
Demodulated Output Amplitude	30	60		mV rms	
Distortion		0.5		% T.H.D.	
Signal to Noise Ratio $\frac{S+N}{N}$		35		dB	
Wide Deviation $\Delta F/f_0$ = 5% Input = 4.5 MHz Deviation = 225 kHz @ 1 kHz Modulation Rate					
Detection Threshold		1	5	mV	$V_{in}$ = 5 mV rms $V_{in}$ = 5 mV rms $V_{in}$ = 5 mV rms
Demodulated Output		1		V rms	
Distortion	0.3	0.8		% T.H.D.	
Signal to Noise Ratio $\frac{S+N}{N}$		50		dB	

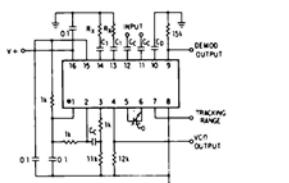
\*ACC Test Sub Group C

**ELECTRICAL CHARACTERISTICS FOR SIGNAL CONDITIONER AND FREQUENCY SYNTHESIS APPLICATIONS** (Input to pin 11 or pin 12, AC ground unused input, range control not connected,  $V^+ = 18$  volts.  $T_A = 25^\circ\text{C}$ .)

CHARACTERISTIC	LIMITS			UNITS	TEST CONDITIONS
	MIN	TYP	MAX		
Tracking Range	$\pm 5$	$\pm 15$		% of $f_0$	200 mV p-p square wave input
Input Resistance		2		k $\Omega$	
Input Capacitance		4		pF	Inputs at AC ground
Input DC Level		4		V	
VCO Output Impedance		1.3	2.5	k $\Omega$	
VCO Output Swing	3	4.5		V p-p	
VCO Output DC Level		12		V	
VCO Signal/Noise Ratio		60		dB	

## TEST CIRCUIT

TEST CIRCUIT FOR FM DEMODULATION

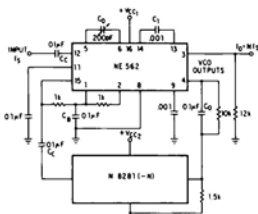


$C_B$  = Bypass Capacitor  
 $C_C$  = Coupling Capacitor  
 $C_0 = .01\mu\text{F}$  for Standard FM

Broadcasting  
 $C_1$  and  $R_X$  = Low Pass Filter  
 $C_0$  = Frequency set Capacitor

FIGURE 1

TEST CIRCUIT FOR SIGNAL CONDITIONER AND FREQUENCY SYNTHESIS APPLICATIONS



$C_B$  = Bypass Capacitor  
 $C_C$  = Coupling Capacitor  
 $C_0$  = Frequency Capacitor Set

$C_1$  = Low Pass Filter Capacitor  
 $C_0$  = Frequency Capacitor Set

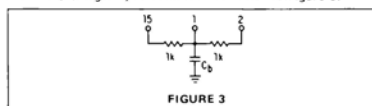
Note: Fanout to divide by  $N$  counter is one.

FIGURE 2

## 562 APPLICATIONS INFORMATION

## 1. BIAS REFERENCE

Pin 1 of the 562 is an internally regulated bias reference voltage supply which should be used as a source of bias current for the phase comparator input terminals, Pins 2 and 15. Biasing may be achieved as shown in Figure 3.



## 2. PHASE COMPARATOR LOOP INPUTS

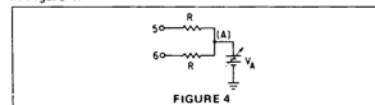
Of the Signetics high frequency phase locked loops, the 562 is unique in that the loop is open between the VCO and the phase comparator. Once biasing of the comparator is accomplished, as described in Bias Reference above, loop closure can be accomplished by capacitive coupling between either one or both inputs of the phase comparator and the VCO output. A divider or counter may be enclosed in the loop at this point for frequency synthesis applications or a flip-flop may be used to ensure that the output waveform has a 50% duty cycle. If large signal swings, greater than 2 volts, are to be applied to the phase comparator inputs, a 1000 ohm current limiting buffer resistor should be used in series with the coupling capacitors.

## 3. VCO OUTPUT

Square wave VCO outputs of both polarities (0°C and 180°C) buffered by an amplifier are available at pins 3 and 4. For proper operation of the buffer amplifier, pins 3 and 4 must be returned to ground (or the negative supply) through resistors, typically 12,000 ohms. The value of these resistors may be reduced provided that total power dissipated in the 562 does not exceed 300 milliwatts or the total average current in each emitter does not exceed 4 mA. The output amplitude is typically 4.5 volts peak referenced at +12 volts with respect to pin 8.

## 4. VCO TUNING

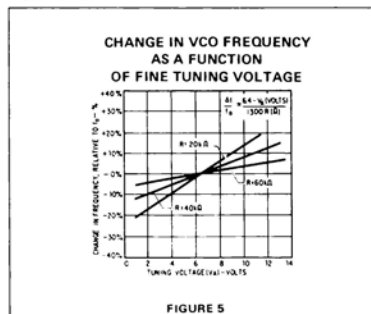
Setting the free-running frequency of the VCO is accomplished easily with one timing capacitor connected between pins 5 and 6. For the 562 Phase Locked Loop, fine tuning of the free-running frequency may be accomplished in either or both of two ways. The first method uses a trimmer capacitor connected in parallel with the VCO timing capacitor. This is the simplest technique and requires the smallest number of extra components but at the lower frequencies may be difficult to implement. The second technique incorporates two resistors and a voltage source. The resistors are connected between each of the timing capacitor terminals and a voltage source as shown in Figure 4.



The percent change in the VCO free-running frequency,  $f_0$ , as a function of the voltage applied to point (A) is shown in the curves of Figure 5. Note that with this fine tuning technique, it is possible to increase the VCO free-running frequency to a value greater than possible with just a trimmer capacitor alone. A formula for the approximation of the VCO frequency as a function of the voltage at point (A), the resistance values and the starting frequency, is given below:

$$f = f_0 \left[ 1 - \frac{V_A - 6.4}{1300R} \right]$$

The recommended resistance range of R is 20,000 to 60,000 ohms.



## 5. LOOP GAIN CHARACTERISTICS

The overall open loop gain of the 562 PLL can be expressed as:

$$K_0 = K_1 K_2$$

where:

$K_0$  = total open loop gain

$K_1$  = phase comparator and amplifier conversion gain

$K_2$  = VCO conversion gain

The VCO conversion gain,  $K_2$ , is the change of VCO frequency per unit of error voltage. In this particular design, it is numerically equal to the VCO frequency, i.e.,

$$K_2 = f_0 \text{ Hz/Volt}$$

or

$$K_2 = 2\pi f_0 \text{ radians/Volt-second}$$

The phase comparator and amplifier conversion gain,  $K_1$ , is proportional to input signal amplitude for low input levels,  $V_s \leq 40\text{mV rms}$ , and it is constant and equal to about 1.5 volts/radian for higher input amplitudes. Therefore,  $K_1$  can be approximated as:

$$K_1 \cong \frac{.04 V_s}{\sqrt{1 + \left(\frac{V_s}{40}\right)^2}}$$

where

$V_s$  = input signal in mV rms.

## 562 — PHASE LOCKED LOOP

## 562 APPLICATIONS INFORMATION (Cont'd.)

## 6. SIGNAL INPUT

The input structure is basically differential and may be used in this manner. Biasing is supplied to the input terminals from an internal regulated supply so signal inputs must be capacitively coupled. In most applications where the input is single-ended, the unused input should be bypassed to ground.

## 7. DEMODULATED OUTPUT

Pin 9 is a low impedance output terminal for the loop error voltage. It is at this point that the demodulated FM output is obtained. When used, it must be biased by a resistor to ground (or negative supply), and the resistor value may be adjusted downward provided that the output current does not exceed 5mA or the dissipation in the 562 does not exceed the absolute maximum ratings. When not used, pin 9 may be left open.

## 8. DE-EMPHASIS FILTER

The de-emphasis terminal, pin 10, is normally required when the PLL is used to demodulate Frequency Modulated Audio signals. In this application, a capacitor from this terminal to ground provides the required de-emphasis. For other applications it may be used to shape the output response. The 3 dB bandwidth of the output amplifier is related to the de-emphasis capacitor,  $C_D$ , as:

$$f_{3dB} = \frac{1}{2\pi R_D C_D}$$

where  $R_D$  is 8000 ohms.

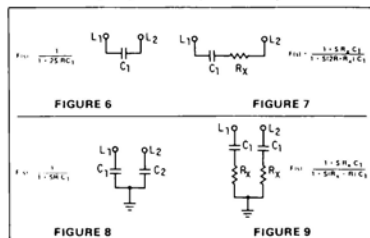
When the PLL system is utilized for applications not requiring the use of the output amplifier, pin 10 should be by-passed to ground.

## 9. TRACKING RANGE CONTROL (Pin 7)

Any bias current,  $I_p$ , injected into the tracking range control, reduces the tracking range of the PLL by decreasing the output of the limiter. The variation of the tracking range and the center frequency, as a function of  $I_p$ , are shown in the characteristic curves with  $I_p$  defined positive going into the tracking range control terminal. This terminal is normally at a DC level of +0.6 volts and presents an impedance of 600Ω.

## 10. LOW-PASS FILTER

In most applications, a loop low-pass filter should be connected between pins 13 and 14 and ground. It is used to set the loop response time, controlling the capture range and the rejection of out of band information. Four filter configurations and their transfer functions are shown in Figures 6 through 9. For VCO operating frequencies below 5 MHz, configurations shown in Figures 6 and 7 may be used. At higher frequencies, configurations shown in Figures 8 and 9 should be used to ensure loop stability.  $R$  is the impedance seen looking into the low pass filter terminals, Pins 13 and 14, and, in the 562, is nominally 6000 ohms.



## 11. LOOP GAIN (Threshold) CONTROL

The overall Phase Locked Loop gain can be reduced by connecting a resistor,  $R_F$ , across the low-pass filter terminals, pins 13 and 14. This causes the loop gain and the detection sensitivity to decrease by a factor  $\alpha$ , where:

$$\alpha = \frac{R_F}{12,000 + R_F}$$

Reduction of loop gain may be desirable at operating frequencies greater than 5 MHz because, at these frequencies, high loop gain may cause instability.

## 12. STATIC LOOP PHASE-ERROR

When the PLL is in lock, the VCO outputs have a nominal  $\pm 90^\circ$  phase shift with respect to the input signal. Due to internal offsets, this nominal angle at perfect lock condition may shift a few degrees, typically  $\pm 5^\circ$  or less.

## PHASE LOCKED LOOP

564

564 • N

## DESCRIPTION

The NE564 is a versatile, high frequency Phase Locked Loop designed for operation up to 50MHz. As shown in the block diagram, the NE564 consists of a VCO, limiter, phase comparator, and post detection processor.

## APPLICATIONS

- High speed modems
- FSK receivers and transmitters
- Frequency synthesizers
- Signal generators

## FEATURES

- Operation with single 5V supply
- TTL compatible inputs and outputs
- Operation to 50MHz
- Operates as a modulator
- External loop gain control
- Reduced carrier feedthrough
- No elaborate filtering needed in FSK applications

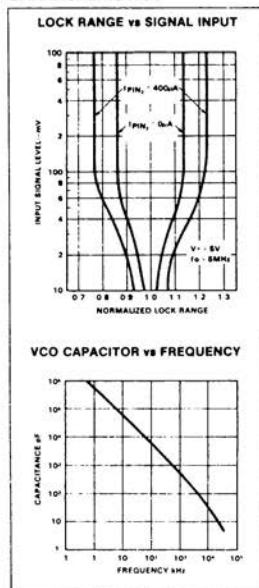
## PIN CONFIGURATION



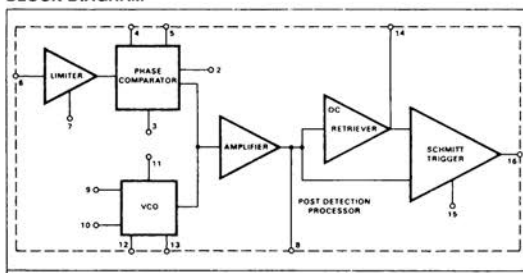
## ABSOLUTE MAXIMUM RATINGS

PARAMETER	RATING	UNIT
V <sup>+</sup> Supply voltage		V
Pin 1	14	
Pin 10	6	
P <sub>D</sub> Power dissipation	400	mW
T <sub>A</sub> Operating temperature	0 to 70	°C
t <sub>stg</sub> Storage temperature	-65 to 150	°C

## TYPICAL PERFORMANCE CHARACTERISTICS



## BLOCK DIAGRAM



## FUNCTIONAL DESCRIPTION

The NE564 is a monolithic phase locked loop with a post detection processor. The use of Schottky clamped transistors and optimized device geometries extends the frequency of operation to 50MHz. In addition to the classical PLL applications, the NE564 can be used as a modulator with a controllable frequency deviation.

The output voltage of the PLL can be written as shown in the following equation:

## Equation 1

$$V_O = \frac{(f_{in} - f_0)}{K_{VCO}}$$

$K_{VCO}$  = conversion gain of the VCO  
 $f_{in}$  = frequency of the input signal  
 $f_0$  = free running frequency of the VCO

The process of recovering FSK signals involves the conversion of the PLL output into digital, logic compatible signals. For high data rates, a considerable amount of carrier

signetics

# PHASE LOCKED LOOP

564

564 • N

## Design Formula

Free running frequency of VCO is shown by the following equation.

Equation 4

$$f_o = \frac{1}{16R_C C_1} \text{ in Hz}$$

$R_C = 100 \Omega$

$C_1$  = external cap in farads

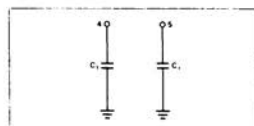
The loop filter diagram shown is explained by the following equation

Equation 5

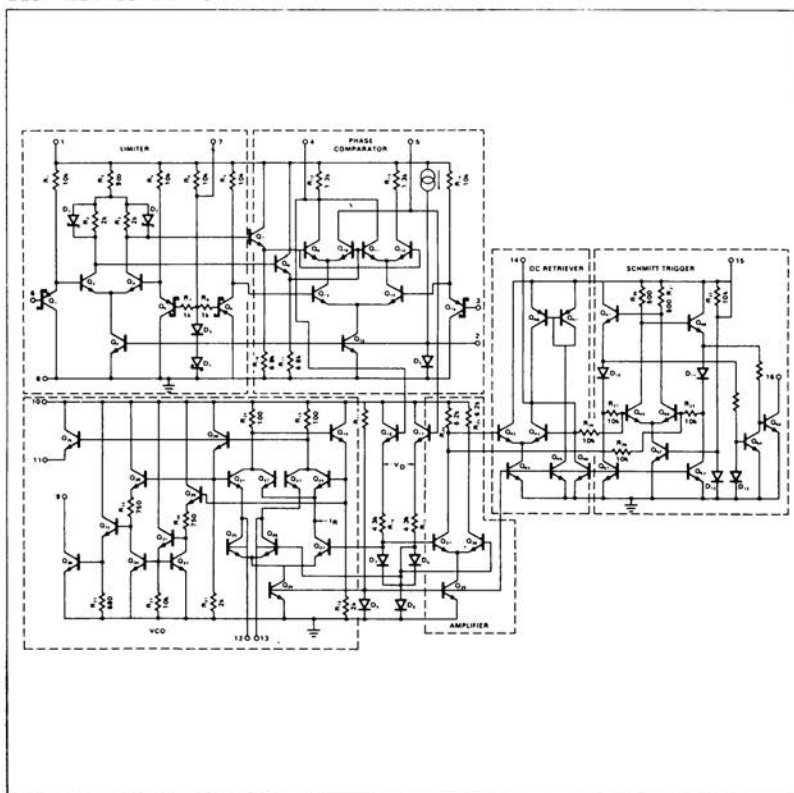
$$F(s) = \frac{1}{1 + sRC_2}$$

$R = R_1 + R_{11} = 1.3k \Omega$

## LOOP FILTER



## EQUIVALENT SCHEMATIC





## PHASE LOCKED LOOP

564

564 • N

DC ELECTRICAL CHARACTERISTICS  $V^+ = 5V$ ,  $T_A = 25^\circ C$  unless otherwise specified

PARAMETER	TEST CONDITIONS	LIMITS			UNIT
		Min	Typ	Max	
$f_o$	Lock range	25	40		%
	Frequency of operation of VCO	45	50		MHz
	Frequency drift with temperature		400	850	ppm/ $^\circ C$
	Frequency change with supply voltage		3	6	%/V
	Demodulated output voltage	10	14		mV
		100	140		
	Output voltage linearity		3		%
	Signal to noise ratio		40		dB
	AM rejection		35		dB
$I_{CC}$	Supply current		30	40	mA
$I_{LC}$	Leakage current		1	10	$\mu A$
	Output current			6	mA
$V^+$	Supply voltage			12	V
		4.5		5.5	

will be present at the output due to the use of complicated filters, a comparator with hysteresis or Schmitt trigger is required. With the conversion gain of the VCO fixed, the output voltage as given by Equation 1 varies according to the frequency deviation of  $f_{in}$  from  $f_o$ . Since this differs from system to system, it is necessary that the hysteresis of the Schmitt trigger be capable of being changed, so that it can be optimized for a particular system. This is accomplished in the 564 by varying the voltage at pin 15 which results in a change of the hysteresis of the Schmitt trigger.

For FSK signals, an important factor to be considered is the drift in the free running frequency of the VCO itself. If this changes due to temperature, according to Equation 1 it will lead to a change in the dc levels of the PLL output, and consequently to errors in the digital output signal. This is especially true for narrow band signals where the deviation in  $f_{in}$  itself may be less than the change in  $f_o$  due to temperature. This effect can be eliminated if the dc or average value of the signal is retrieved and used as the reference to the comparator. In this manner, variations in the dc levels of the PLL output do not affect the FSK output.

## VCO Section

Due to its inherent high frequency performance, an emitter coupled oscillator is used in the VCO. In the circuit, shown in the equivalent schematic, transistors  $Q_{21}$  and  $Q_{22}$  with current sources  $Q_{23}$ - $Q_{26}$  form the basic oscillator. The free running frequency

of the oscillator is shown in the following equation:

Equation 2

$$f_o = \frac{1}{16R_C C_1}$$

$R_C = R_{14} + R_{15}$   
 $C_1$  = frequency setting external capacitor

Variation of  $V_d$  changes the frequency of the oscillator. As indicated by Equation 2, the frequency of the oscillator has a negative temperature coefficient due to the positive temperature coefficient of the monolithic resistor. To compensate for this, a current  $I_q$  with negative temperature coefficient is introduced to achieve a low frequency drift with temperature.

## Phase Comparator Section

The phase comparator consists of a double balanced modulator with a limiter amplifier to improve AM rejection. Schottky clamped vertical PNP's are used to obtain TTL level inputs. The loop gain can be varied changing the current in  $Q_4$  and  $Q_{13}$  which effectively changes the gain of the differential amplifiers. This can be accomplished by introducing a current at pin 2.

## Post Detection Processor Section

The post detection processor consists of a unity gain transconductance amplifier and comparator. The amplifier can be used as a dc retriever for demodulation of FSK signals, and as a post detection filter for linear

FM demodulation. The comparator has adjustable hysteresis so that phase jitter in the output signal can be eliminated.

As shown in the equivalent schematic, the dc retriever is formed by the transconductance amplifier  $Q_{41}$ - $Q_{42}$  with a capacitor at the output (pin 14). This forms an integrator whose output voltage is shown in the following equation:

Equation 3

$$V_o = \frac{g_m}{C_2} \int V_{in} dt$$

$g_m$  = transconductance of the amplifier  
 $C_2$  = capacitor at the output (pin 14)  
 $V_{in}$  = signal voltage at amplifier input

With proper selection of  $C_2$ , the integrator time constant can be varied so that the output voltage is the dc or average value of the input signal for use in FSK, or as a post detection filter in linear demodulation.

The comparator with hysteresis is made up of  $Q_{43}$ - $Q_{46}$  with positive feedback being provided by  $Q_{47}$ - $Q_{48}$ . The hysteresis is varied by changing the current in  $Q_{42}$  with a resulting variation in the loop gain of the comparator. This method of hysteresis control, which is a dc control, provides symmetric variation around the nominal value.

signetics

**FM DEMODULATOR**

The NE564 can be used as an FM demodulator. The connections for operation at 5V and 12V are shown in Figures 1 and 2 respectively. The input signal is ac coupled with the output signal being extracted at pin 14. Loop filtering is provided by the capacitors at pins 4 and 5 with additional filtering being provided by the capacitor at pin 14. Since the conversion gain of the VCO is not very high, to obtain sufficient demodulated output signal the frequency deviation in the input signal should be fairly high (1% or higher).

**FM DEMODULATOR WITH TTL COMPATIBLE OUTPUT SIGNAL**

An FM demodulator with the output signal being a TTL signal can be obtained from the NE564 by connecting it as shown in Figure 3. This operation requires the use of the dc retriever, the capacitance for which is connected at pin 14. The hysteresis of the Schmitt trigger can be adjusted by connecting a potentiometer at pin 15. The output signal appears at pin 16, which requires an external resistor. If necessary, the duty cycle of the output signal can be adjusted by applying a voltage at pin 14 (around 2.5V) and varying it. The connection for a similar application appears in Figure 4.

**GATED PLL DEMODULATOR**

The lock range adjust pin of the NE564 can be used to gate the PLL when it is operating in the demodulator mode. The circuit is connected as shown in Figure 5. The gating voltage which can be a TTL signal is applied to pin 2. When this voltage is high, the loop is in lock and the demodulated output signal appears at pin 16. When the input to pin 2 is low, the loop is out of lock and the VCO will be at its center frequency. It is also possible to use pin 2 to adjust the loop gain so that a large capture range and small lock range can be obtained.

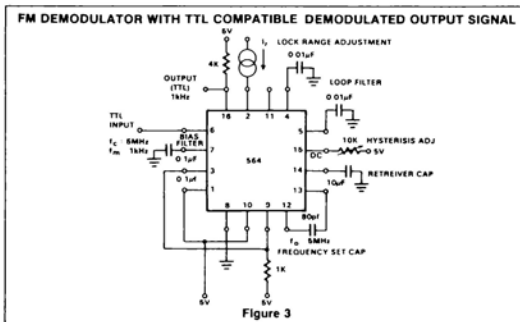
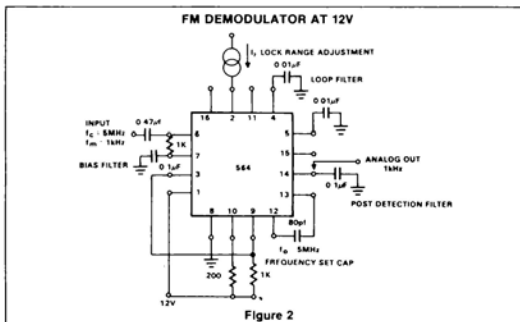
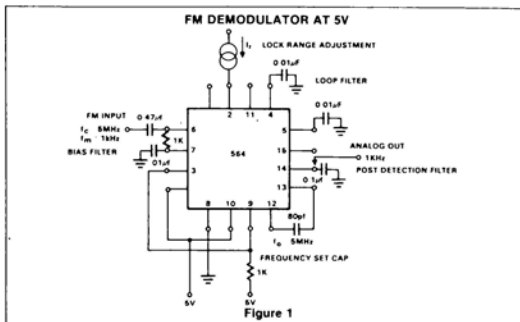
**MODULATION TECHNIQUES**

The NE564 phase locked loop can be modulated at either the loop filter ports (pins 4 and 5) or the input port (pin 6) as shown in Figure 6. The approximate modulation frequency can be determined from the frequency conversion gain curve shown in Figure 7. This curve will be appropriate for signals injected into pins 4 and 5.

**FREQUENCY SYNTHESIS**

Frequency multiplication can be achieved with the NE564 with the insertion of a counter (digital frequency divider) in the loop.

A block diagram is shown in Figure 8 and the associated performance characteristic



## PHASE LOCKED LOOP

564

ANALOG APPLICATIONS MEMO

curve in Figure 7. Here the loop is broken between the VCO and the phase comparator and a counter is inserted. In this case, the fundamental of the divided VCO frequency is locked to the input frequency so that the VCO is actually running at a multiple of the input frequency. The amount of multiplication is determined by the counter. An obvious practical application of this multiplication property is the use of the NE564 in wide range frequency synthesizers.

In frequency multiplication applications it is important to take into account that the phase comparator is actually a mixer and that its output contains sum and difference frequency components. The difference frequency component is dc and is the error voltage which drives the VCO to keep the NE564 in lock. The sum frequency components (of which the fundamental is twice the frequency of the input signal) if not well filtered, will induce incidental FM on the VCO output. This occurs because the VCO is running at many times the frequency of the input signal and the sum frequency component which appears on the control voltage to the VCO causes a periodic variation of its frequency about the desired multiple. For frequency multiplication it is generally necessary to filter quite heavily to remove this sum frequency component. The tradeoff, of course, is a reduced capture range and a more underdamped loop transient response.

## 12V DEMODULATOR WITH DIGITAL OUTPUT

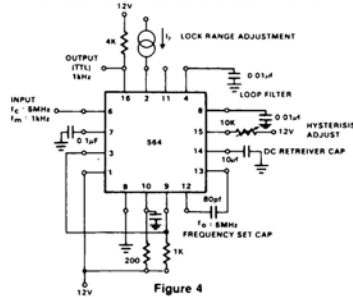
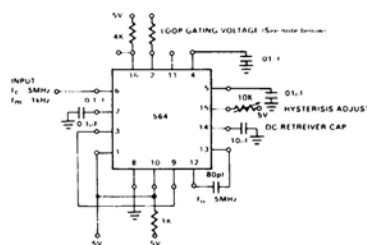


Figure 4

## GATED PLL DEMODULATOR



## NOTE

When the input to pin 2 is high (TTL level), the loop is in lock and the demodulated output at pin 16 is present. When the input to pin 2 is low (TTL level) the loop is out of lock with the VCO at its center frequency.

Figure 5

## MODULATOR

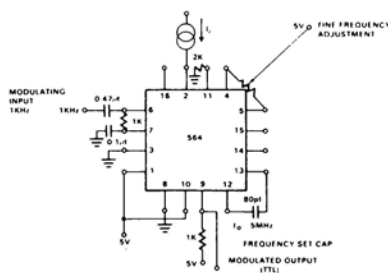


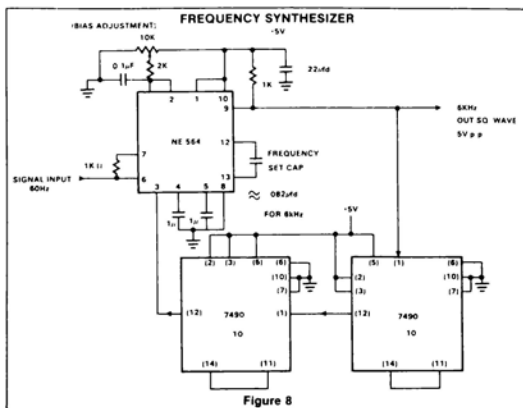
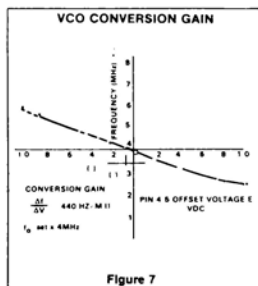
Figure 6

signetics

## PHASE LOCKED LOOP

564

ANALOG APPLICATIONS MEMO



# PHASE LOCKED LOOP

# 565

## LINEAR INTEGRATED CIRCUITS

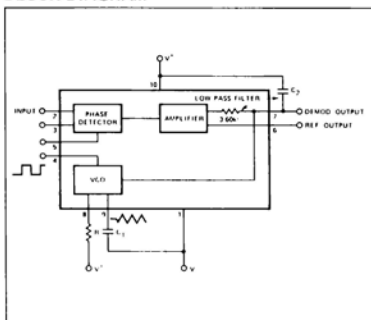
### DESCRIPTION

The SE/NE565 Phase Locked Loop (PLL) is a self contained, adaptable filter and demodulator for the frequency range from 0.001 Hz to 500 kHz. The circuit comprises a voltage-controlled oscillator of exceptional stability and linearity, a phase comparator, an amplifier and a low-pass filter as shown in the block diagram. The center frequency of the PLL is determined by the free-running frequency of the VCO; this frequency can be adjusted externally with a resistor or a capacitor. The low-pass filter, which determines the capture characteristics of the loop, is formed by an internal resistor and an external capacitor.

### FEATURES

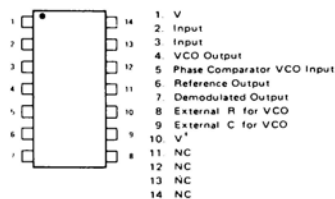
- EXTREME STABILITY OF CENTER FREQUENCY (200ppm/°C typ)
- WIDE RANGE OF OPERATING VOLTAGE ( $\pm 5$  to  $\pm 12$  VOLTS) WITH VERY SMALL FREQUENCY DRIFT (100ppm/% typ)
- VERY HIGH LINEARITY OF DEMODULATED OUTPUT (0.2% typ)
- CENTER FREQUENCY PROGRAMMING BY MEANS OF A RESISTOR, CAPACITOR, VOLTAGE OR CURRENT
- TTL AND DTL COMPATIBLE SQUARE-WAVE OUTPUT; LOOP CAN BE OPENED TO INSERT DIGITAL FREQUENCY DIVIDER
- HIGHLY LINEAR TRIANGLE WAVE OUTPUT
- REFERENCE OUTPUT FOR CONNECTION OF COMPARATOR IN FREQUENCY DISCRIMINATOR
- BANDPASS, ADJUSTABLE FROM  $< \pm 1\%$  to  $> \pm 60\%$
- FREQUENCY ADJUSTABLE OVER 10 TO 1 RANGE WITH SAME CAPACITOR

### BLOCK DIAGRAM



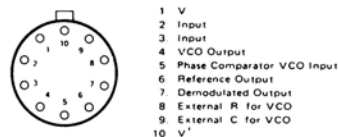
### PIN CONFIGURATIONS

#### A PACKAGE (Top View)



ORDER PART NOS. SE565A/NE565A

#### K PACKAGE



ORDER PART NOS. SE565K/NE565K

### APPLICATIONS

FREQUENCY SHIFT KEYING  
MODEMS

TELEMETRY RECEIVERS

TONE DECODERS

SCA RECEIVERS

WIDEBAND FM DISCRIMINATORS

DATA SYNCHRONIZERS

TRACKING FILTERS

SIGNAL RESTORATION

FREQUENCY MULTIPLICATION & DIVISION

## SE/NE565 – PHASE LOCKED LOOP

## ABSOLUTE MAXIMUM RATINGS (limiting values above which serviceability may be impaired)

Maximum Operating Voltage	26V
Storage Temperature	-65°C to 150°C
Power Dissipation	300mW

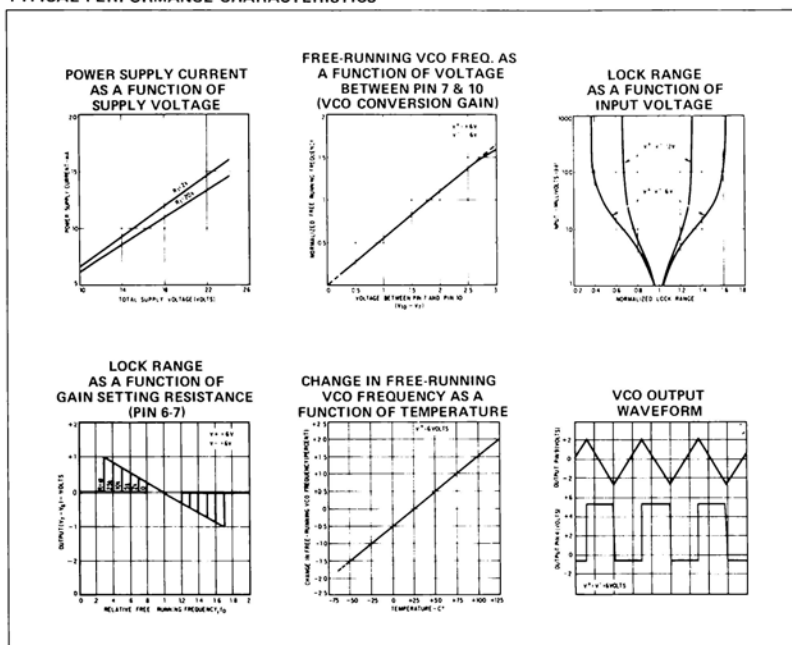
ELECTRICAL CHARACTERISTICS ( $T_A = 25^\circ\text{C}$ ,  $V_{CC} = \pm 6$  Volts unless otherwise noted)

PARAMETER	TEST CONDITIONS	SE565			NE565			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
<b>SUPPLY REQUIREMENTS</b>								
Supply Voltage		$\pm 5$		$\pm 12$	$\pm 5$		$\pm 12$	V
Supply Current			8	12.5		8	12.5	mA
<b>INPUT CHARACTERISTICS</b>								
Input Impedance	$4V \leq V_2, V_3 \leq +1V$	7	10		5	10		k $\Omega$
Input Level Required for Tracking	$f_0 = 50 \text{ kHz}$ $\pm 10\%$ frequency deviation	10	1		10	1		mVrms
<b>VCO CHARACTERISTICS</b>								
Center Frequency	$C_1 = 2.7 \text{ pF}$	300	500			500		kHz
Maximum Value Distribution	Distribution taken about $f_0 \approx 50 \text{ kHz}$ $R_1 = 5.0k, C_1 = 1200 \text{ pF}$	-10	0	+10	-30	0	+30	%
Drift with Temperature	$f_0 = 50 \text{ kHz}$	+75	+100	+525	+200			ppm/°C
Drift with Supply Voltage	$f_0 = 50 \text{ kHz}$ $V_{CC} = \pm 6$ to $\pm 7$ Volts		0.1	1.0		0.2	1.5	%/V
Triangle Wave								
Output Voltage Level			0			0		V
Amplitude		2	2.4	3	2	2.4	3	Vp-p
Linearity			0.2			0.5		%
Square Wave								
Logical "1" Output Voltage	$f_0 = 50 \text{ kHz}$ $V_{CC} = \pm 6$ Volts	+4.9	+5.2		+4.9	+5.2		V
Logical "0" Output Voltage	$f_0 = 50 \text{ kHz}$ $V_{CC} = \pm 6$ Volts		-0.2	+0.2		-0.2	+0.2	V
Duty Cycle	$f_0 = 50 \text{ kHz}$	45	50	55	40	50	60	%
Rise Time			20	100		20		nsec
Fall Time			50	200		50		nsec
Output Current (sink)		0.6	1		0.6	1		mA
Output Current (source)		5	10		5	10		mA
<b>DEMODULATED OUTPUT CHARACTERISTICS</b>								
Output Voltage Level	(pin 7) $V_{CC} = \pm 6$ Volts	4.25	4.5	4.75	4.0	4.5	5.0	V
Maximum Voltage Swing	(pin 7)		2			2		Vp-p
Output Voltage Swing	$\pm 10\%$ frequency deviation	250	300		200	300		mVp-p
Total Harmonic Distortion			0.2	0.75		0.2	1.5	%
Output Impedance			3.6			3.6		k $\Omega$
Offset Voltage [ $V_6 - V_7$ ] vs Temperature (drift)	$T_A = 25^\circ\text{C}$		30	100		50	200	mV
AM Rejection		30	40		40			dB

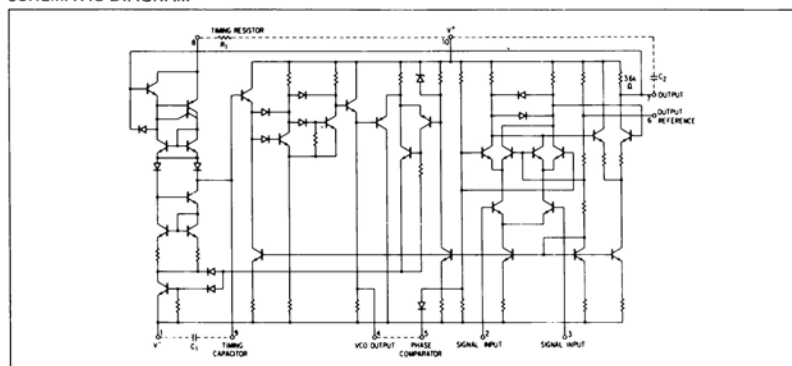
## NOTES:

- Both input terminals (pins 2 and 3) must receive identical dc bias. This bias may range from 0 volts to -4 volts.
- The external resistance for frequency adjustment ( $R_1$ ) must have a value between 2k $\Omega$  and 20k $\Omega$ .
- Output voltage swings negative as input frequency increases.
- Output not buffered.

## TYPICAL PERFORMANCE CHARACTERISTICS



## SCHEMATIC DIAGRAM



## SE/NE565 – PHASE LOCKED LOOP

## DESIGN FORMULAS

Free-running frequency of VCO  $f_0 = \frac{1.2}{4R_1C_1}$  in Hz

Lock-range  $f_L = \pm \frac{8f_0}{V_{CC}}$  in Hz

Capture-range  $f_C = \pm \frac{1}{2\pi} \sqrt{\frac{2\pi f_L}{\tau}}$

where  $\tau = (3.6 \times 10^3) \times C_2$

## DEFINITION OF TERMS

FREE-RUNNING FREQUENCY ( $f_0$ )

Frequency of VCO without input signal, both inputs grounded.

## CAPTURE-RANGE

That range of frequencies about  $f_0$  over which the loop will acquire lock with an input signal initially starting out of lock.

## LOCK-RANGE OR TRACKING-RANGE

That range of frequencies in the vicinity of  $f_0$  over which the VCO, once locked to the input signal, will remain locked.

## TYPICAL APPLICATIONS

## FM DEMODULATION

The 565 Phase Locked Loop is a general purpose circuit designed for highly-linear FM demodulation. During lock, the average dc level of the phase comparator output signal is directly proportional to the frequency of the input signal. As the input frequency shifts, it is this output signal which causes the VCO to shift its frequency to match that of the input. Consequently, the linearity of the phase comparator output with frequency is determined by the voltage-to-frequency transfer function of the VCO.

Because of its unique and highly linear VCO, the 565 PLL can lock to and track an input signal over a very wide range (typically  $\pm 60\%$ ) with very high linearity (typically, within 0.5%).

A typical connection diagram is shown in Figure 1. The VCO free-running frequency is given approximately by

$$f_0 = \frac{1.2}{4R_1C_1} \text{ and should be adjusted to be at the center}$$

of the input signal frequency range.  $C_1$  can be any value, but  $R_1$  should be within the range of 2000 to 20,000 ohms with an optimum value on the order of 4000 ohms. The source can be direct coupled if the dc resistances seen from pins 2 and 3 are equal and there is no dc voltage difference between the pins. A short between pins 4 and 5 connects the VCO to the phase comparator. Pin 6 provides a dc reference voltage that is close to the dc potential of the demodulated output (pin 7). Thus, if a resistance ( $R_2$  in Figure 1) is connected between pins 6 and 7, the gain of the output stage can be reduced with little change in the dc voltage level at the output. This allows the lock range to be decreased with little change in the free-running frequency. In this manner the lock range can be decreased from  $\pm 60\%$  of  $f_0$  to approximately  $\pm 20\%$  of  $f_0$  (at  $\pm 6V$ ).

A small capacitor (typically 0.001  $\mu F$ ) should be connected between pins 7 and 8 to eliminate possible oscillation in the control current source.

A single-pole loop filter is formed by the capacitor  $C_2$ , connected between pin 7 and positive supply, and an internal resistance of approximately 3600 ohms.

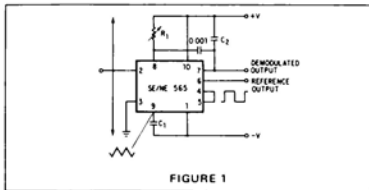


FIGURE 1

## FREQUENCY SHIFT KEYING (FSK)

FSK refers to data transmission by means of carrier which is shifted between two preset frequencies. This frequency shift is usually accomplished by driving a VCO with the binary data signal so that the two resulting frequencies correspond to the "0" and "1" states (commonly called space and mark) of the binary data signal.

A simple scheme using the 565 to receive FSK signals of 1070 Hz and 1270 Hz is shown in Figure 2. As the signal appears at the input, the loop locks to the input frequency and tracks it between the two frequencies with a corresponding dc shift at the output.

The loop filter capacitor  $C_2$  is chosen smaller than usual to eliminate overshoot on the output pulse, and a three-stage RC ladder filter is used to remove the carrier component from the output. The band edge of the ladder filter is chosen to be approximately half way between the maximum keying rate (in this case 300 baud or 150 Hz) and twice the input frequency (approximately 2200 Hz). The output signal can now be made logic compatible by connecting a voltage comparator between the output and pin 6 of the loop. The free-running frequency is adjusted with  $R_1$  so as to result in a slightly-positive voltage at the output at  $f_{in} = 1070$  Hz.

The input connection is typical for cases where a dc voltage is present at the source and therefore a direct connection is not desirable. Both input terminals are returned to ground with identical resistors (in this case, the values are chosen to effect a 600-ohm input impedance).

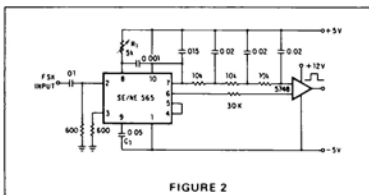


FIGURE 2



## FREQUENCY MULTIPLICATION

There are two methods by which frequency multiplication can be achieved using the 565:

1. Locking to a harmonic of the input signal.
2. Inclusion of a digital frequency divider or counter in the loop between the VCO and phase comparator.

The first method is the simplest, and can be achieved by setting the free-running frequency of the VCO to a multiple of the input frequency. A limitation of this scheme is that the lock range decreases as successively higher and weaker harmonics are used for locking. If the input frequency is to be constant with little tracking required, the loop can generally be locked to any one of the first 5 harmonics. For higher orders of multiplication, or for cases where a large lock range is desired, the second scheme is more desirable. An example of this might be a case where the input signal varies over a wide frequency range and a large multiple of the input frequency is required.

A block diagram of the second scheme is shown in Figure 3. Here the loop is broken between the VCO and the phase comparator, and a frequency divider is inserted. The funda-

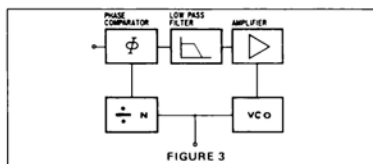


FIGURE 3

mental of the divided VCO frequency is locked to the input frequency in this case, so that the VCO is actually running at a multiple of the input frequency. The amount of multiplication is determined by the frequency divider. A typical connection scheme is shown in Figure 4. To set up the circuit, the frequency limits of the input signal must be determined. The free-running frequency of the VCO is then adjusted by means of  $R_1$  and  $C_1$  (as discussed under FM demodulation) so that the output frequency of the divider is midway between the input frequency limits. The filter capacitor,  $C_2$ , should be large enough to eliminate variations in the demodulated output voltage (at pin 7), in order to stabilize the VCO frequency. The output can now be taken as the VCO squarewave output, and its fundamental will be the desired multiple of the input frequency ( $f_1$ ) as long as the loop is in lock.

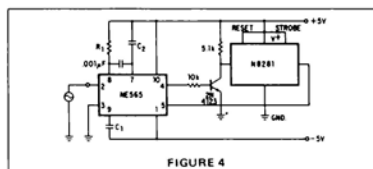


FIGURE 4

## SCA (BACKGROUND MUSIC) DECODER

Some FM stations are authorized by the FCC to broadcast uninterrupted background music for commercial use. To do this a frequency modulated subcarrier of 67 kHz is used. The frequency is chosen so as not to interfere with the normal stereo or monaural program; in addition, the level of the subcarrier is only 10% of the amplitude of the combined signal.

The SCA signal can be filtered out and demodulated with the NE565 Phase Locked Loop without the use of any resonant circuits. A connection diagram is shown in Figure 5. This circuit also serves as an example of operation from a single power supply.

A resistive voltage divider is used to establish a bias voltage for the input (pins 2 and 3). The demodulated (multiplex) FM signal is fed to the input through a two-stage high-pass filter, both to effect capacitive coupling and to attenuate the strong signal of the regular channel. A total signal amplitude, between 80 mV and 300 mV, is required at the input. Its source should have an impedance of less than 10,000 ohms.

The Phase Locked Loop is tuned to 67 kHz with a 5000 ohm potentiometer; only approximate tuning is required, since the loop will seek the signal.

The demodulated output (pin 7) passes through a three-stage low-pass filter to provide de-emphasis and attenuate the high-frequency noise which often accompanies SCA transmission. Note that no capacitor is provided directly at pin 7; thus, the circuit is operating as a first-order loop. The demodulated output signal is in the order of 50 mV and the frequency response extends to 7 kHz.

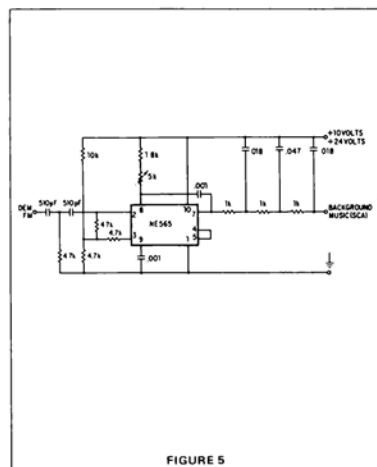


FIGURE 5

## TONE DECODER PHASE LOCKED LOOP

567

## LINEAR INTEGRATED CIRCUITS

## DESCRIPTION

The SE/NE 567 tone and frequency decoder is a highly stable phase-locked loop with synchronous AM lock detection and power output circuitry. Its primary function is to drive a load whenever a sustained frequency within its detection band is present at the self-biased input. The bandwidth center frequency, and output delay are independently determined by means of four external components.

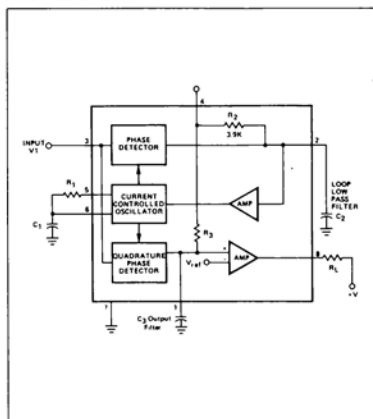
## FEATURES

- WIDE FREQUENCY RANGE (0.1Hz TO 500kHz)
- HIGH STABILITY OF CENTER FREQUENCY
- INDEPENDENTLY CONTROLLABLE BANDWIDTH (0 TO 14 PERCENT)
- HIGH OUT-BAND SIGNAL AND NOISE REJECTION
- LOGIC-COMPATIBLE OUTPUT WITH 100mA CURRENT SINKING CAPABILITY
- INHERENT IMMUNITY TO FALSE SIGNALS
- FREQUENCY ADJUSTMENT OVER A 20 TO 1 RANGE WITH AN EXTERNAL RESISTOR

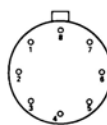
## APPLICATIONS

TOUCH TONE<sup>®</sup> DECODING  
CARRIER CURRENT REMOTE CONTROLS  
ULTRASONIC CONTROLS (REMOTE TV, ETC.)  
COMMUNICATIONS PAGING  
FREQUENCY MONITORING AND CONTROL  
WIRELESS INTERCOM  
PRECISION OSCILLATOR

## BLOCK DIAGRAM



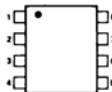
## PIN CONFIGURATION

T PACKAGE  
(Top View)

- 1 Output Filter Capacitor  $C_3$
- 2 Low Pass Filter Capacitor  $C_2$
- 3 Input
- 4 Supply Voltage +V
- 5 Timing Element  $R_1$
- 6 Timing Elements  $R_1$  and  $C_1$
- 7 Ground
- 8 Output

ORDER PART NOS. SE567T/NE567T

## V PACKAGE



- 1 Output Filter Capacitor  $C_3$
- 2 Low Pass Filter Capacitor  $C_2$
- 3 Input
- 4 Supply Voltage +V
- 5 Timing Element  $R_1$
- 6 Timing Elements  $R_1$  and  $C_1$
- 7 Ground
- 8 Output

ORDER PART NO. NE567V

## ABSOLUTE MAXIMUM RATINGS:

Operating Temperature  $0^{\circ}\text{C}$  to  $70^{\circ}\text{C}$  NE567  
 $-55^{\circ}\text{C}$  to  $125^{\circ}\text{C}$  SE567

Operating Voltage 10V  
Positive Voltage at Input 0.5V above Supply Voltage (Pin 4)  
Negative Voltage at Input -10 VDC  
Output Voltage (collector of output transistor) 15 VDC  
Storage Temperature  $-65^{\circ}\text{C}$  to  $150^{\circ}\text{C}$   
Power Dissipation 300mW

## 567 — TONE DECODER PHASE LOCKED LOOP

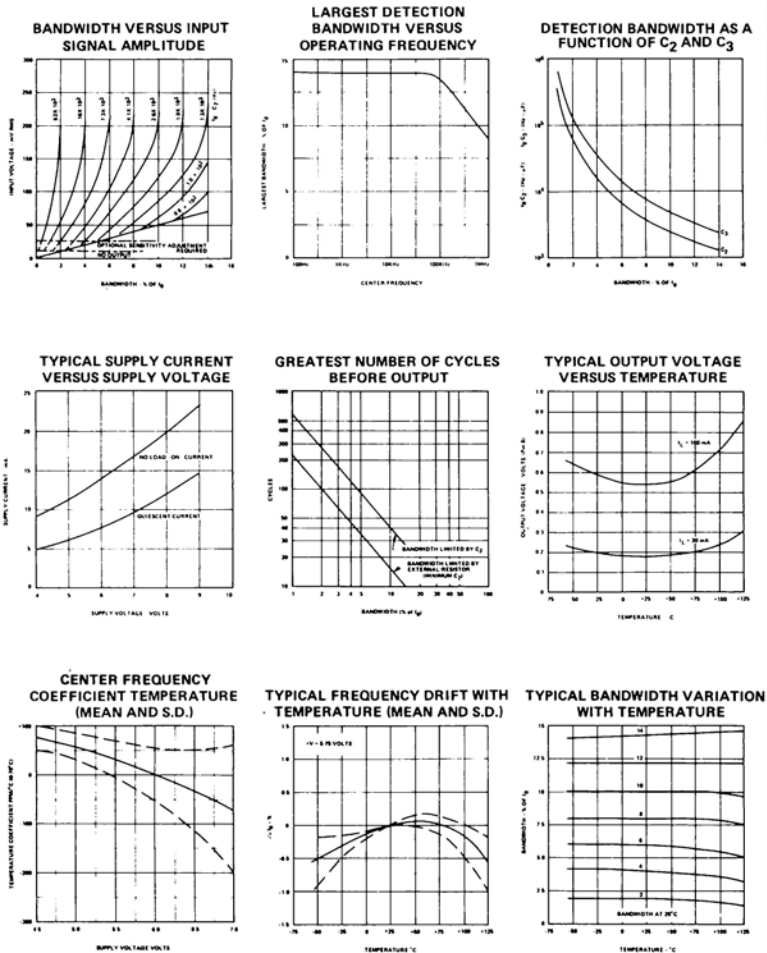
ELECTRICAL CHARACTERISTICS ( $V_+ = 5.0$  Volts,  $T_A = 25^\circ\text{C}$  unless noted)

CHARACTERISTICS	SE567			NE567			UNITS	TEST CONDITIONS
	MIN	TYP	MAX	MIN	TYP	MAX		
<b>CENTER FREQUENCY (NOTE 1)</b>								
Highest Center Frequency ( $f_o$ )	100	500		100	500		kHz	
Center Frequency Stability (Note 2)		35 ± 140 35 ± 60			35 ± 140 35 ± 60		ppm/°C ppm/°C	-55 to 125°C 0 to 70°C
Center Frequency Shift with Supply Voltage		0.5	1		0.7	2	%/Volt	$f_o = 100\text{KHz}$
<b>DETECTION BANDWIDTH</b>								
Largest Detection Bandwidth	12	14	16	10	14	18	% of $f_o$	$f_o = 100\text{KHz}$
Largest Detection Bandwidth Skew		1	2		2	3	% of $f_o$	
Largest Detection Bandwidth - Variation with Temperature		± 0.1			± 0.1		%/°C	$V_i = 300\text{mVrms}$
Largest Detection Bandwidth - Variation with Supply Voltage		± 2			± 2		%/Volt	$V_i = 300\text{mVrms}$
<b>INPUT</b>								
Input Resistance		20			20		K $\Omega$	
Smallest Detectable Input Voltage ( $V_i$ )		20	25		20	25	mV rms	$I_L = 100\text{mA}$ , $f_i = f_o$
Largest No-Output Input Voltage	10	15		10	15		mV rms	$I_L = 100\text{mA}$ , $f_i = f_o$
Greatest Simultaneous Outband Signal to Inband Signal Ratio		± 6			± 6		dB	
Minimum Input Signal to Wideband Noise Ratio		-6			-6		dB	$B_n = 140\text{KHz}$
<b>OUTPUT</b>								
Fastest On-Off Cycling Rate		$f_o/20$			$f_o/20$			
"1" Output Leakage Current		0.01	25		0.01	25	$\mu\text{A}$	
"0" Output Voltage		0.2 0.6	0.4 1.0		0.2 0.6	0.4 1.0	Volt Volt	$I_L = 30\text{mA}$ $I_L = 100\text{mA}$
Output Fall Time (Note 3)		30			30		n sec	$R_L = 50\Omega$
Output Rise Time (Note 3)		150			150		n sec	$R_L = 50\Omega$
<b>GENERAL</b>								
Operating Voltage Range	4.75		9.0	4.75		9.0	Volts	
Supply Current - Quiescent		6	8		7	10	mA	
Supply Current - Activated		11	13		12	15	mA	$R_L = 20\text{K}\Omega$
Quiescent Power Dissipation		30			35		mW	

## NOTES:

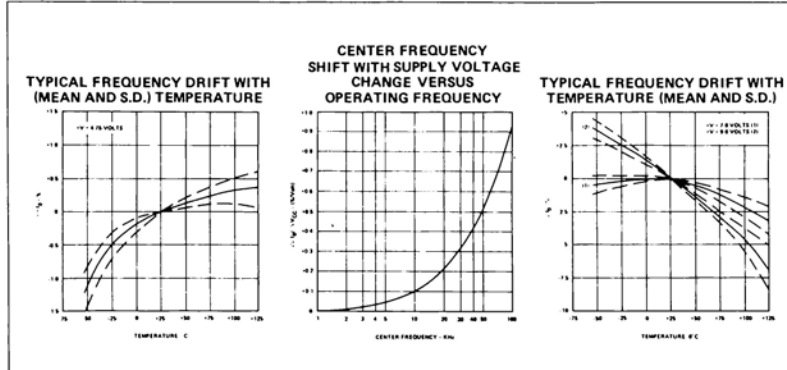
- Frequency determining resistor  $R_1$  should be between 1 and 20K $\Omega$ .
- Applicable over 4.75 to 5.75 volts. See graphs for more detailed information.
- Pin 8 to Pin 1 feedback  $R_L$  network selected to eliminate pulsing during turn on and turn off

## TYPICAL CHARACTERISTIC CURVES

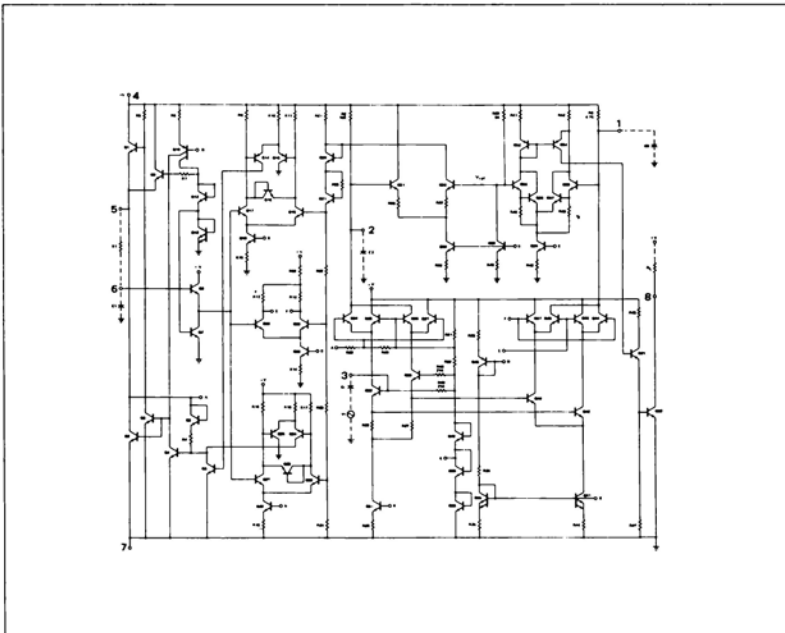


## 567 — TONE DECODER PHASE LOCKED LOOP

## TYPICAL CHARACTERISTIC CURVES (Cont'd.)



## SCHEMATIC DIAGRAM



## DESIGN FORMULAS

$$f_0 \approx \frac{1.1}{R_1 C_1}$$

$$BW \approx 1070 \sqrt{\frac{V_i}{f_0 C_2}} \text{ in \% of } f_0, V_i \lesssim 200 \text{ nV}$$

Where

$V_i$  = Input Voltage (Volts)

$C_2$  = Low-Pass Filter Capacitor ( $\mu\text{F}$ )

PHASE LOCKED LOOP TERMINOLOGY  
CENTER FREQUENCY ( $f_0$ )

The free-running frequency of the current controlled oscillator (CCO) in the absence of an input signal.

## DETECTION BANDWIDTH (BW)

The frequency range, centered about  $f_0$ , within which an input signal above the threshold voltage (typically 20mV rms) will cause a logical zero state on the output. The detection bandwidth corresponds to the loop capture range.

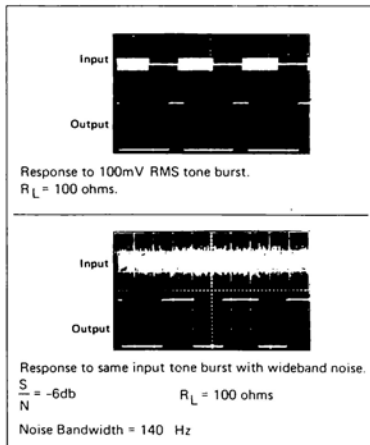
## LARGEST DETECTION BANDWIDTH

The largest frequency range within which an input signal above the threshold voltage will cause a logical zero state on the output. The maximum detection bandwidth corresponds to the loop lock range.

## DETECTION BAND SKEW

A measure of how well the largest detection band is centered about the center frequency,  $f_0$ . The skew is defined as  $(f_{\max} + f_{\min} - 2f_0)/f_0$  where  $f_{\max}$  and  $f_{\min}$  are the frequencies corresponding to the edges of the detection band. The skew can be reduced to zero if necessary by means of an optional centering adjustment.

## TYPICAL RESPONSE



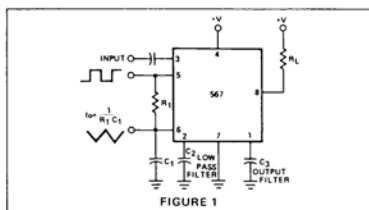
## OPERATING INSTRUCTIONS

Figure 1 shows a typical connection diagram for the 567. For most applications, the following three step procedure will be sufficient for choosing the external components  $R_1$ ,  $C_1$ ,  $C_2$  and  $C_3$ .

1. Select  $R_1$  and  $C_1$  for the desired center frequency. For best temperature stability,  $R_1$  should be between 2K and 20K ohm, and the  $R_1 C_1$  product should have sufficient stability, over the projected temperature range to meet the necessary requirements.

2. Select the low pass capacitor,  $C_2$ , by referring to the Bandwidth versus Input Signal Amplitude graph. If the input amplitude variation is known, the appropriate value of  $f_0 C_2$  necessary to give the desired bandwidth may be found. Conversely, an area of operation may be selected on this graph and the input level and  $C_2$  may be adjusted accordingly. For example, constant bandwidth operation requires that input amplitude be above 200mVrms. The bandwidth, as noted on the graph, is then controlled solely by the  $f_0 C_2$  product ( $f_0$  (Hz),  $C_2$  (pFd)).

3. The value of  $C_3$  is generally non-critical.  $C_3$  sets the band edge of a low pass filter which attenuates frequencies outside the detection band to eliminate spurious outputs. If  $C_3$  is too small, frequencies just outside the detection band will switch the output stage on and off at the beat frequency, or the output may pulse on and off during the turn on transient. If  $C_3$  is too large, turn-on and turn-off of the output stage will be delayed until the voltage on  $C_3$  passes the threshold voltage. (Such a delay may be desirable to avoid spurious outputs due to transient frequencies.) A typical minimum value for  $C_3$  is  $2C_2$ .



## AVAILABLE OUTPUTS (Figure 2)

The primary output is the uncommitted output transistor collector, pin 8. When an in-band input signal is present, this transistor saturates its collector voltage being less than 1.0 volt (typically 0.6V) at full output current (100mA). The voltage at pin 2 is the phase detector output, a linear function of frequency, over the range of 0.95 to 1.05  $f_0$ , with a slope of about 20mV/% frequency deviation. The average voltage at pin 1 is, during lock, a function of the in-band input amplitude in accordance with the transfer characteristic given. Pin 5 is the controlled oscillator square wave output of magnitude  $(V^+ - 2V_{be}) \approx (V^+ - 1.4V)$  having a dc average of  $V^+/2$ . A 1K $\Omega$  load may be driven from pin 5. Pin 6 is an exponential triangle of 1 volt peak to peak

## 567 — TONE DECODER PHASE LOCKED LOOP

## AVAILABLE OUTPUTS (Cont'd.)

with an average dc level of  $V^+ / 2$ . Only high impedance loads may be connected to pin 6 without affecting the CCO duty cycle or temperature stability.

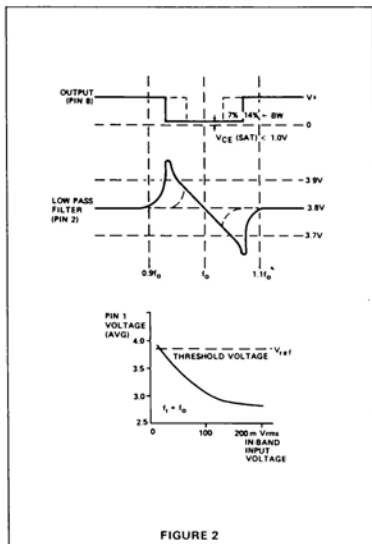


FIGURE 2

## OPERATING PRECAUTIONS

A brief review of the following precautions will help the user attain the high level of performance of which the 567 is capable.

1. Operation in the high input level mode (above 200mV) will free the user from bandwidth variations due to changes in the in-band signal amplitude. The input stage is now limiting, however, so that out-band signals or high noise levels can cause an apparent bandwidth reduction as the in-band signal is suppressed. Also, the limiting action will create in-band components from sub-harmonic signals, so the 567 becomes sensitive to signals at  $f_0/3$ ,  $f_0/5$ , etc.
2. The 567 will lock onto signals near  $(2n+1)f_0$ , and will give an output for signals near  $(4n+1)f_0$  where  $n = 0, 1, 2$ , etc. Thus, signals at  $5f_0$  and  $9f_0$  can cause an unwanted output. If such signals are anticipated, they should be attenuated before reaching the 567 input.
3. Maximum immunity from noise and out-band signals is afforded in the low input level (Below 200mVrms) and reduced bandwidth operating mode. However, decreased loop damping causes the worst-case lock-up time to increase, as shown by the Greatest Number of Cycles Before Output vs. Bandwidth graph.

4. Due to the high switching speeds (20ns) associated with 567 operation, care should be taken in lead routing. Lead lengths should be kept to a minimum. The power supply should be adequately bypassed close to the 567 with an  $0.01\mu\text{F}$  or greater capacitor; grounding paths should be carefully chosen to avoid ground loops and unwanted voltage variations. Another factor which must be considered is the effect of load energization on the power supply. For example, an incandescent lamp typically draws 10 times rated current at turn-on. This can cause supply voltage fluctuations which could, for example, shift the detection band of narrow-band systems sufficiently to cause momentary loss of lock. The result is a low-frequency oscillation into and out of lock. Such effects can be prevented by supplying heavy load currents from a separate supply, or increasing the supply filter capacitor.

## SPEED OF OPERATION

Minimum lock-up time is related to the natural frequency of the loop. The lower it is, the longer becomes the turn-on transient. Thus, maximum operating speed is obtained when  $C_2$  is at a minimum. When the signal is first applied, the phase may be such as to initially drive the controlled oscillator away from the incoming frequency rather than toward it. Under this condition, which is of course unpredictable, the lock-up transient is at its worst and the theoretical minimum lock-up time is not achievable. We must simply wait for the transient to die out.

The following expressions give the values of  $C_2$  and  $C_3$  which allow highest operating speeds for various band center frequencies. The minimum rate at which digital information may be detected without information loss due to the turn-on transient or output chatter is about 10 cycles per bit, corresponding to an information transfer rate of  $f_0/10$  baud.

$$C_2 = \frac{130}{f_0} \mu\text{F}$$

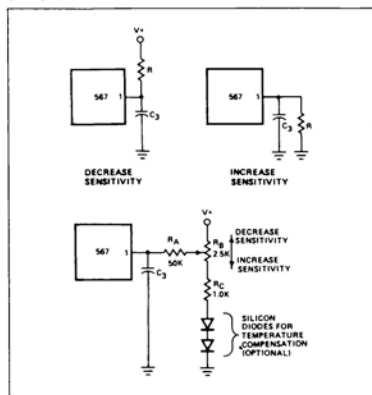
$$C_3 = \frac{260}{f_0} \mu\text{F}$$

in cases where turn-off time can be sacrificed to achieve fast turn-on, the optional sensitivity adjustment circuit can be used to move the quiescent  $C_3$  voltage lower (closer to the threshold voltage). However, sensitivity to beat frequencies, noise and extraneous signals will be increased.

## OPTIONAL CONTROLS

The 567 has been designed so that, for most applications, no external adjustments are required. Certain applications, however, will be greatly facilitated if full advantage is taken of the added control possibilities available through the use of additional external components. In the diagrams given, typical values are suggested where applicable. For best results resistors used, except where noted, should have the same temperature coefficient. Ideally, silicon diodes would be low-resistivity types, such as forward-biased low-voltage zeners or forward-biased transistor base-emitter junctions. However, ordinary low-voltage diodes should be adequate for most applications.

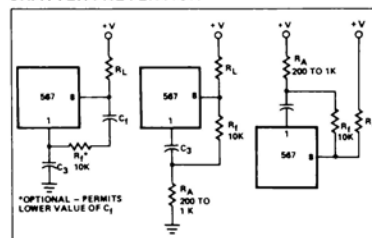
## SENSITIVITY ADJUSTMENT



When operated as a very narrow band detector (less than 8 percent), both  $C_2$  and  $C_3$  are made quite large in order to improve noise and outband signal rejection. This will inevitably slow the response time. If, however, the output stage is biased closer to the threshold level, the turn-on time can be improved. This is accomplished by drawing additional current to terminal 1. Under this condition, the 567 will also give an output for lower-level signals (10m or lower).

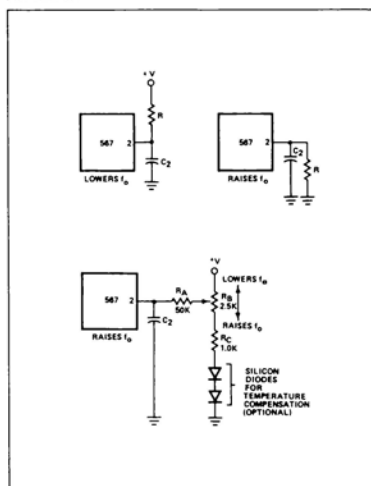
By adding current to terminal 1, the output stage is biased further away from the threshold voltage. This is most useful when, to obtain maximum operating speed,  $C_2$  and  $C_3$  are made very small. Normally, frequencies just outside the detection band could cause false outputs under this condition. By desensitizing the output stage, the outband beat notes do not feed through to the output stage. Since the input level must be somewhat greater when the output stage is made less sensitive, rejection of third harmonics or in-band harmonics (of lower frequency signals) is also improved.

## CHATTER PREVENTION



Chatter occurs in the output stage when  $C_3$  is relatively small, so that the lock transient and the AC components at the quadrature phase detector (lock detector) output cause the output stage to move through its threshold more than once. Many loads, for example lamps and relays, will not respond to the chatter. However, logic may recognize the chatter as a series of outputs. By feeding the output stage output back to its input, (pin 1) the chatter can be eliminated. Three schemes for doing this are given above. All operate by feeding the first output step (either on or off) back to the input, pushing the input past the threshold until the transient conditions are over. It is only necessary to assure that the feedback time constant is not so large as to prevent operation at the highest anticipated speed. Although chatter can always be eliminated by making  $C_3$  large, the feedback circuit will enable faster operation of the 567 by allowing  $C_3$  to be kept small. Note that if the feedback time constant is made quite large, a short burst at the input frequency can be stretched into a long output pulse. This may be useful to drive, for example, stepping relays.

## DETECTION BAND CENTERING (OR SKEW) ADJUSTMENT

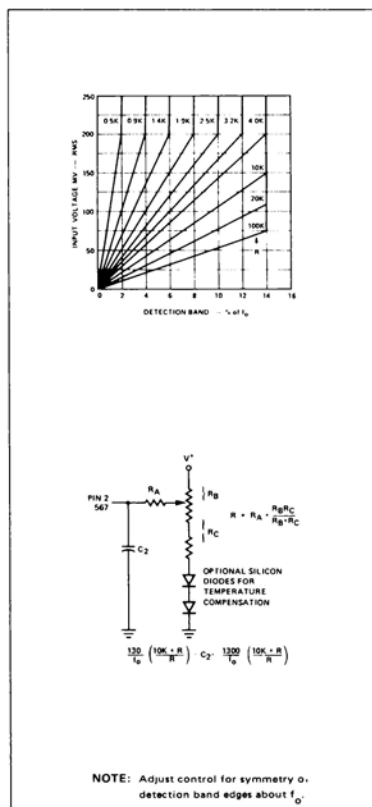


When it is desired to alter the location of the detection band (corresponding to the loop capture range) within the largest detection band (lock range), the circuits shown above can be used. By moving the detection band to one edge of the range, for example, input signal variations will expand the detection band in only one direction. This may prove useful when a strong but undesirable signal is expected on one side or the other of the center frequency. Since  $R_B$  also alters the duty cycle slightly, this method may be used to obtain a precise duty cycle when the 567 is used as an oscillator.



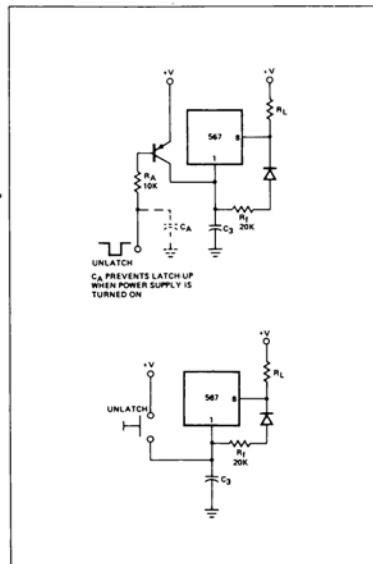
## 567 — TONE DECODER PHASE LOCKED LOOP

## ALTERNATE METHOD OF BANDWIDTH REDUCTION

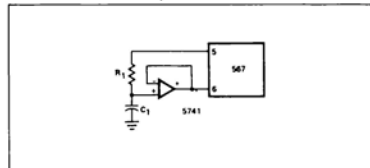


Although a large value of  $C_2$  will reduce the bandwidth, it also reduces the loop damping so as to slow the circuit response time. This may be undesirable. Bandwidth can be reduced by reducing the loop gain. This scheme will improve damping and permit faster operation under narrow-band operation. Note that the reduced impedance level at terminal 2 will require that a larger value of  $C_2$  be used for a given filter cutoff frequency. If more than three 567s are to be used, the  $R_B$ ,  $R_C$  network can be eliminated and the  $R_A$  resistors connected together. A capacitor between this junction and ground may be required to shunt high frequency components.

## OUTPUT LATCHING



To latch the output on after a signal is received, it is necessary to provide a feedback resistor around the output stage (between pins 8 and 1). Pin 1 is pulled up to unlatch the output stage.

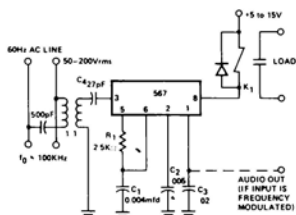
REDUCTION OF  $C_1$  VALUE

For precision, very low-frequency applications, where the value of  $C_1$  becomes large, an overall cost savings may be achieved by inserting a voltage follower between the  $R_1$   $C_1$  junction and pin 6, so as to allow a higher value of  $R_1$  and a lower value of  $C_1$  for a given frequency.

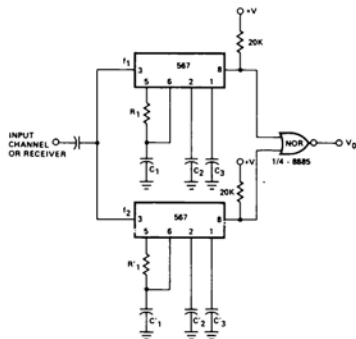
## PROGRAMMING

To change the center frequency, the value of  $R_1$  can be changed with a mechanical or solid state switch, or additional  $C_1$  capacitors may be added by grounding them through saturating npn transistors.

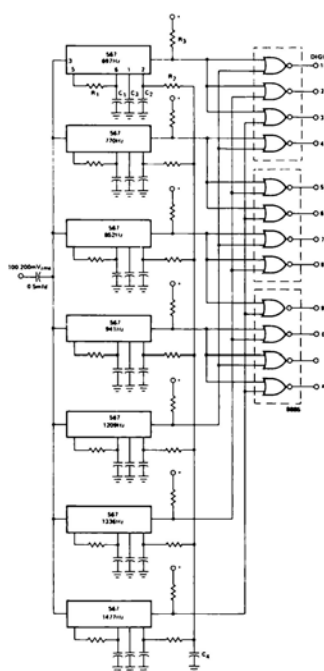
## TYPICAL APPLICATIONS

CARRIER-CURRENT REMOTE CONTROL  
OR INTERCOM

## DUAL-TONE DECODER



1. Resistor and capacitor values chosen for desired frequencies and bandwidth.
2. If  $C_3$  is made large so as to delay turn on of the top 567, decoding of sequential ( $f_1, f_2$ ) tones is possible.

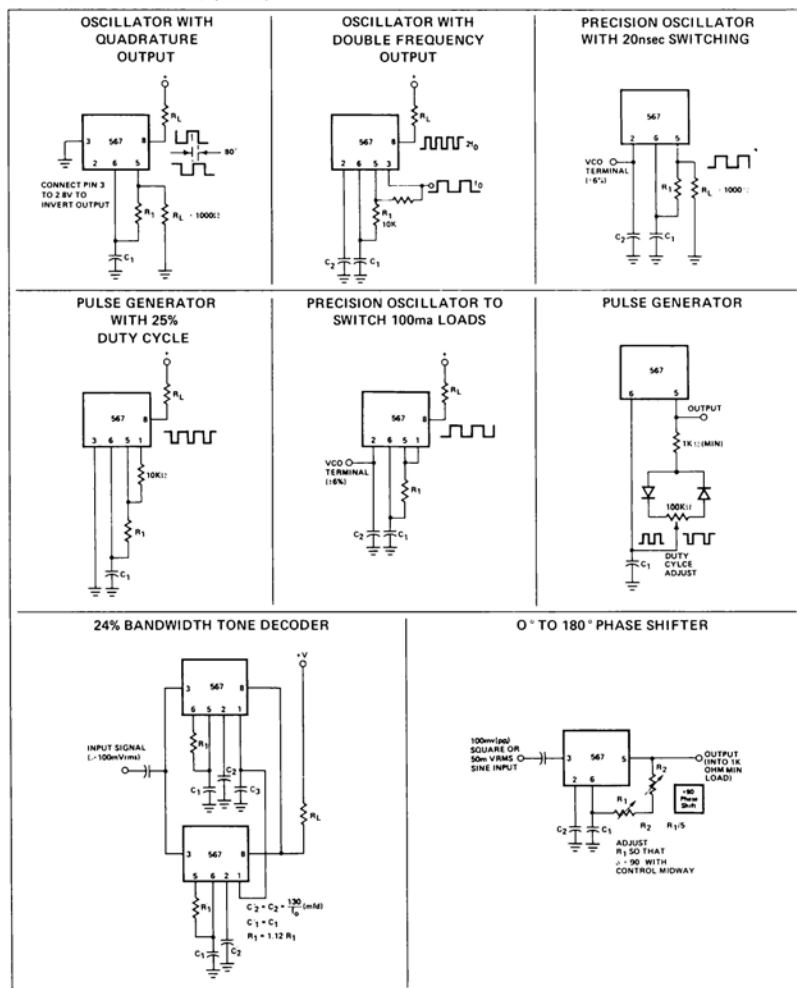
TOUCH-TONE<sup>®</sup> DECODER

## Component Values (Typical)

- $R_1$  6.8 to 15K ohm  
 $R_2$  4.7K ohm  
 $R_3$  20K ohm  
 $C_1$  0.10 mfd  
 $C_2$  1.0 mfd 6V  
 $C_3$  2.2mfd 6V  
 $C_4$  250 6V

## 567 — TONE DECODER PHASE LOCKED LOOP

## TYPICAL APPLICATIONS (Cont'd.)



## CD4046A Types

## COS/MOS Micropower Phase-Locked Loop

The RCA-CD4046A COS/MOS Micropower Phase-Locked Loop (PLL) consists of a low-power, linear voltage-controlled oscillator (VCO) and two different phase comparators having a common signal-input amplifier and a common comparator input. A 5.2-V zener diode is provided for supply regulation if necessary. The CD4046A is supplied in a 16-lead dual-in-line ceramic package (CD4046AD), a 16-lead dual-in-line plastic package (CD4046AE), and a 16-lead flat pack (CD4046AK). It is also available in chip form (CD4046AH).

## VCO Section

The VCO requires one external capacitor C1 and one or two external resistors (R1 or R1 and R2). Resistor R1 and capacitor C1 determine the frequency range of the VCO and resistor R2 enables the VCO to have a frequency offset if required. The high input impedance ( $10^{12}\Omega$ ) of the VCO simplifies the design of low-pass filters by permitting the designer a wide choice of resistor-to-capacitor ratios. In order not to load the low-pass filter, a source-follower output of the VCO input voltage is provided at terminal 10 (DEMODULATED OUTPUT). If this terminal is used, a load resistor ( $R_L$ ) of 10 k $\Omega$  or more should be connected from this terminal to  $V_{SS}$ . If unused this terminal should be left open. The VCO can be connected either directly or through frequency dividers to the comparator input of the phase comparators. A full COS/MOS logic swing is available at the output of the VCO and allows direct coupling to COS/MOS frequency dividers such as the RCA-CD4024, CD4018, CD4020, CD4022, CD4029, and CD4059. One or more CD4018 (Presettable Divide-by-N Counter) or CD4029 (Presettable Up/Down Counter), or CD4059A (Programmable Divide-by-"N" Counter), together with the CD4046A (Phase-Locked Loop) can be used to build a micropower low-frequency synthesizer. A logic 0 on the INHIBIT input "enables" the VCO and the source follower, while a logic 1 "turns off" both to minimize stand-by power consumption.

## Phase Comparators

The phase-comparator signal input (terminal 14) can be direct-coupled provided the signal swing is within COS/MOS logic levels [logic "0"  $\leq 30\%$  ( $V_{DD}-V_{SS}$ ), logic "1"  $\geq 70\%$  ( $V_{DD}-V_{SS}$ )]. For smaller swings the signal must be capacitively coupled to the self-biasing amplifier at the signal input.

Phase comparator I is an exclusive-OR network; it operates analogously to an over-driven balanced mixer. To maximize the lock range, the signal- and comparator-input frequencies must have a 50% duty cycle. With no signal or noise on the signal input, this phase comparator has an average output voltage equal to  $V_{DD}/2$ . The low-pass filter connected to the output of phase comparator I supplies the averaged voltage to the VCO input, and causes the VCO to oscillate at the center frequency ( $f_0$ ).

The frequency range of input signals on which the PLL will lock if it was initially

## Features:

- Very low power consumption: 70  $\mu$ W (typ.) at VCO  $f_0 = 10$  kHz,  $V_{DD} = 5$  V
- Operating frequency range up to 1.2 MHz (typ.) at  $V_{DD} = 10$  V
- Wide supply-voltage range:  $V_{DD} - V_{SS} = 5$  to 15 V
- Low frequency drift: 0.06%/°C (typ.) at  $V_{DD} = 10$  V

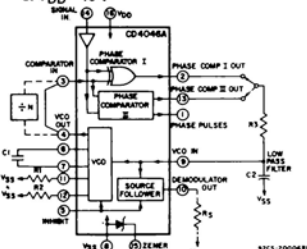


Fig. 1 - COS/MOS phase-locked loop block diagram.

## MAXIMUM RATINGS, Absolute Maximum Values

STORAGE TEMPERATURE RANGE ( $T_{STG}$ )	-65 to +150°C
OPERATING TEMPERATURE RANGE ( $T_A$ )	
PACKAGE TYPES D, F, K, H	-55 to +125°C
PACKAGE TYPES E, Y	-40 to +85°C
DC SUPPLY-VOLTAGE RANGE ( $V_{DD}$ ) (Voltages referenced to $V_{SS}$ Terminal)	-0.5 to +15 V
POWER DISSIPATION PER PACKAGE ( $P_D$ )	
FOR $T_A = -40$ to +60°C (PACKAGE TYPES E, Y)	500 mW
FOR $T_A = +60$ to +85°C (PACKAGE TYPES E, Y)	Derate Linearly at 12 mW/°C to 200 mW
FOR $T_A = -55$ to +100°C (PACKAGE TYPES D, F, K)	500 mW
FOR $T_A = +100$ to +125°C (PACKAGE TYPES D, F, K)	Derate Linearly at 12 mW/°C to 200 mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR FOR $T_A =$ FULL PACKAGE TEMPERATURE RANGE (ALL PACKAGE TYPES)	100 mW
INPUT VOLTAGE RANGE, ALL INPUTS	-0.5 to $V_{DD} + 0.5$ V
LEAD TEMPERATURE (DURING SOLDERING)	+265°C
At distance 1/16 $\pm$ 1/32 inch (1.59 $\pm$ 0.79 mm) from case for 10 s max	

## RECOMMENDED OPERATING CONDITIONS

For maximum reliability, nominal operating conditions should be selected so that operation is always within the following range:

CHARACTERISTIC	LIMITS		UNITS
	Min.	Max.	
Supply Voltage Range (For $T_A =$ Full Package Temperature Range)	3	12	V

out of lock is defined as the frequency capture range ( $2f_L$ ).

The frequency range of input signals on which the loop will stay locked if it was initially in lock is defined as the frequency lock range ( $2f_L$ ). The capture range is  $\leq$  the lock range.

With phase comparator I the range of frequencies over which the PLL can acquire lock (capture range) is dependent on the low-pass-filter characteristics, and can be made as large as the lock range. Phase-com-

- Choice of two phase comparators:
  1. Exclusive-OR network
  2. Edge-controlled memory network with phase-pulse output for lock indication
- High VCO linearity: 1% (typ.)
- VCO inhibit control for ON-OFF keying and ultra-low standby power consumption
- Source-follower output of VCO control input (Demod. output)
- Zener diode to assist supply regulation
- Quiescent current specified to 15 V
- Maximum input leakage current of 1  $\mu$ A at 15 V (full package-temperature range)

## Applications:

- FM demodulator and modulator
- Frequency synthesis and multiplication
- Frequency discriminator
- Data synchronization
- Voltage-to-frequency conversion
- Tone decoding
- FSK - Modems
- Signal conditioning
- (See ICAN-6101) "RCA COS/MOS Phase-Locked Loop - A Versatile Building Block for Micropower Digital and Analog Applications"

## CD4046A Types

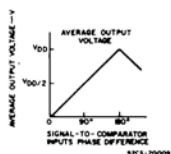
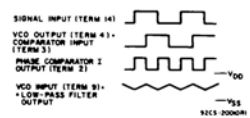


Fig. 2 - Phase-comparator I characteristics at low-pass filter output.

of phase-comparator I. Typical waveforms for a COS/MOS phase-locked-loop employing phase comparator I in locked condition of  $f_0$  is shown in Fig. 3.

Fig. 3 - Typical waveforms for COS/MOS phase-locked loop employing phase comparator I in locked condition of  $f_0$ .

Phase-comparator II is an edge-controlled digital memory network. It consists of four flip-flop stages, control gating, and a three-state output circuit comprising p- and n-type drivers having a common output node. When the p-MOS or n-MOS drivers are ON they pull the output up to  $V_{DD}$  or down to  $V_{SS}$ , respectively. This type of phase-comparator acts only on the positive edges of the signal and comparator inputs. The duty cycles of the signal and comparator inputs are not important since positive transitions control the PLL system utilizing this type of comparator. If the signal-input frequency is higher than the comparator-input frequency, the p-type output driver is maintained ON most of the time, and both the n and p drivers OFF (3 state) the remainder of the time. If the signal-input frequency is lower than the comparator-input frequency, the n-type output driver is maintained ON most of the time, and both the n and p drivers OFF (3 state) the remainder of the time. If the signal- and comparator-input frequencies are the same, but the signal input lags the comparator input in phase, the n-type output driver is maintained ON for a time corresponding to the phase difference. If the signal- and comparator-input frequencies are the same, but the comparator input lags the signal in phase, the p-type output driver is maintained ON for a time corresponding to the phase difference. Subsequently, the capacitor voltage of the low-pass filter connected to this phase comparator is adjusted until the signal and comparator inputs are equal in both phase and frequency. At this stable point both p- and n-type output drivers remain OFF and thus the phase comparator output becomes an open circuit and holds the voltage on the capacitor of the low-pass filter, constant.

ELECTRICAL CHARACTERISTICS at  $T_A = 25^\circ\text{C}$ 

Characteristic	Test Conditions	Limits				Units	
		All Package Types D,E,F,H,K,Y					
		V <sub>O</sub> Volts	V <sub>DD</sub> Volts	Min. Typ. Max.			
Phase Comparator Section							
Operating Supply Voltage, V <sub>DD</sub> - V <sub>SS</sub>	VCO Operation	—	5	—	15	V	
	Comparators only	—	3	—	15		
Total Quiescent Device Current, I <sub>L</sub>	Term 15 open Term 5 at V <sub>DD</sub> Terms 3 & 9 at V <sub>SS</sub>	5	—	25	55	μA	
Term 14 Open		10	—	200	410		
Term 14 at V <sub>SS</sub> or V <sub>DD</sub>		5	—	5	15		
		10	—	25	60		
		15	—	50	500		
Term 14 (SIGNAL IN)	Z <sub>14</sub>	5	1	2	—	MΩ	
Input Impedance,		10	0.2	0.4	—		
		15	—	0.2	—		
AC Coupled Signal Input Voltage Sensitivity* (peak to peak)	See Fig 7	5	—	200	400	mV	
		10	—	400	800		
		15	—	700	—		
DC Coupled Signal Input and Comparator Input Voltage Sensitivity Low Level		5	1.5	2.25	—	V	
		10	3	4.5	—		
		15	4.5	6.75	—		
High Level		V <sub>O</sub> Volts	5	—	2.75	3.5	
			10	—	5.5	7	
			15	—	8.25	—	
Output Drive Current	I <sub>DN</sub>	Phase Comparator	0.5	5	0.43	0.86	—
n Channel (Sink),		I & II Term 2 & 13	0.5	10	1.3	2.5	—
		Phase Pulses	0.5	5	0.23	0.47	—
			0.5	10	0.7	1.4	—
p Channel (Source),	I <sub>DP</sub>	Phase Comparator	4.5	5	-0.3	-0.6	—
		I & II Term 2 & 13	9.5	10	-0.9	-1.8	—
		Phase Pulses	4.5	5	-0.08	-0.16	—
			9.5	10	-0.25	-0.5	—
Input Leakage Current, I <sub>IL</sub> , I <sub>IH</sub> Max.	Any Input	15	—	±10 <sup>-5</sup>	±1	μA	

\* For sine wave, the frequency must be greater than 1 kHz for Phase Comparator II.

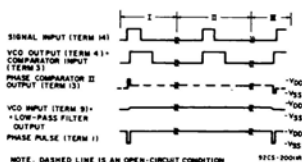


Fig. 4 - Typical waveforms for COS/MOS phase-locked loop employing phase comparator II in locked condition.

Moreover the signal at the "phase pulses" output is a high level which can be used for indicating a locked condition. Thus, for phase comparator II, no phase difference exists between signal and comparator input over the full VCO frequency range. Moreover, the power dissipation due to the low-pass filter is reduced when this type of phase comparator is used because both the p- and n-type output drivers are OFF for most of

the signal input cycle. It should be noted that the PLL lock range for this type of phase comparator is equal to the capture range, independent of the low-pass filter. With no signal present at the signal input, the VCO is adjusted to its lowest frequency for phase comparator II. Fig. 4 shows typical waveforms for a COS/MOS PLL employing phase comparator II in a locked condition.

## CD4046A Types

### DESIGN INFORMATION

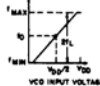

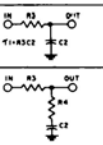
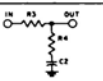
This information is a guide for approximating the values of external components for the CD4046A in a Phase-Locked-Loop system. The selected external components must be within the following ranges:

$$10 \text{ k}\Omega \leq R_1, R_2, R_S \leq 1 \text{ M}\Omega$$

$$C_1 \geq 100 \text{ pF at } V_{DD} \geq 5 \text{ V;}$$

$$C_1 \geq 50 \text{ pF at } V_{DD} \geq 10 \text{ V}$$

In addition to the given design information refer to Fig.5 for  $R_1$ ,  $R_2$ , and  $C_1$  component selections.

Characteristics	Phase Comparator Used	Design Information
VCO Frequency	1	VCO WITHOUT OFFSET $R_2 = \infty$ 
		VCO WITH OFFSET 
For No Signal Input	2	Same as for No.1
	1	VCO will adjust to center frequency, $f_0$
	2	VCO will adjust to lowest operating frequency, $f_{min}$
Frequency Lock Range, $2 f_L$	1	$2 f_L = \text{full VCO frequency range}$ $2 f_L = f_{max} - f_{min}$
	2	Same as for No.1
Frequency Capture Range, $2 f_C$	1	 $(1), (2)$ $2 f_C \approx \frac{1}{\pi} \frac{2\pi f_L}{\tau}$ For $2 f_C$ , see Ref. (2)
Loop Filter Component Selection	1	 For $2 f_C$ , see Ref. (2)
Phase Angle Between Signal and Comparator	1	$90^\circ$ at center frequency ( $f_0$ ) approximating $0^\circ$ and $180^\circ$ at ends of lock-range ( $2 f_L$ )
	2	Always $0^\circ$ in lock

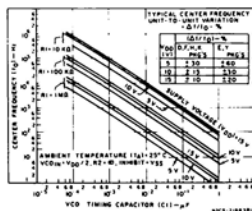


Fig.5(a) - Typical center frequency vs  $C_1$  for  $R_1 = 10 \text{ k}\Omega$ , and  $1 \text{ M}\Omega$  and  $f_0 \sim 1/(R_1 C_1)$ .

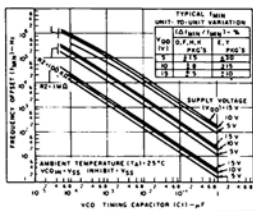


Fig.5(b) - Typical frequency offset vs  $C_1$  for  $R_2 = 10 \text{ k}\Omega$ ,  $100 \text{ k}\Omega$ , and  $1 \text{ M}\Omega$ .

NOTE: Lower frequency values are obtainable if larger values of  $C_1$  than shown in Figs.5(a) and 5(b) are used.

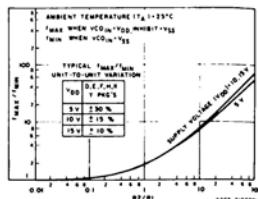


Fig.5(c) - Typical  $f_{max}/f_{min}$  vs  $R_2/R_1$ .

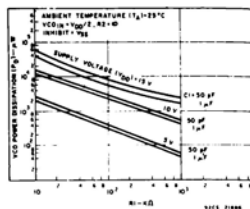


Fig.6(a) - Typical VCO power dissipation at center frequency vs  $R_1$ .

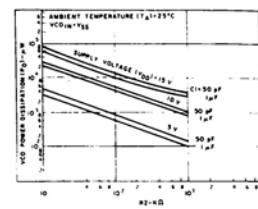


Fig.6(b) - Typical VCO power dissipation at  $f_{min}$  vs  $R_2$ .

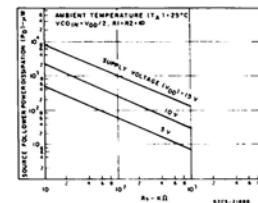


Fig.6(c) - Typical source follower power dissipation vs  $R_S$ .

NOTE: To obtain approximate total power dissipation of PLL system for no-signal input  
 $P_D(\text{Total}) = P_D(f_0) + P_D(f_{MIN}) + P_D(R_S) - \text{Phase Comparator I}$   
 $P_D(\text{Total}) = P_D(f_{MIN}) - \text{Phase Comparator II}$

## CD4046A Types

## DESIGN INFORMATION (Cont'd):

Characteristics	Phase Comperator Used	Design Information	
Locks On Harmonic of Center Frequency	1	Yes	
	2	No	
Signal Input	1	High	
Noise Rejection	2	Low	
VCO Component Selection	1	VCO WITHOUT OFFSET $R_2 = \infty$	VCO WITH OFFSET
		- Given: $f_0$ - Use $f_0$ with Fig 5a to determine R1 and C1	- Given: $f_0$ and $f_L$ - Calculate $f_{min}$ from the equation $f_{min} = f_0 - f_L$ - Use $f_{min}$ with Fig 5b to determine R2 and C1 - Calculate $f_{min}^{max}$ from the equation $f_{min}^{max} = \frac{f_0 + f_L}{f_0 - f_L}$ - Use $f_{min}^{max}$ with Fig 5c to determine ratio R2/R1 to obtain R1
		- Given: $f_{max}$ - Calculate $f_0$ from the equation $f_0 = \frac{f_{max}}{2}$ - Use $f_0$ with Fig 5a to determine R1 and C1	- Given: $f_{min}$ & $f_{max}$ - Use $f_{min}$ with Fig 5b to determine R2 and C1 - Calculate $f_{min}^{max}$ - Use $f_{min}^{max}$ with Fig 5c to determine ratio R2/R1 to obtain R1

For further information, see

(1) F. Gardner, "Phase-Lock Techniques" John Wiley and Sons, New York, 1966

(2) G. S. Moschytz, "Miniaturized RC Filters Using Phase-Locked Loop", BSTJ, May, 1965.

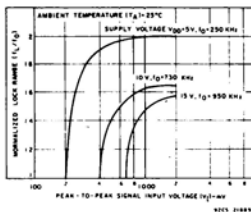


Fig. 7 - Typical lock range vs signal input amplitude.

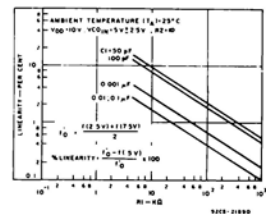
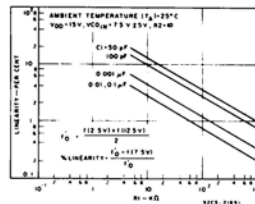


Fig. 8(a) and (b) - Typical VCO linearity vs R1 and C1.

## CD4046A Types

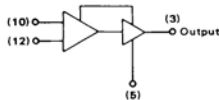
ELECTRICAL CHARACTERISTICS at  $T_A = 25^\circ\text{C}$ 

Characteristic	Test Conditions		Limits			Units			
			All Package Types D,E,F,H,K,Y						
			Min.	Typ.	Max.				
VCO Section									
Operating Supply Voltage V <sub>DD</sub> -V <sub>SS</sub>	As fixed oscillator only		3	—	15	V			
	Phase-lock-loop operation		5	—	15				
Operating Power Dissipation, P <sub>D</sub>	f <sub>o</sub> = 10 kHz R <sub>1</sub> = 1 MΩ R <sub>2</sub> = ∞ VCO <sub>IN</sub> = $\frac{V_{DD}}{2}$		5	—	70	μW			
			10	—	600		—		
			15	—	2400		—		
Maximum Operating Frequency, f <sub>max</sub>	R <sub>1</sub> = 10 kΩ R <sub>2</sub> = ∞ VCO <sub>IN</sub> = V <sub>DD</sub>	C <sub>1</sub> = 100 pF	5	0.25	0.5	MHz			
		C <sub>1</sub> = 50 pF	10	0.6	1.2		—		
			15	—	1.5		—		
Center Frequency (f <sub>o</sub> ) and Frequency Range, f <sub>max</sub> -f <sub>min</sub>		Programmable with external components R <sub>1</sub> , R <sub>2</sub> , and C <sub>1</sub> See Design Information							
Linearity	VCO <sub>IN</sub> = 2.5 V ± 0.3 V, R <sub>1</sub> > 10 kΩ = 5 V ± 2.5 V, R <sub>1</sub> > 400 kΩ = 7.5 V ± 5 V, R <sub>1</sub> = 1 MΩ		5	—	1	—	%		
			10	—	1	—			
			15	—	1	—			
Temperature Frequency Stability*, No Frequency Offset f <sub>MIN</sub> = 0	%ΔC ∝ $\frac{1}{f \cdot V_{DD}}$ R <sub>2</sub> = ∞		5	—	0.12-0.24	—	%		
			10	—	0.04-0.08	—			
			15	—	0.015-0.03	—			
Frequency Offset f <sub>MIN</sub> ≠ 0	%ΔC ∝ $\frac{1}{f \cdot V_{DD}}$		5	—	0.06-0.12	—	%		
			10	—	0.05-0.1	—			
			15	—	0.03-0.06	—			
Input Resistance of VCO <sub>IN</sub> (Term 9), R <sub>I</sub>			5, 10, 15	—	10 <sup>12</sup>	—	Ω		
VCO Output Voltage (Term 4) Low Level, V <sub>OL</sub>	Driving CMOS/MOS-Type Load (e.g. Term 3 Phase Comparator Input)		5, 10, 15	—	—	0.01	V		
High Level, V <sub>OH</sub>			5	4.99	—	—			
			10	9.99	—	—			
		15	14.99	—	—				
VCO Output Duty Cycle			5, 10, 15	—	50	—	%		
VCO Output Transition Times, t <sub>THL</sub> , t <sub>TLH</sub>			V <sub>O</sub> Volts	5 10 15	— — —	75 50 40	150 100 —	ns	
				0.5 0.5	5 10	0.43 1.3	0.86 2.6		— —
				4.5 9.5	5 10	-0.3 -0.9	-0.6 -1.8		— —
Source-Follower Output (Demodulated Output): Offset Voltage (VCO <sub>IN</sub> -V <sub>DEM</sub> )	R <sub>S</sub> > 10 kΩ		5, 10 15	— —	1.5 1.5	2.2 —	V		
Linearity	R <sub>S</sub> > 50 kΩ	VCO <sub>IN</sub> = 2.5 ± 0.3 V	5	—	0.1	—	%		
		= 5 ± 2.5 V	10	—	0.6	—			
		= 7.5 ± 5 V	15	—	0.8	—			
Zener Diode Voltage (V <sub>Z</sub> ): CD4046AD, AF, AK CD4046AE, AY		I <sub>Z</sub> = 50 μA		4.7 4.5	5.2 5.2	5.7 6.1	V		
Zener Dynamic Resistance, R <sub>Z</sub>	I <sub>Z</sub> = 1 mA			—	100	—	Ω		

\* Positive coefficient.



# MC1648 MC1648M



Numbers in parentheses denote pin number for F package (Case 607) L package (Case 632), and P package (Case 646).

Input Capacitance = 6 pF typ  
Maximum Series Resistance for L (External Inductance) = 50  $\Omega$  typ  
Power Dissipation = 150 mW typ/pkg (+5.0 Vdc Supply)  
Maximum Output Frequency = 225 MHz typ

The MC1648 is an emitter-coupled oscillator, constructed on a single monolithic silicon chip. Output levels are compatible with MECL III logic levels. The oscillator requires an external parallel tank circuit consisting of the inductor (L) and capacitor (C).

A varactor diode may be incorporated into the tank circuit to provide a voltage variable input for the oscillator (VCO). The MC1648 was designed for use in the Motorola Phase-Locked Loop shown in Figure 9. This device may also be used in many other applications requiring a fixed or variable frequency clock source of high spectral purity (See Figure 2).

The MC1648 may be operated from a +5.0 Vdc supply or a -5.2 Vdc supply, depending upon system requirements.

SUPPLY VOLTAGE	GND PINS	SUPPLY PINS
+5.0 Vdc	7, 8	1, 14
-5.2 Vdc	1, 14	7, 8

FIGURE 1 - CIRCUIT SCHEMATIC

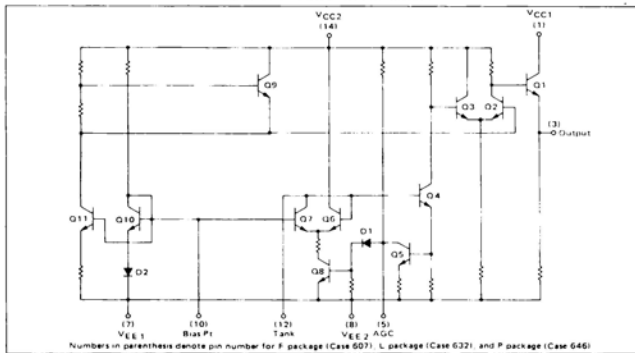
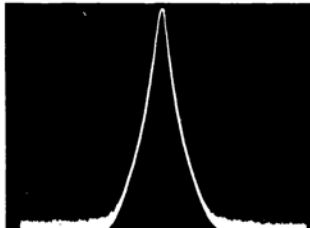
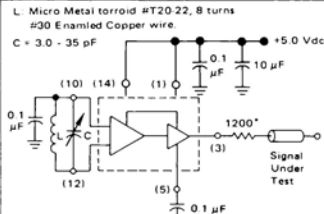


FIGURE 2 - SPECTRAL PURITY OF SIGNAL AT OUTPUT



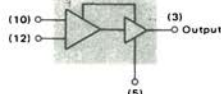
B.W. = 10 kHz  
Center Frequency = 100 MHz  
Scan Width = 50 kHz/div  
Vertical Scale = 10 dB/div



\*The 1200 ohm resistor and the scope termination impedance constitute a 25  $\Omega$  attenuator probe. Coax shall be CT-070-50 or equivalent.

## ELECTRICAL CHARACTERISTICS

Supply Voltage = +5.0 volts



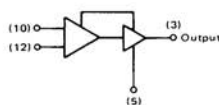
Characteristics	Symbol	Pin Under Test	MC1648 Test Limits						TEST VOLTAGE/CURRENT APPLIED TO PINS LISTED BELOW						V <sub>EE</sub> (Gnd)		
			-30°C		+25°C		+85°C		+10 V		+1.20 V		5.0 V			5.0 V	
			Min	Max	Min	Max	Min	Max	Unit	V <sub>EE</sub> max	V <sub>EE</sub> min	V <sub>CC</sub>	I <sub>L</sub>	Unit		V <sub>EE</sub> (Gnd)	
Power Supply Drain Current	I <sub>g</sub>	8															
Logic 1 Output Voltage	V <sub>OH</sub>	3	3.955	4.185	4.04	4.25	4.11	4.36	V <sub>OH</sub>	12	1.14	3	F.8				
Logic 0 Output Voltage	V <sub>OL</sub>	3	3.16	3.40	3.30	3.43	3.22	3.475	V <sub>OL</sub>	12	1.14	3	F.8				
Bias Voltage	V <sub>BIAS</sub>	10	1.60	1.90	1.45	1.75	1.30	1.60	V <sub>BIAS</sub>	12	1.14	3	F.8				
Peak to Peak Tank Voltage	V <sub>DP</sub>	12							mV								
Output Duty Cycle	V <sub>DC</sub>	3															
Operation Frequency	f <sub>max</sub>								MHz								
			225	200	200	225	225	225									

\*This measurement guarantees the dc potential at the bias point for purposes of incorporating a varactor tuning diode at this point.

V<sub>DP</sub> output is typically 500 mV @ 275 MHz.

## ELECTRICAL CHARACTERISTICS

Supply Voltage = -5.2 volts

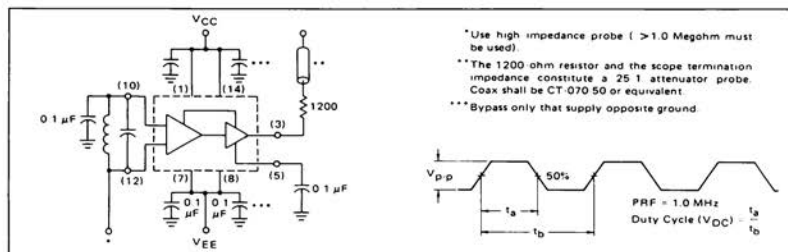


		MC1648 Test Limits										-85°C					TEST VOLTAGE/CURRENT APPLIED TO PINS LISTED BELOW					V <sub>CC</sub> (Gnd)
		Pin Under Test		-30°C		-25°C		+25°C		+85°C		+85°C										
Characteristic	Symbol	Test	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Unit	V <sub>IN</sub> max	V <sub>IL</sub> min	V <sub>EE</sub>	I <sub>L</sub>	I <sub>L</sub>				
Power Supply Drain Current	I <sub>g</sub>	8											mA					1.14				
Logic 1 Output Voltage	V <sub>OH</sub>	3	-1.045	-0.815	-0.960	-0.750	-0.890	-0.640					Vdc	12	7.8	3		1.14				
Logic 0 Output Voltage	V <sub>OL</sub>	3	-1.890	-1.650	-1.850	-1.620	-1.830	-1.575					Vdc	12	7.8	3		1.14				
Bias Voltage	V <sub>BIAS</sub>	10	-3.60	-3.30	-3.75	-3.45	-3.90	-3.60					Vdc	12	7.8			1.14				
Peak to Peak Tank Voltage	V <sub>DP</sub>	12											mV			7.8	3	1.14				
Output Duty Cycle	V <sub>DC</sub>	3											%			7.8	3	1.14				
Operation Frequency	f <sub>max</sub>				225		200	225		225			MHz			7.8	3	1.14				

\*This measurement guarantees the dc potential at the bias point for purposes of incorporating a varactor tuning diode at this point.

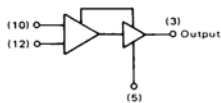
V<sub>DP</sub> output is typically 500 mV @ 275 MHz.

FIGURE 3 - TEST CIRCUIT AND WAVEFORMS



## ELECTRICAL CHARACTERISTICS

Supply Voltage = +5.0 volts

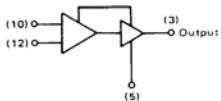


MC1648M Test Limits										TEST VOLTAGE/CURRENT VALUES				
Characteristic	Symbol	Pin Under Test							Unit	TEST VOLTAGE/CURRENT APPLIED TO PINS LISTED BELOW				
			-55°C		+25°C		+125°C			V <sub>IHmax</sub>	V <sub>ILmin</sub>	V <sub>CC</sub>	I <sub>L</sub>	V <sub>EE</sub> (Gnd)
Power Supply Drain Current	I <sub>g</sub>	8	Min	Max	Min	Max	Min	Max	mAdc	-	-	1.14	-	7.8
Logic "1" Output Voltage	V <sub>OH</sub>	3	3.92	4.13	4.04	4.25	4.16	4.40	Vdc	-	12	1.14	3	7.8
Logic "0" Output Voltage	V <sub>OL</sub>	3	3.13	3.38	3.20	3.43	3.23	3.51	Vdc	12	-	1.14	3	7.8
Bias Voltage	V <sub>Bias</sub> *	10	1.67	1.97	1.45	1.75	1.20	1.50	Vdc	-	12	1.14	-	7.8
Peak-to-Peak Tank Voltage	V <sub>p-p</sub>	12	Min	Typ	Max	Min	Typ	Max	mV	See Figure 3	-	1.14	3	7.8
Output Duty Cycle	V <sub>DC</sub>	3	-	-	-	50	-	-	%	See Figure 3	-	1.14	3	7.8
Oscillation Frequency	f <sub>max</sub>	-	-	225	-	200	225	-	MHz	See Figure 3	-	1.14	3	7.8

\*This measurement guarantees the dc potential at the bias point for purposes of incorporating a varactor tuning diode at this point.  
V<sub>p-p</sub> output is typically 500 mV @ 225 MHz.

## ELECTRICAL CHARACTERISTICS

Supply Voltage = -5.2 volts



Supply Voltage = -5.2 volts

(10)   
 (12)   
 (13) Output   
 (5)

		TEST VOLTAGE/CURRENT VALUES			
		(Volts)			mAde
Temperature	①Test	V <sub>IHmax</sub>	V <sub>ILmin</sub>	VEE	I <sub>L</sub>
-55°C		-3.13	-3.63	-5.2	-5.0
+25°C		-3.35	-3.85	-5.2	-5.0
+125°C		-3.60	-4.10	-5.2	-5.0

MC1648M Test Limits										TEST VOLTAGE/CURRENT APPLIED TO PINS LISTED BELOW				
Characteristic	Symbol	Pin Under Test							Unit					
			-55°C		+25°C		+125°C			V <sub>IHmax</sub>	V <sub>ILmin</sub>	VEE	I <sub>L</sub>	V <sub>CC</sub> (Gnd)
			Min	Max	Min	Max	Min	Max						
Power Supply Drain Current	I <sub>g</sub>	8	—	—	—	—	41	—	mAdc	—	—	7.8	—	1.14
Logic "1" Output Voltage	V <sub>OH</sub>	3	-1.080	-0.870	-0.960	-0.750	-0.840	-0.600	Vdc	—	12	7.8	3	1.14
Logic "0" Output Voltage	V <sub>OL</sub>	3	-1.920	-1.670	-1.850	-1.620	-1.820	-1.540	Vdc	12	—	7.8	3	1.14
Bias Voltage	V <sub>Bias</sub> *	10	-3.53	-3.23	-3.75	-3.45	-4.00	-3.70	Vdc	—	12	7.8	—	1.14
			Min	Typ	Max	Min	Typ	Max						
Peak-to-Peak Tank Voltage	V <sub>p-p</sub>	12	—	—	—	400	—	—	mV	See Figure 3	—	7.8	3	1.14
Output Duty Cycle	V <sub>DC</sub>	3	—	—	—	50	—	—	%	See Figure 3	—	7.8	3	1.14
Oscillation Frequency	f <sub>max</sub>	—	—	225	—	200	225	—	MHz	See Figure 3	—	7.8	3	1.14

\*This measurement guarantees the dc potential at the bias point for purposes of incorporating a varactor tuning diode at this point.  
V<sub>p-p</sub> output is typically 500 mV @ 225 MHz.

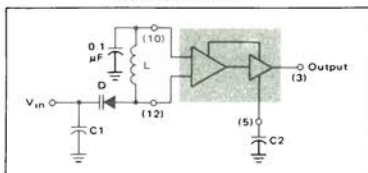
## OPERATING CHARACTERISTICS

Figure 1 illustrates the circuit schematic for the MC1648. The oscillator incorporates positive feedback by coupling the base of transistor Q6 to the collector of Q7. An automatic gain control (AGC) is incorporated to limit the current through the emitter-coupled pair of transistors (Q6 and Q7) and allow optimum frequency response of the oscillator.

In order to maintain the high Q of the oscillator, and provide high spectral purity at the output, transistor Q4 is used to translate the oscillator signal to the output differential pair Q2 and Q3. Q2 and Q3, in conjunction with output transistor Q1, provide a highly buffered output which produces a square wave. Transistors Q9 thru Q11 provide the bias drive for the oscillator and output buffer. Figure 2 indicates the high spectral purity of the oscillator output (pin 3).

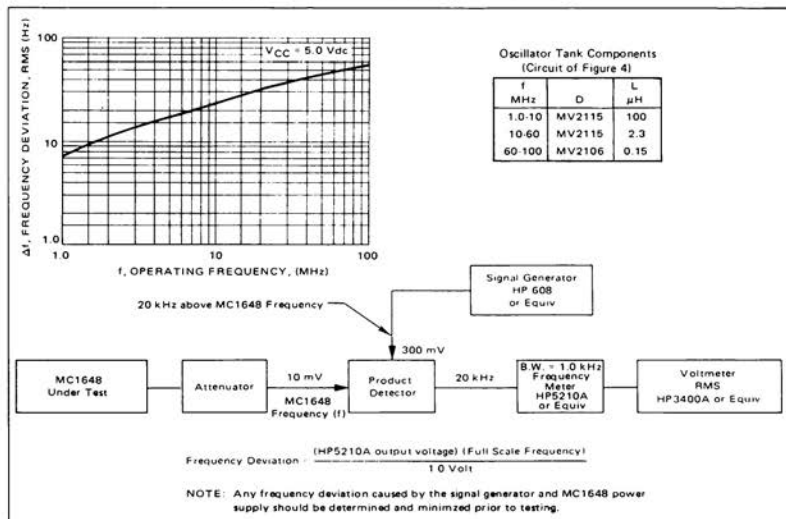
When operating the oscillator in the voltage controlled mode (Figure 4), it should be noted that the cathode of the varactor diode (D) should be biased at least 2 V<sub>BE</sub> above V<sub>EE</sub> ( $\approx 1.4$  V for positive supply operation).

FIGURE 4 — THE MC1648 OPERATING IN THE VOLTAGE CONTROLLED MODE



When the MC1648 is used with a constant dc voltage to the varactor diode, the output frequency will vary slightly because of internal noise. This variation is plotted versus operating frequency in Figure 5.

FIGURE 5 — NOISE DEVIATION TEST CIRCUIT AND WAVEFORM



TRANSFER CHARACTERISTICS IN THE VOLTAGE CONTROLLED MODE  
USING EXTERNAL VARACTOR DIODE AND COIL.  $T_A = 25^\circ\text{C}$

FIGURE 6

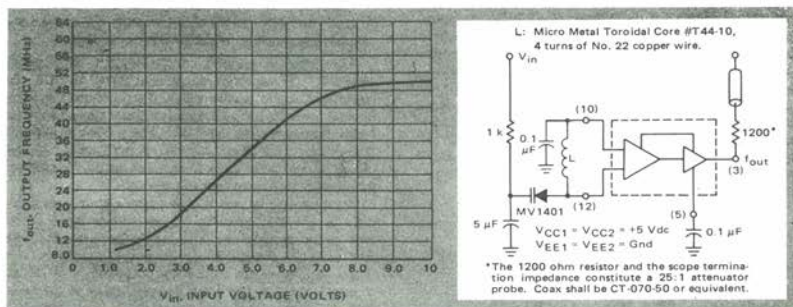


FIGURE 7

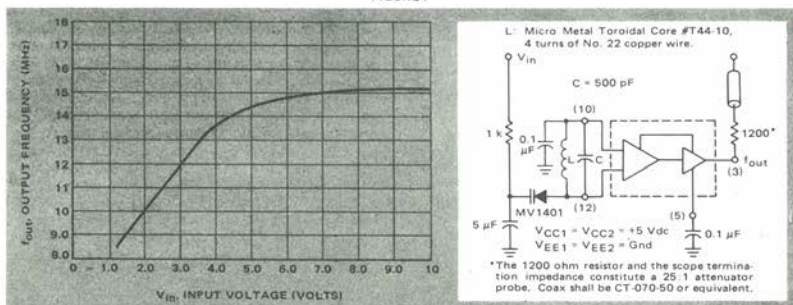
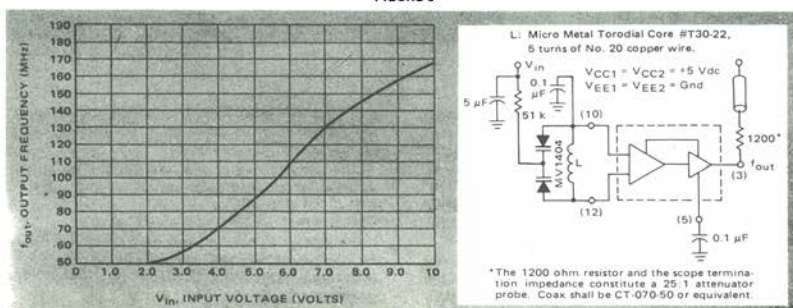


FIGURE 8



Typical transfer characteristics for the oscillator in the voltage controlled mode are shown in Figures 6, 7 and 8. Figures 6 and 8 show transfer characteristics employing only the capacitance of the varactor diode (plus the input capacitance of the oscillator, 6 pF typical). Figure 7 illustrates the oscillator operating in a voltage controlled mode with the output frequency range limited. This is achieved by adding a capacitor in parallel with the tank circuit as shown. The 1 k $\Omega$  resistor in Figures 6 and 7 is used to protect the varactor diode during testing. It is not necessary as long as the dc input voltage does not cause the diode to become forward biased. The larger-valued resistor (51 k $\Omega$ ) in Figure 8 is required to provide isolation for the high-impedance junctions of the two varactor diodes.

The tuning range of the oscillator in the voltage controlled mode may be calculated as:

$$\frac{f_{\max}}{f_{\min}} = \frac{\sqrt{C_D(\max) + C_S}}{\sqrt{C_D(\min) + C_S}}$$

$$\text{where } f_{\min} = \frac{1}{2\pi \sqrt{L(C_D(\max) + C_S)}}$$

$C_S$  = shunt capacitance (input plus external capacitance).

$C_D$  = varactor capacitance as a function of bias voltage.

Good RF and low-frequency bypassing is necessary on the power supply pins (see Figure 2).

Capacitors (C1 and C2 of Figure 4) should be used to bypass the AGC point and the VCO input (varactor diode), guaranteeing only dc levels at these points.

For output frequency operation between 1 MHz and 50 MHz a 0.1  $\mu$ F capacitor is sufficient for C1 and C2. At higher frequencies, smaller values of capacitance should be used; at lower frequencies, larger values of capacitance. At higher frequencies the value of bypass capacitors depends directly upon the physical layout of the system. All bypassing should be as close to the package pins as possible to minimize unwanted lead inductance.

The peak-to-peak swing of the tank circuit is set internally by the AGC circuitry. Since voltage swing of the tank circuit provides the drive for the output buffer, the AGC potential directly affects the output waveform. If it is desired to have a sine wave at the output of the MC1648, a series resistor is tied from the AGC point to the most negative power potential (ground if +5.0 volt supply is used, -5.2 volts if a negative supply is used) as shown in Figure 10.

At frequencies above 100 MHz typ, it may be desirable to increase the tank circuit peak-to-peak voltage in order to shape the signal at the output of the MC1648. This is accomplished by tying a series resistor (1 k $\Omega$  minimum) from the AGC to the most positive power potential (+5.0 volts if a +5.0 volt supply is used, ground if a -5.2 volt supply is used). Figure 11 illustrates this principle.

## APPLICATIONS INFORMATION

The phase locked loop shown in Figure 9 illustrates the use of the MC1648 as a voltage controlled oscillator. The figure illustrates a frequency synthesizer useful in tuners for FM broadcast, general aviation, maritime and land-mobile communications, amateur and CB receivers. The system operates from a single +5.0 Vdc supply, and requires no internal translation, since all components are compatible.

Frequency generation of this type offers the advantages of single crystal operation, simple channel selection, and elimination of special circuitry to prevent harmonic lock-up. Additional features include dc digital switching (pref-

erable over RF switching with a multiple crystal system), and a broad range of tuning (up to 150 MHz, the range being set by the varactor diode).

The output frequency of the synthesizer loop is determined by the reference frequency and the number programmed at the programmable counter;  $f_{\text{OUT}} = N f_{\text{REF}}$ . The channel spacing is equal to frequency ( $f_{\text{REF}}$ ).

For additional information on applications and designs for phase locked-loops and digital frequency synthesizers, see Motorola Application Notes AN-532A, AN-535, AN-553, AN-564 or AN-594.

FIGURE 9 – TYPICAL FREQUENCY SYNTHESIZER APPLICATION

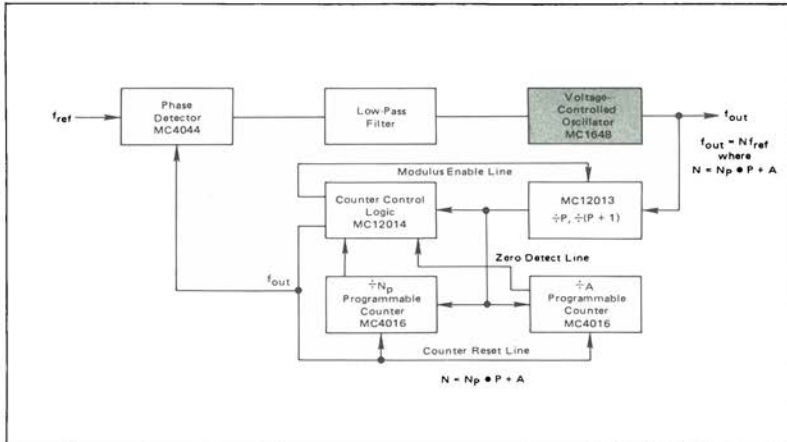


Figure 10 shows the MC1648 in the variable frequency mode operating from a +5.0 Vdc supply. To obtain a sine wave at the output, a resistor is added from the AGC circuit (pin 5) to VEE.

Figure 11 shows the MC1648 in the variable frequency mode operating from a +5.0 Vdc supply. To extend the useful frequency range of the device a resistor is added to the AGC circuit at pin 5 (1 kohm minimum).

Figure 12 shows the MC1648 operating from +5.0 Vdc and +9.0 Vdc power supplies. This permits a higher voltage swing and higher output power than is possible from the MECL output (pin 3). Plots of output power versus total collector load resistance at pin 1 are given in Figures 13 and 14 for 100 MHz and 10 MHz operation. The total collector load includes R in parallel with  $R_p$  of L1 and C1 at resonance. The optimum value for R at 100 MHz is approximately 850 ohms.

FIGURE 10 – METHOD OF OBTAINING A SINE-WAVE OUTPUT

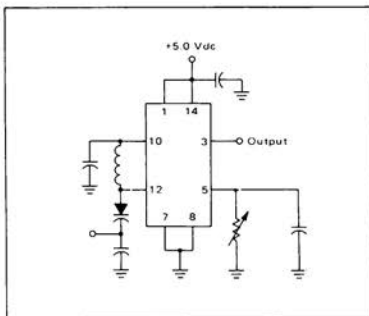


FIGURE 11 – METHOD OF EXTENDING THE USEFUL FREQUENCY RANGE OF THE MC1648

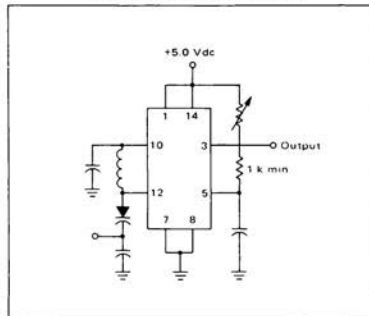




FIGURE 12 — CIRCUIT SCHEMATIC USED FOR COLLECTOR OUTPUT OPERATION

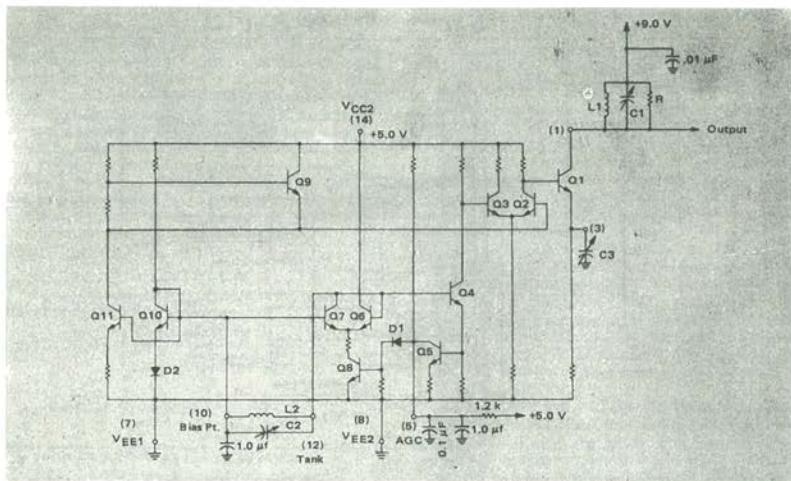


FIGURE 13 – POWER OUTPUT versus COLLECTOR LOAD

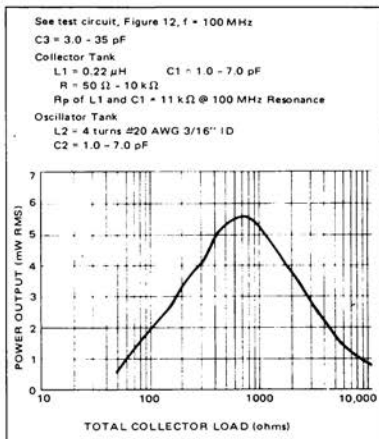
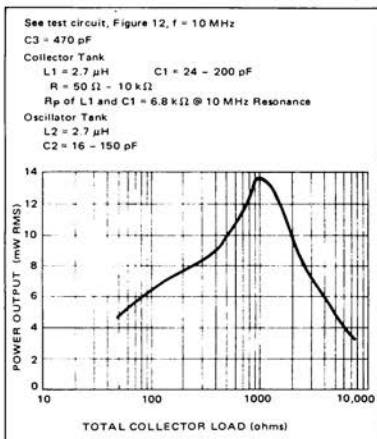


FIGURE 14 — POWER OUTPUT versus COLLECTOR LOAD



Circuit diagrams utilizing Motorola products are included as a means of illustrating typical semiconductor applications. Consequently, complete information sufficient for construction purposes is not necessarily given. The information has been carefully checked and

is believed to be entirely reliable. However, no responsibility is assumed for inaccuracies. Furthermore, such information does not convey to the purchaser of the semiconductor devices described any license under the patent rights of Motorola Inc. or others.



**MOTOROLA Semiconductor Products Inc.**

BOX 20912 • PHOENIX, ARIZONA 85036 • A SUBSIDIARY OF MOTOROLA INC



## MC4324 • MC4024

The MC4324/4024 consists of two independent voltage-controlled multivibrators with output buffers. Variation of the output frequency over a 3.5-to-1 range is guaranteed with an input dc control voltage of 1.0 to 5.0 voltage.

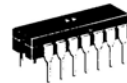
Operating frequency is specified at 25 MHz at 25°C. Operation to 15 MHz is possible over the specified temperature range. For higher frequency requirements, see the MC1648 (200 MHz) or the MC1658 (125 MHz) data sheet.

This device was designed specifically for use in phase-locked loops for digital frequency control. It can also be used in other applications requiring a voltage-controlled frequency, or as a stable fixed frequency oscillator (3.0 MHz to 15 MHz) by replacing the external control capacitor with a crystal.

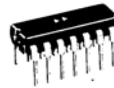
- Maximum Operating Frequency = 25 MHz Guaranteed @ 25°C
- Power Dissipation = 150 mW typ/pkg
- Output Loading Factor = 7



F SUFFIX  
CERAMIC PACKAGE  
CASE 607



L SUFFIX  
CERAMIC PACKAGE  
CASE 632  
(TO 110)



P SUFFIX  
PLASTIC PACKAGE  
CASE 646  
(MC4024 only)

### TYPICAL APPLICATIONS

FIGURE 1 – ASTABLE MULTIVIBRATOR

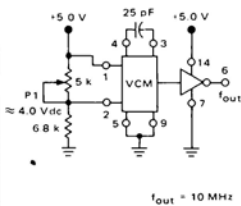


FIGURE 2 – CRYSTAL CONTROLLED MULTIVIBRATOR

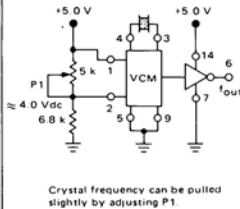


FIGURE 3 – VOLTAGE-CONTROLLED MULTIVIBRATOR

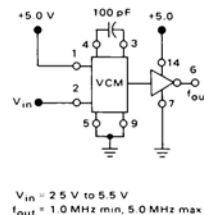
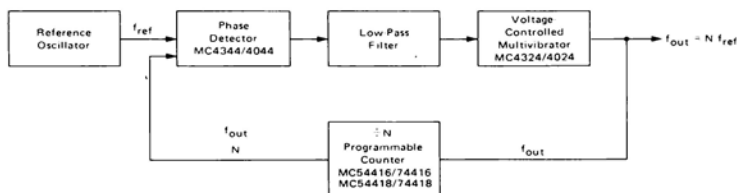


FIGURE 4 – PHASE-LOCKED, FREQUENCY SYNTHESIZER LOOP



## ELECTRICAL CHARACTERISTICS

X1, X2  
4pF ± 0.3

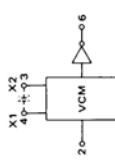
VCC: VCM = 1.13  
Output Buffer = 14

Gnd: VCM = 5.9

Output Buffer = 7

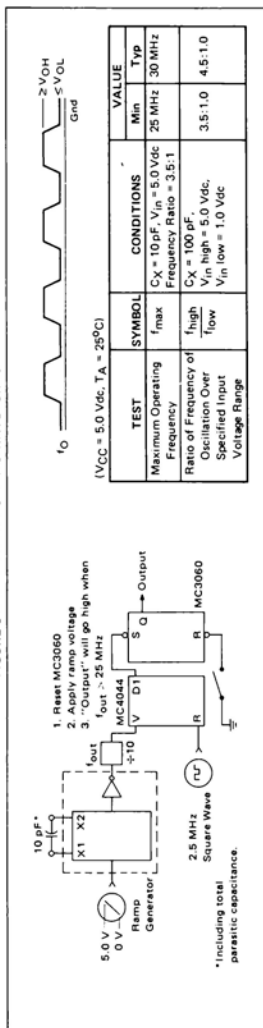
External Capacitor for

Frequency Range Determination



Characteristic		Pin Under Test		TEST CURRENT/VOLTAGE VALUES											
				mA						Vcm					
Symbol	Unit	MC4324 Test Limits						MC4024 Test Limits						VCH	
		-55°C	+25°C	+125°C	0°C	+25°C	+75°C	-55°C	+25°C	+75°C	0°C	+25°C	+75°C	VCH	VCH
Input Forward Current	I <sub>in</sub>	2	100	100	100	100	100	2	100	100	100	100	100	14	5.9
Output Voltage	VOL	6	0.4	0.4	0.4	0.4	0.4	6	0.4	0.4	0.4	0.4	0.4	14	5.9
Short-Circuit Current	I <sub>OS</sub>	6	2.4	2.4	2.4	2.5	2.5	6	2.4	2.5	2.5	2.5	2.5	14	5.9
Power Requirements (Total Device)	I <sub>CC</sub>	6	2.4	2.4	2.4	2.5	2.5	6	2.4	2.5	2.5	2.5	2.5	14	5.9
Power Supply Drain	I <sub>CC</sub>	6	2.4	2.4	2.4	2.5	2.5	6	2.4	2.5	2.5	2.5	2.5	14	5.9

FIGURE 5 - AC TEST CIRCUIT AND WAVEFORMS



## MAXIMUM RATINGS

Rating		Value	Unit
Supply Operating Voltage Range	MC4324 MC4024	4.5 to 5.5 4.75 to 5.25	Vdc
Supply Voltage		+7.0	Vdc
Input Voltage		+5.5	Vdc
Output Voltage		+5.5	Vdc
Operating Temperature Range	MC4324 MC4024	-55 to +125 0 to +75	°C
Storage Temperature Range	Ceramic Package Plastic Package	-65 to +150 -55 to +125	°C
Maximum Junction Temperature	MC4324 MC4024	+175 +150	°C
Thermal Resistance - Junction To Case ( $\theta_{JC}$ )			°C/mW
	Flat Ceramic Package	0.06	
	Dual In-Line Ceramic Package	0.05	
	Plastic Package	0.07	
Thermal Resistance - Junction To Ambient ( $\theta_{JA}$ )			°C/mW
	Flat Ceramic Package	0.21	
	Dual In-Line Ceramic Package	0.15	
	Plastic Package	0.15	

FIGURE 6 - CIRCUIT SCHEMATIC

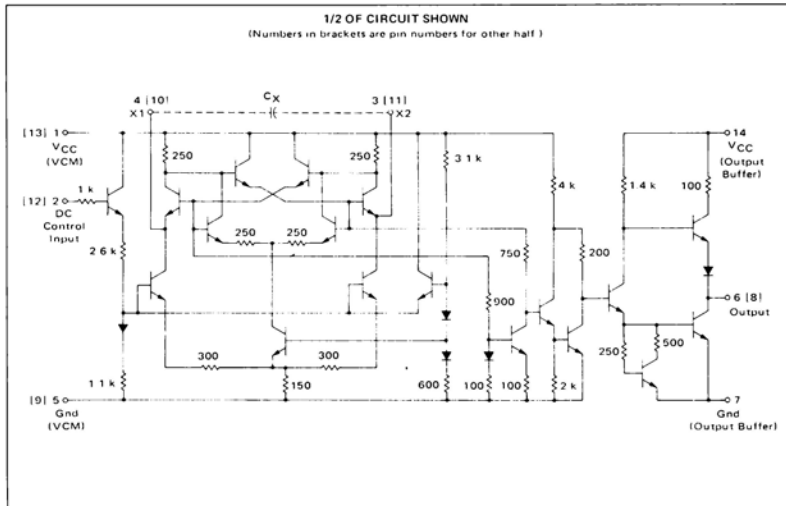


FIGURE 7 – FREQUENCY-CAPACITANCE PRODUCT

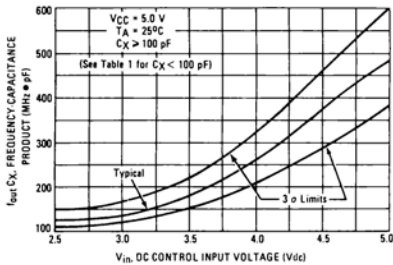


FIGURE 8 – FREQUENCY-VOLTAGE GAIN CHARACTERISTICS

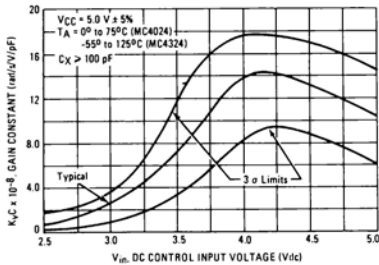


FIGURE 9 – TYPICAL FREQUENCY DEVIATION versus SUPPLY VOLTAGE

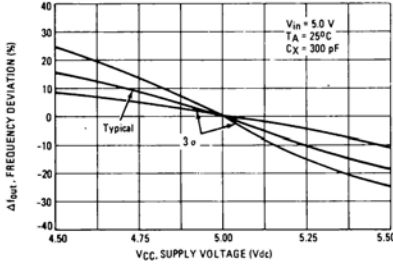


FIGURE 10 – TYPICAL FREQUENCY DEVIATION versus SUPPLY VOLTAGE

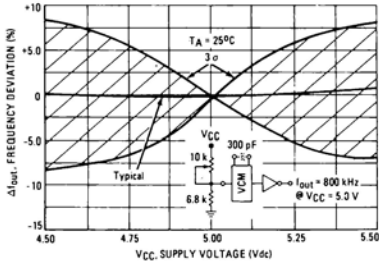


FIGURE 11 – FREQUENCY DEVIATION versus AMBIENT TEMPERATURE

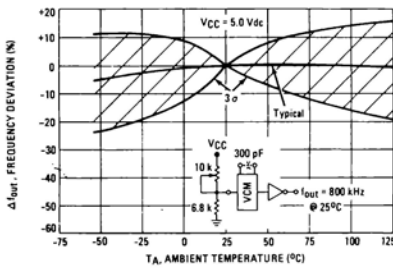
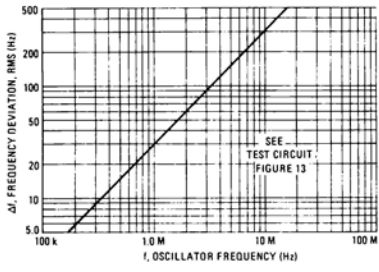
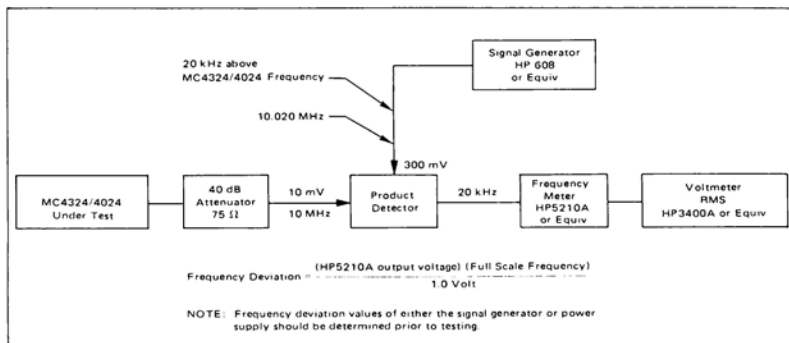


FIGURE 12 – RMS NOISE DEVIATION versus OSCILLATOR FREQUENCY



NOTE: Curves labeled as 3 σ limits denote that 99.7% of the devices tested fell within these limits.

FIGURE 13 – NOISE DEVIATION TEST CIRCUIT



## APPLICATIONS INFORMATION

## Suggested Design Practices

Three power supply and three ground connections are provided in this circuit (each multivibrator has separate power supply and ground connections, and the output buffers have common power supply and ground pins). This provides isolation between VCM's and minimizes the effect of output buffer transients on the multivibrators in critical applications. The separation of power supply and ground lines also provides the capability of disabling one VCM by disconnecting its  $V_{CC}$  pin. However, all ground lines must always be connected to insure substrate grounding and proper isolation.

General design rules are:

1. Ground pins 5, 7, and 9 for all applications, including those where only one VCM is used.
2. Use capacitors with less than 50 nA leakage at plus and minus 3.0 volts. Capacitance values of 15 pF or greater are acceptable.
3. When operated in the free running mode, the minimum voltage applied to the DC Control input should be 60% of  $V_{CC}$  for good stability. The maximum voltage at this input should be  $V_{CC} + 0.5$  volt.
4. When used in a phase-locked loop, the filter design should have a minimum DC Control input voltage of 1.0 volt and a maximum voltage of  $V_{CC} + 0.5$  volt. The maximum restriction may be waived if the output impedance of the driving device is such that it will not source more than 10 mA at a voltage of  $V_{CC} + 0.5$  volt.
5. The power supply for this device should be bypassed with a good quality RF-type capacitor of 500 to

1000 pF. Bypass capacitor lead lengths should be kept as short as possible. For best results, power supply voltage should be maintained as close to +5.0 V as possible. Under no conditions should the design require operation with a power supply voltage outside the range of 5.0 volts  $\pm$  10%.

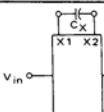
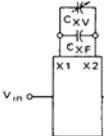
#### External Control Capacitor ( $C_X$ ) Determination (See Table 1)

The operating frequency range of this multivibrator is controlled by the value of an external capacitor that is connected between X1 and X2. A tuning ratio of 3.5-to-1 and a maximum frequency of 25 MHz are guaranteed under ideal conditions ( $V_{CC} = 5.0$  volts,  $T_A = 25^\circ\text{C}$ ). Under actual operating conditions, variations in supply voltage, ambient temperature, and internal component tolerances limit the tuning ratio (see Figures 7 thru 12). An improvement in tuning ratio can be achieved by providing a variable tuning capacitor to facilitate initial alignment of the circuit.

Figures 7 through 11 show typical and suggested design limit information for important VCM characteristics. The suggested design limits are based on operation over the specified temperature range with a supply voltage of 5.0 volts  $\pm 5\%$  unless otherwise noted. They include a safety factor of three times the estimated standard deviation.

Figures 7 and 8 provide data for any external control capacitor value greater than 100 pF. With smaller capacitor values, the curves are effectively moved downward. For example, a typical curve of frequency versus control voltage would be very nearly identical to the lower suggested

TABLE 1 – EXTERNAL CONTROL CAPACITOR VALUE DETERMINATION

CONFIGURATION	T <sub>A</sub>	V <sub>CC</sub>	VALUES OF K				
			K1	K2	K3	K4	K5
 <p>With <math>C_X = \frac{K1}{f_{OH}} \cdot .5</math>, <math>f_{OL} = \frac{K2}{C_X}</math></p>	25°C ±3°C	5.0 V	385	150	600	110	1.0
		5.0 V ±5%	325	175	680	125	1.14
		5.0 V ±10%	290	190	750	140	1.25
 <p>Choose <math>C_{XF}</math> and <math>C_{XV}</math> such that <math>C_X</math> can be adjusted to:</p> $\frac{K1}{f_{OH}} \cdot .5 = C_X = \frac{K3}{f_{OH}} \cdot .5$ <p>With <math>V_{in} = V_{CC} = 5.0</math> V, adjust <math>C_X</math> to obtain</p> $f_{out} = K5 (f_{OH})$ <p>Then</p> $f_{OL} = \frac{K4}{K1} f_{OH}$	0°C to 75°C	5.0 V	335	165	660	120	1.10
		5.0 V ±5%	280	190	750	140	1.25
		5.0 V ±10%	250	200	840	150	1.40
	-55°C to 125°C	5.0 V	300	175	690	125	1.15
		5.0 V ±5%	260	200	780	145	1.30
		5.0 V ±10%	230	210	860	155	1.45

Definitions:  $f_{OH}$  - Output frequency with  $V_{in} = V_{CC}$  $f_{OL}$  - Output frequency with  $V_{in} = 2.5$  V(Frequencies in MHz,  $C_X$  in pF)

design limit of Figure 7 if a 15 pF capacitor is used. To use Figure 7, divide on the ordinate by the capacitor value in picofarads to obtain output frequency in megahertz. In Figure 8, the ordinate axis is multiplied by the capacitor value in picofarads to obtain the gain constant ( $K_V$ ) in radians/second/volt.

#### Frequency Stability

When the MC4324/4024 is used as a fixed-frequency oscillator ( $V_{in}$  constant), the output frequency will vary slightly because of internal noise. This variation is indicated by Figure 12 for the circuit of Figure 13. These variations are relatively independent (< 10%) of changes in temperature and supply voltage.

#### 10-to-1 Frequency Synthesizer

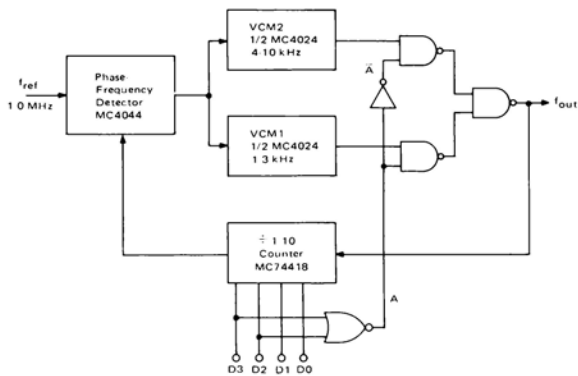
A frequency synthesizer covering a 10-to-1 range is shown in Figure 14. Three packages are required to complete the loop: The MC4344/4044 phase-frequency detector, the MC4324/4024 dual voltage-controlled multi-vibrator, and the MC54418/74418 programmable counter.

Two VCM's (one package) are used to obtain the required frequency range. Each VCM is capable of operating over a 3-to-1 range, thus VCM1 is used for the lower portion of the times ten range and VCM2 covers the upper end. The proper divide ratio is set into the programmable counter and the VCM for that frequency is selected by control gates. The other VCM is left to be free running since its output is gated out of the feedback path.

Normally with a single VCM the loop gain would vary over a 10-to-1 range due to the range of the counter ratios. This affects the bandwidth, lockup time, and damping ratio severely. Utilizing two VCM's reduces this change in loop gain from 10-to-1 to 3-to-1 as a result of the different sensitivities of the two VCM's due to the different frequency ranges. This change of VCM sensitivity (3-to-1) is of such a direction to compensate for loop gain variations due to the programmable counter.

The overall concept of multi-VCM operation can be expanded for ranges greater than 10-to-1. Four VCM's (two packages) could be used to cover a 100-to-1 range.

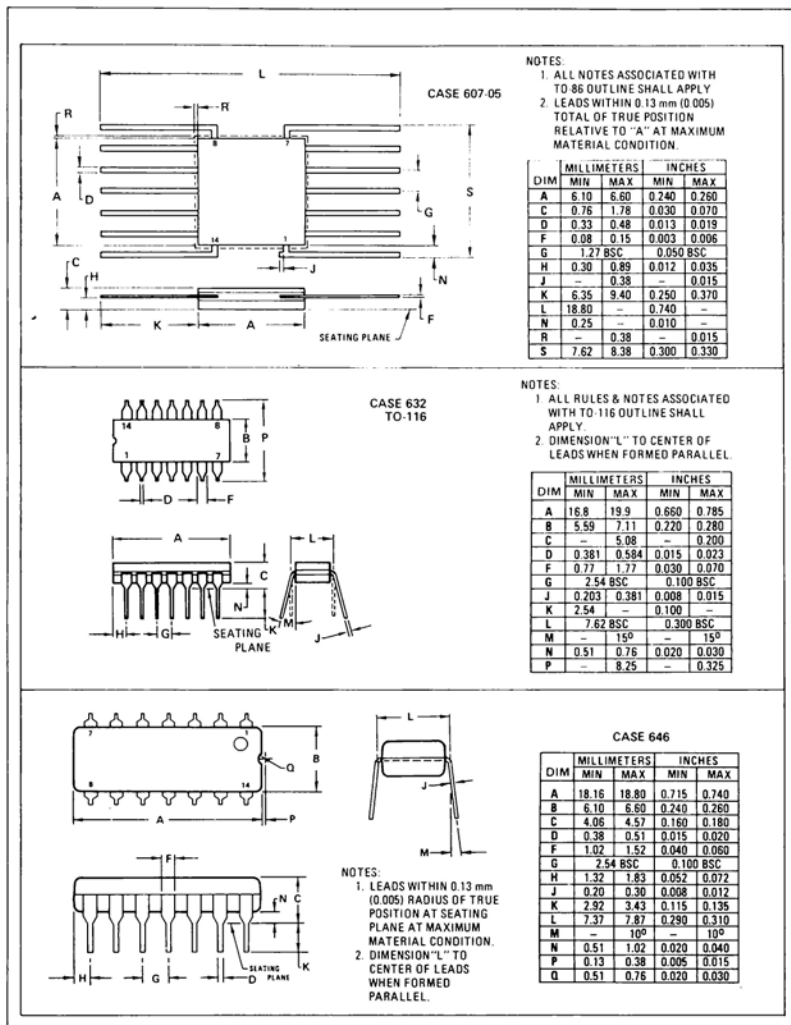
FIGURE 14 – 10 TO-1 FREQUENCY SYNTHESIZER



÷N	Input				A	VCM1 kHz	VCM2 kHz	f <sub>out</sub> kHz
	D3	D2	D1	D0				
1	0	0	0	1	1	1	X	1
2	0	0	1	0	1	2	X	2
3	0	0	1	1	1	3	X	3
4	0	1	0	0	0	X	4	4
5	0	1	0	1	0	X	5	5
6	0	1	1	0	0	X	6	6
7	0	1	1	1	0	X	7	7
8	1	0	0	0	0	X	8	8
9	1	0	0	1	0	X	9	9
10	1	0	1	0	0	X	10	10

Circuit diagrams utilizing Motorola products are included as a means of illustrating typical semiconductor applications; consequently, complete information sufficient for construction purposes is not necessarily given. The information has been carefully checked and

is believed to be entirely reliable. However, no responsibility is assumed for inaccuracies. Furthermore, such information does not convey to the purchaser of the semiconductor devices described any license under the patent rights of Motorola Inc. or others.



**MOTOROLA Semiconductor Products Inc.**

BOX 20912 • PHOENIX, ARIZONA 85036 • A SUBSIDIARY OF MOTOROLA INC.

4011-33 PRINTED IN U.S.A. 6-72 IMPRINT LITHO 837176

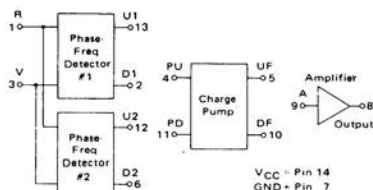
1344

251 P108



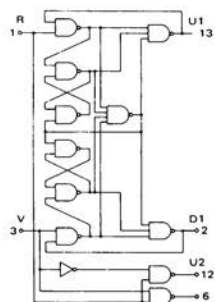
# MC4344 • MC4044

The MC4344/4044 consists of two digital phase detectors, a charge pump, and an amplifier. In combination with a voltage controlled multivibrator (such as the MC4324/4024 or MC1648), it is useful in a broad range of phase-locked loop applications. The circuit accepts MTTL waveforms at the R and V inputs and generates an error voltage that is proportional to the frequency and/or phase difference of the input signals. Phase detector #1 is intended for use in systems requiring zero frequency and phase difference at lock. Phase detector #2 is used if quadrature lock is desired. Phase detector #2 can also be used to indicate that the main loop, utilizing phase detector #1, is out of lock.

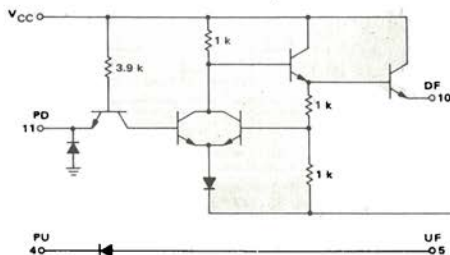


P SUFFIX  
PLASTIC PACKAGE  
CASE 646  
MC4044 only

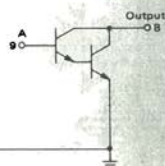
## PHASE DETECTOR



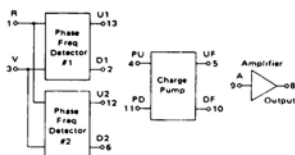
## CHARGE PUMP



## AMPLIFIER



## ELECTRICAL CHARACTERISTICS



INPUT STATE	INPUT RI	INPUT VI	OUTPUT U1	OUTPUT D1	OUTPUT U2	OUTPUT D2
1	0	0	X	X	1	1
2	1	0	X	X	0	1
3	1	1	X	X	1	0
4	1	0	X	X	0	1
5	0	0	X	X	1	1
6	1	0	X	X	0	1
7	0	0	X	X	1	1
8	1	0	X	X	0	1
9	0	0	0	1	1	1
10	0	1	0	1	1	1
11	0	0	1	1	1	1
12	0	1	1	1	1	1
13	0	0	1	0	1	1
14	0	1	1	0	1	1
15	0	0	1	0	1	1
16	1	0	1	0	1	1
17	0	0	1	1	1	1

## TRUTH TABLE

This is not strictly a functional truth table, i.e., it does not show all possible modes of operation. It is useful for dc testing.

- X indicates output state unknown
- U1 and D1 outputs are sequential, i.e., they must be sequenced in order shown
- U2 and D2 outputs are combinational, i.e., they need only inputs shown to obtain outputs

		MCC450 Test Limits												MCC450 Test Limits												-75°C		0.000 [0.4 7.5		0.5 1.8 1.5 5.0 4 7.5 15.75			
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C							
		-55°C												-25°C												-25°C		</					

## MAXIMUM RATINGS

Rating		Value	Unit
Supply Operating Voltage Range	MC4344 MC4044	4.5 to 5.5 4.75 to 5.25	Vdc
Supply Voltage		+7.0	Vdc
Input Voltage		+5.5	Vdc
Output Voltage		+5.5	Vdc
Operating Temperature Range	MC4344 MC4044	-55 to +125 0 to +75	°C
Storage Temperature Range - Ceramic Package		-65 to +150	°C
Storage Temperature Range - Plastic Package		-55 to +125	°C
Maximum Junction Temperature	MC4344 MC4044	+175 +150	°C
Thermal Resistance - Junction To Case ( $\theta_{JC}$ )			°C/mW
Flat Ceramic Package		0.06	
Dual In-Line Ceramic Package		0.05	
Plastic Package		0.07	
Thermal Resistance - Junction To Ambient ( $\theta_{JA}$ )			°C/mW
Flat Ceramic Package		0.21	
Dual In-Line Ceramic Package		0.15	
Plastic Package		0.15	

## CONTENTS

	Page		Page
Operating Characteristics	3	Spurious Outputs	10
Phase-Locked Loop Components	6	Additional Loop Filtering	11
General	6	Applications Information	14
Loop Filter	7	Frequency Synthesizers	14
Design Problems and Their Solutions	9	Clock Recovery from Phase Encoded Data	16
Dynamic Range	9	Package Dimensions	20

## OPERATING CHARACTERISTICS

Operation of the MC4344/4044 is best explained by initially considering each section separately. If phase detector #1 is used, loop lockup occurs when both outputs U1 and D1 remain high. This occurs only when all the negative transitions on R, the reference input, and V, the variable or feedback input, coincide. The circuit responds only to transitions, hence phase error is independent of input waveform duty cycle or amplitude variation. Phase detector #1 consists of sequential logic circuitry, therefore operation prior to lockup is determined by initial conditions.

When operation is initiated, by either applying power to the circuit or active input signals to R and V, the circuit can be in one of several states. Given any particular starting conditions, the flow table of Figure 1 can be used to determine subsequent operation. The flow table indicates the status of U1 and D1 as the R and V inputs are varied. The numbers in the table which are in parentheses are arbitrarily assigned labels that correspond to stable states that can result for each input combination. The numbers without parentheses refer to unstable conditions. Input changes are traced by horizontal movement in the table; after each input change, circuit operation will settle in the numbered state indicated by moving horizontally to the appropriate R-V column. If the number at that

FIGURE 1 - PHASE DETECTOR #1 FLOW TABLE

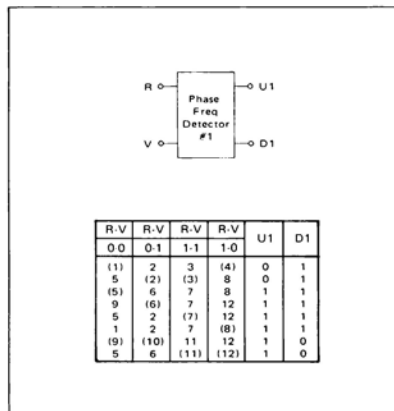
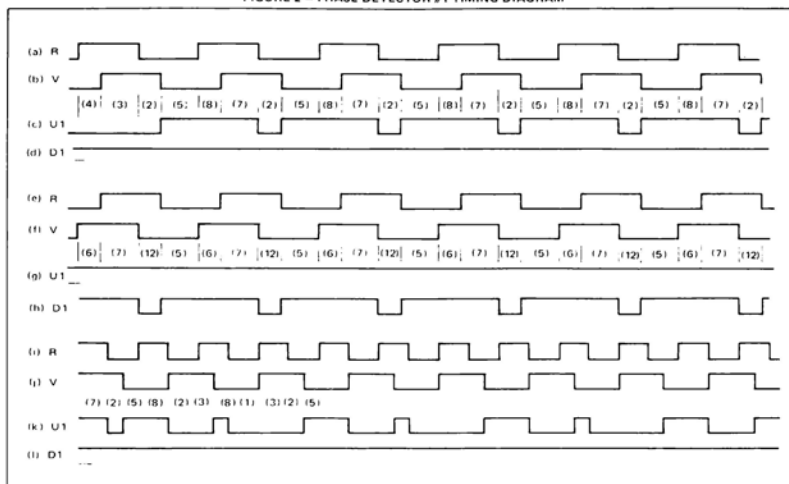


FIGURE 2 — PHASE DETECTOR #1 TIMING DIAGRAM



location is not in parentheses, move vertically to the number of the same value that is in parentheses. For a given input pair, any one of three stable states can exist. As an example, if  $R = 1$  and  $V = 0$ , the circuit will be in one of the stable states (4), (8), or (12).

Use of the table in determining circuit operation is illustrated in Figure 2. In the timing diagram, the input to R is the reference frequency, the input to V is the same frequency but lags in phase. Stable state (4) is arbitrarily assumed as the initial condition. From the timing diagram and flow table, when the circuit is in stable state (4), outputs U1 and D1 are "0" and "1" respectively. The next input state is  $R-V = 1-1$ , moving horizontally from stable state (4) under  $R-V = 1-0$  to the  $R-V = 1-1$  column, state 3 is indicated. However, this is an unstable condition and the circuit will assume the state indicated by moving vertically in the  $R-V = 1-1$  column to stable state (3). In this instance, output U1 and D1 remain unchanged. The input states next become  $R-V = 0-1$ , moving horizontally to the  $R-V = 0-1$  column, stable state (2) is indicated. At this point there is still no change in U1 or D1. The next input change shifts operation to the  $R-V = 0-0$  column where unstable state 5 is indicated. Moving vertically to stable state (5), the outputs now change state to U1-D1 = 1-1. The next input change,  $R-V = 1-0$ , drives the circuitry to stable state (8), with no change in U1 or D1. The next input,  $R-V = 1-1$ , leads to stable state (7) with no change in the outputs. The next two input state changes cause U1 to go low between the negative transitions of R

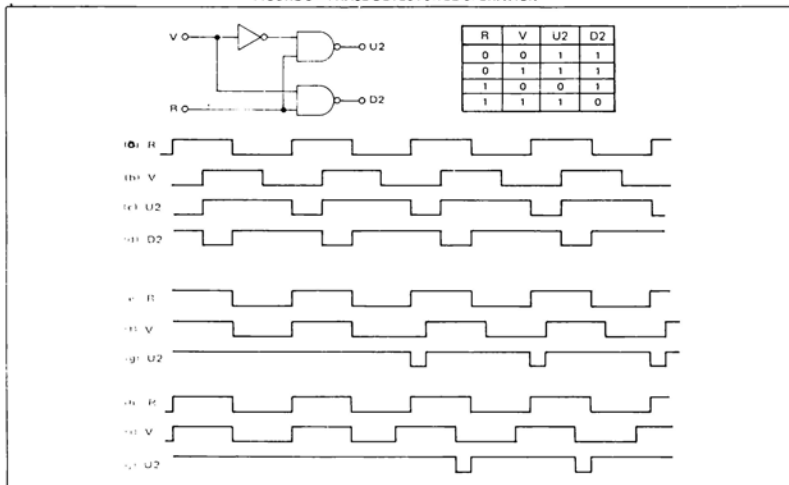
and V. As the inputs continue to change, the circuitry moves repeatedly through stable states (2), (5), (8), (7), (2), etc. as shown, and a periodic waveform is obtained on the U1 terminal while D1 remains high.

A similar result is obtained if V is leading with respect to R, except that the periodic waveform now appears on D1 as shown in rows e-h of the timing diagram of Figure 2. In each case, the average value of the resulting waveform is proportional to the phase difference between the two inputs. In a closed loop application, the error signal for controlling the VCO is derived by translating and filtering these waveforms.

The results obtained when R and V are separated by a fixed frequency difference are indicated in rows i-l of the timing system. For this case, the U1 output goes low when R goes low and stays in that state until a negative transition on V occurs. The resulting waveform is similar to the fixed phase difference case, but now the duty cycle of the U1 waveform varies at a rate proportional to the difference frequency of the two inputs, R and V. It is this characteristic that permits the MC4344/4044 to be used as a frequency discriminator; if the signal on R has been frequency modulated and if the loop bandwidth is selected to pass the deviation frequency but reject R and V, the resulting error voltage applied to the VCO will be the recovered modulation signal.

Phase detector #2 consists only of combinatorial logic, therefore its characteristics can be determined from the

FIGURE 3 - PHASE DETECTOR #2 OPERATION

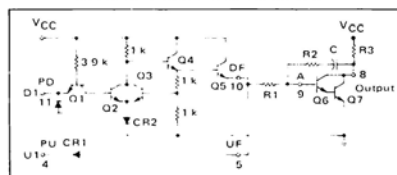


simple truth table of Figure 3. Since circuit operation requires that both inputs to the charge pump either be high or have the same duty cycle when lock occurs, using this phase detector leads to a quadrature relationship between R and V. This is illustrated in rows a-d of the timing diagram of Figure 3. Note that any deviation from a fifty percent duty cycle on the inputs would appear as phase error.

Waveforms showing the operation of phase detector #2 when phase detector #1 is being used in a closed loop are indicated in rows e-j. When the main loop is locked, U2 remains high. If the loop drifts out of lock in either direction a negative pulse whose width is proportional to the amount of drift appears on U2. This can be used to generate a simple loss-of-lock indicator.

Operation of the charge pump is best explained by considering it in conjunction with the Darlington amplifier included in the package (see Figure 4). There will be a pulsed waveform on either PD or PU, depending on the phase-frequency relationship of R and V. The charge pump serves to invert one of the input waveforms (D1) and translates the voltage levels before they are applied to the loop filter. When PD is low and PU is high, Q1 will be conducting in the normal direction and Q2 will be off. Current will be flowing through Q3 and CR2; the base of Q3 will be two  $V_{BE}$  drops above ground or approximately 1.5 volts. Since both of the resistors connected to the base of Q3 are equal, the emitter of Q4 (base of Q5) will be

FIGURE 4 - CHARGE PUMP OPERATION



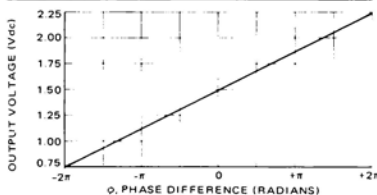
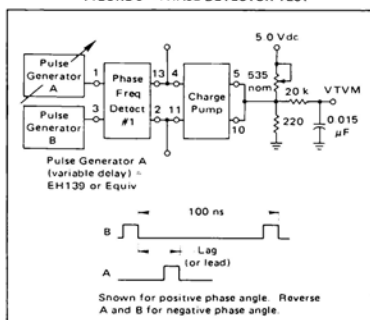
approximately 3.0 volts. For this condition, the emitter of Q5 (DF) will be one  $V_{BE}$  below this voltage, or about 2.25 volts. The PU input to the charge pump is high (> 2.4 volts) and CR1 will be reverse biased. Therefore Q5 will be supplying current to Q6. This will tend to lower the voltage at the collector of Q7, resulting in an error signal that lowers the VCO frequency as required by a "pump down" signal.

When PU is low and PD is high, CR1 is forward biased and UF will be approximately one  $V_{BE}$  above ground (neglecting the  $V_{CE(sat)}$  of the driving gate). With PD high, Q1 conducts in the reverse direction, supplying base current for Q2. While Q2 is conducting, Q4 is prevented from supplying base drive to Q5; with Q5 cut off and UF low there is no base current for Q6 and the voltage at the

collector of Q7 moves up, resulting in an increase in the VCO operating frequency as required by a "pump up" signal.

If both inputs to the charge pump are high (zero phase difference), both CR1 and the base-emitter junction of Q5 are reverse biased and there is no tendency for the error voltage to change. The output of the charge pump varies between one  $V_{BE}$  and three  $V_{BE}$  as the phase difference of R and V varies from minus  $2\pi$  to plus  $2\pi$ . If this signal is filtered to remove the high-frequency components, the phase detector transfer function,  $K_{\phi}$ , of approximately 0.12 volt/radian is obtained (see Figure 5).

FIGURE 5 — PHASE DETECTOR TEST



The specified gain constant of 0.12 volt/radian may not be obtained if the amplifier/filter combination is improperly designed. As indicated previously, the charge pump delivers pump commands of about 2.25 volts on the positive swings and 0.75 volt on the negative swings for a mean no-pump value of 1.5 volts. If the filter amplifier is biased to threshold "on" at 1.5 volts, then the pump up and down voltages have equal effects. The pump signals are established by  $V_{BE}$ 's of transistors with milliamperes of current flowing. On the other hand, the transistors included for use as a filter amplifier will have very small currents flowing and will have correspondingly lower  $V_{BE}$ 's — on the order of 0.6 volt each for a threshold of 1.2 volts. Any displacement of the threshold from 1.5 volts causes an increase in gain in one direction and a reduction

in the other. The transistor configuration provided is hence not optimum but does allow for the use of an additional transistor to improve filter response. This addition also results in a non-symmetrical response since the threshold is now approximately 1.8 volts. The effective positive swing is limited to 0.45 volt while the negative swing below threshold can be greater than 1.0 volt. This means that the loop gain when changing from a high frequency to a lower frequency is less than when changing in the opposite direction. For type two loops this tends to increase overshoot when going from low to high and increases damping in the other direction. These problems and the selection of external filter components are intimately related to system requirements and are discussed in detail in the filter design section.

## PHASE-LOCKED LOOP COMPONENTS

### General

A basic phase-locked loop, when operating properly, will acquire ("lock on") an input signal, track it in frequency, and exhibit a fixed phase relationship relative to the input. In this basic loop, the output frequency will be identical to the input frequency (Figure 6). A funda-

FIGURE 6 — BASIC PHASE-LOCKED LOOP FREQUENCY RELATIONSHIP

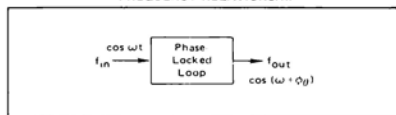
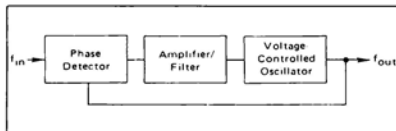


FIGURE 7 — FUNDAMENTAL PHASE-LOCKED LOOP



mental loop consists of a phase detector, amplifier/filter, and voltage-controlled oscillator (Figure 7). It appears and acts like a unity gain feedback loop. The controlled variable is phase; any error between  $f_{in}$  and  $f_{out}$  is amplified and applied to the VCO in a corrective direction.

Simple phase detectors in digital phase-locked loops usually put out a series of pulses. The average value of these pulses is the "gain constant",  $K_{\phi}$ , of the phase detector — the volts out for a given phase difference, expressed as volts/radian.

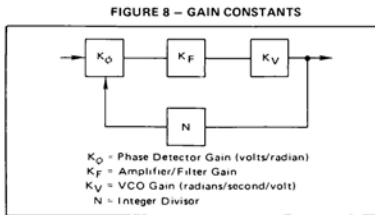
The VCO is designed so that its output frequency range is equal to or greater than the required output frequency range of the system. The ratio of change in output frequency to input control voltage is called "gain constant",  $K_{\omega}$ . If the slope of  $f_{out}$  to  $V_{in}$  is not linear (i.e., changes greater than 25%) over the expected frequency range, the

curve should be piece-wise approximated and the appropriate constant applied for "best" and "worst" case analysis of loop performance.

System dynamics when in lock are determined by the amplifier/filter block. Its gain determines how much phase error exists between  $f_{in}$  and  $f_{out}$ , and filter characteristics shape the capture range and transient performance. This will be discussed in detail later.

#### Loop Filter

Fundamental loop characteristics such as capture range, loop bandwidth, capture time, and transient response are controlled primarily by the loop filter. The loop behavior is described by gains in each component block of Figure 8.



The output to input ratio reflects a second order low pass filter in frequency response with a static gain of  $N$ :

$$\frac{\theta_O(s)}{\theta_I(s)} = \frac{K_\phi K_F K_V}{s^2 + \frac{N}{T_2 s}} \quad (1)$$

where:

$$K_F = \frac{1 + T_1 s}{T_2 s} \quad (2)$$

$T_1 = R_2 C$  and  $T_2 = R_1 C$  of Figure 4. Therefore,

$$\frac{\theta_O(s)}{\theta_I(s)} = \frac{N(1 + T_1 s)}{s^2 N T_2 + T_1 s + 1} \quad (3)$$

Both  $\omega_n$  (loop bandwidth or natural frequency) and  $\xi$  (damping factor) are particularly important in the transient response to a step input of phase or frequency (Figure 9), and are defined as:

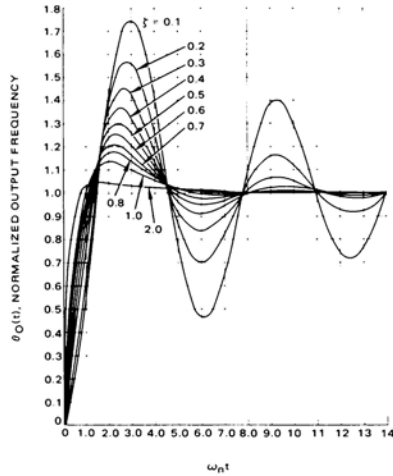
$$\omega_n = \sqrt{\frac{K_\phi K_V}{N T_2}} \quad (4)$$

$$\xi = \sqrt{\frac{K_\phi K_V}{N T_2} \cdot \left( \frac{T_1}{2} \right)} \quad (5)$$

Using these terms in Equation 3,

$$\frac{\theta_O(s)}{\theta_I(s)} = \frac{N(1 + T_1 s)}{s^2 + \frac{2\xi s}{\omega_n} + \omega_n^2} \quad (6)$$

**FIGURE 9 – TYPE 2 SECOND ORDER STEP RESPONSE**



In a well defined system controlling factors such as  $\omega_n$  and  $\xi$  may be chosen either from a transient basis (time domain response) or steady state frequency plot (roll-off point and peaking versus frequency). Once these two design goals are defined, synthesis of the filter is relatively straight-forward.

Constants  $K_\phi$ ,  $K_V$ , and  $N$  are usually fixed due to other design constraints, leaving  $T_1$  and  $T_2$  as variables to set  $\omega_n$  and  $\xi$ . Since only  $T_2$  appears in Equation 4, it is the easiest to solve for initially.

$$T_2 = \frac{K_\phi K_V}{N \omega_n^2} \quad (7)$$

From Equation 5, we find

$$T_1 = \frac{2\xi}{\omega_n} \quad (8)$$

Using relationships 7 and 8, actual resistor values may be computed:

$$R_1 = \frac{K_\phi K_V}{N \omega_n^2 C} \quad (9)$$

$$R_2 = \frac{2}{\omega_n C} \quad (10)$$

Although fundamentally the range of  $R_1$  and  $R_2$  may be from several hundred to several thousand ohms, side-band considerations usually force the value of  $R_1$  to be set first, and then  $R_2$  and  $C$  computed.

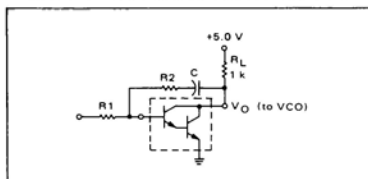
$$C = \frac{K_0 K_V}{N \omega_n^2 R_1} \quad (11)$$

Calculation of passive components  $R_2$  and  $C$  (in synthesizers) is complicated by incomplete information on  $N$ , which is variable, and the limits of  $\omega_n$  and  $\zeta$  during that variance. Equally important are changes in  $K_V$  over the output frequency range. Minimum and maximum values of  $\omega_n$  and  $\zeta$  can be computed from Equations 4 and 5 when the appropriate worst case numbers are known for all the factors.

Amplifier/filter gain usually determines how much phase error exists between  $f_{IN}$  and  $f_{OUT}$ , and the filter characteristic shapes capture range and transient performance. A relatively simple, low gain amplifier may usually be used in the loop since many designs are not constrained so much by phase error as by the need to make  $f_{IN}$  equal  $f_{OUT}$ . Unnecessarily high gains can cause problems in linear loops when the system is out of lock if the amplifier output swing is not adequately restricted since integrating operational amplifier circuits will latch up in time and effectively open the loop.

The internal amplifier included in the MC4344/4044 may be used effectively if its limits are observed. The circuit configuration shown in Figure 10 illustrates the

FIGURE 10 - USING MC4344/4044 LOOP AMPLIFIER



placement of  $R_1$ ,  $R_2$ ,  $C$ , and load resistor  $R_L$  (1 kΩ). Due to the non-infinite gain of this stage ( $A_V \approx 30$ ) and other non-ideal characteristics, some restraint must be placed on passive component selection. Foremost is a lower limit on the value of  $R_2$  and an upper limit on  $R_1$ . Placed in order of priority, the recommendations are as follows: (a)  $R_2 > 50 \Omega$ , (b)  $R_2/R_1 \leq 10$ , (c)  $1 \text{ k}\Omega < R_1 < 5 \text{ k}\Omega$ .

Limit (c) is the most flexible and may be violated with either higher sidebands and phase error ( $R_1 > 5 \text{ k}\Omega$ ) or lower phase detector gain ( $R_1 < 1 \text{ k}\Omega$ ). If limit (b) is exceeded, loop bandwidth will be less than computed and may not have any similarity to the prediction. For an accurate reproduction of calculated loop characteristics one should go to an operational amplifier which has sufficient gain to make limit (b) readily satisfied. Limit (a)

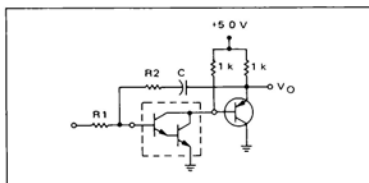
is very important because  $T_1$  in Equation 5 is in reality composed of three elements:

$$T_1 = C \left( R_2 - \frac{1}{g_m} \right) \quad (12)$$

where  $g_m$  = transconductance of the common emitter amplifier.

Normally  $g_m$  is large and  $T_1$  nearly equals  $R_2 C$ , but resistance values below  $50 \Omega$  can force the phase-compensating "zero" to infinity or worse (into the right half plane) and give an unstable system. The problem can be circumvented to a large degree by buffering the feedback with an emitter follower (Figure 11). Inequality (a) may

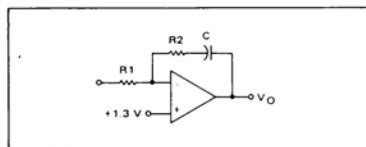
FIGURE 11 - AMPLIFIER CAPABLE OF HANDLING LOWER  $R_2$



then be reduced by at least an order of magnitude ( $R_2 > 5 \Omega$ ) keeping in mind that electrolytic capacitors used as  $C$  may approach this value by themselves at the frequency of interest ( $\omega_n$ ).

Larger values of  $R_1$  may be accommodated by either using an operational amplifier with a low bias current ( $I_{b1} < 1.0 \mu\text{A}$ ) as shown in Figure 12 or by buffering the internal

FIGURE 12 - USING AN OPERATIONAL AMPLIFIER TO EXTEND THE VALUE OF  $R_1$



Darlington pair with an FET (Figure 13). It is vitally important, however, that the added device be operated at zero  $V_{GS}$ . Source resistor  $R_4$  should be adjusted for this condition (which amounts to  $I_{DSS}$  current for the FET). This insures that the overall amplifier input threshold remains at the proper potential of approximately two base-emitter drops. Use of an additional emitter follower instead of the FET and  $R_4$  (Figure 14) gives a threshold near the upper limit of the phase detector charge pump, resulting in an extremely unsymmetrical phase detector gain in the pump up versus pump down mode. It is not unusual to



FIGURE 13 – FET BUFFERING TO RAISE AMPLIFIER INPUT IMPEDANCE

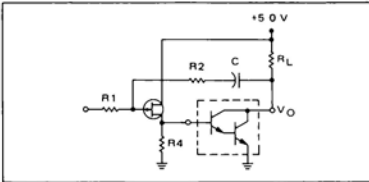
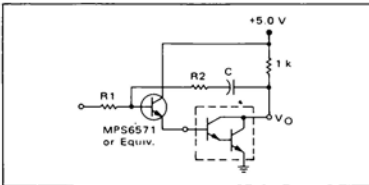


FIGURE 14 – EMITTER FOLLOWER BUFFERING OF AMPLIFIER INPUT



note a 5:1 difference in  $K_0$  for circuits having the bipolar buffer stage. If the initial design can withstand this variation in loop gain and remain stable, the approach should be considered since there are no critical adjustments as in the FET circuit.

## DESIGN PROBLEMS AND THEIR SOLUTIONS

### Dynamic Range

A source of trouble for all phase-locked loops, as well as most electronics is simply overload or lack of sufficient dynamic range. One limit is the amplifier output drive to the VCO. Not only must a designer note the outside limits of the dc control voltage necessary to give the output frequency range, he must also account for the worst case of overshoot expected for the system. Relatively large damping factors ( $\zeta = 0.5$ ) can contribute significant amounts of overshoot (30%). To be prepared for the worst case output swing the amplifier should have as much margin to positive and negative limits as the expected swing itself. That is, if a two-volt swing is sufficient to give the desired output frequency excursion, there should be at least a two-volt cushion above and below maximum expected steady-state values on the control line.

This increase in range, in order to be effective, must of course be followed by an equivalent range in the VCO or there is little to be gained. Any loss in loop gain will in general cause a decrease in  $\zeta$  and a consequent increase in overshoot and ringing. If the loss in gain is caused by saturation or near saturation conditions, the problem tends to accelerate towards a situation where the system settles in not only a slow but oscillatory manner as well.

Loss of amplifier gain may not be due entirely to normal system damping considerations. In loops employing digital phase detectors, an additional problem is likely to appear. This is due to amplifier saturation during a step input when there is a maximum phase detector output simultaneous with a large transient overshoot. The phase detector square wave rides on top of the normal transient and may even exceed the amplifier output limits imposed above. Since the input frequency will exceed the  $R_2C$  time constant, gain  $K_F$  for these annoying pulses will be  $R_2/R_1$ . Ordinarily this ratio will be less than 1, but some circumstances dictate a low loop gain commensurate with a fairly high  $\omega_n$ . For these cases,  $R_2/R_1$  may be higher than 10 and cause pulse-wise saturation of the amplifier. Since the dc control voltage is an average of phase detector pulses, clipping can be translated into a reduction in gain with all the "benefits" already outlined, i.e., poor settling time. An easy remedy to apply in many cases is a simple RC low pass section preceding or together with the integrator-lag section. To make transient suppression independent of amplifier response, the network may be imbedded within the input resistor  $R_1$  (Figure 15) or be implemented

FIGURE 15 – IMPROVED TRANSIENT SUPPRESSION WITH  $R_1 - C_c$

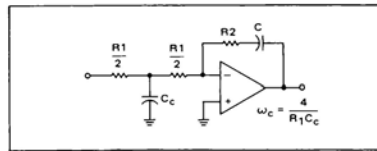
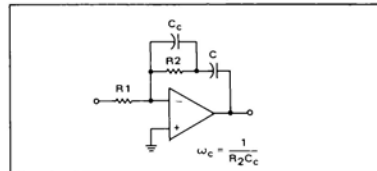


FIGURE 16 – IMPROVED TRANSIENT SUPPRESSION WITH  $R_2 - C_c$



by placing a feedback capacitor across  $R_2$  (Figure 16). Besides rounding off and inhibiting pulses, these networks add an additional pole to the loop and may cause further overshoot if the cutoff frequency ( $\omega_c$ ) is too close to  $\omega_n$ . If at all possible the cutoff point should be five to ten times  $\omega_n$ . How far  $\omega_c$  can be placed from  $\omega_n$  depends on the input frequency relationship to  $\omega_n$  since  $f_{in}$  is, after all, what is being filtered. A side benefit of this simple RC pulse "flattener" is a reduction in  $f_{in}$  sidebands around  $f_{out}$  for synthesizers with  $N > 1$ . However, a series of RC filters is not recommended for either extended

pulse suppression or sideband improvement as excess phase will begin to build up at the loop crossover ( $\approx \omega_n$ ) and tend to cause instability. This will be discussed in more detail later.

### Spurious Outputs

Although the major problem in phase-locked loop design is defining loop gain and phase margin under dynamic operating conditions, high-quality synthesizer designs also require special consideration to minimize spurious spectral components — the worst of which is reference-frequency sidebands. Requirements for good sideband suppression often conflict with other performance goals — loop dynamic behavior, suppression of VCO noise, or suppression of other in-loop noise. As a result, most synthesizer designs require compromised specifications. For a given set of components and loop dynamic conditions, reference sidebands should be predicted and checked against design specifications before any hardware is built.

Any steady-state signal on the VCO control will produce sidebands in accordance with normal FM theory. For small spurious deviations on the VCO, relative sideband-to-carrier levels can be predicted by:

$$\frac{\text{sidebands}}{\text{carrier}} \approx \frac{V_{\text{ref}} K_V}{2\omega_{\text{ref}}} \quad (13)$$

where  $V_{\text{ref}}$  = peak voltage value of spurious frequency at the VCO input.

Unwanted control line modulation can come from a variety of sources, but the most likely cause is phase detector pulse components feeding through the loop filter. Although the filter does establish loop dynamic conditions, it leaves something to be desired as a low pass section for reference frequency components.

For the usual case where  $\omega_{\text{ref}}$  is higher than  $1/T_2$ , the  $K_F$  function amounts to a simple resistor ratio:

$$K_F(j\omega) \bigg|_{\omega = \omega_{\text{ref}}} \approx -\frac{R_2}{R_1} \quad (14)$$

By substitution of Equations 9 and 10, this signal transfer can be related to loop parameters.

$$K_F(j\omega) \bigg|_{\omega = \omega_{\text{ref}}} \approx \frac{2\xi N\omega_n}{K_\phi K_V} \cdot \frac{V_{\text{ref}}}{V_\phi} \quad (15)$$

where  $V_{\text{ref}}$  = peak value of reference voltage at the VCO input, and

$V_\phi$  = peak value of reference frequency voltage at the phase detector output.

Sideband levels relative to reference voltage at the phase detector output can be computed by combining Equations 13 and 15:

$$\frac{\text{sideband level}}{f_{\text{out level}}} = V_\phi \left( \frac{\xi N\omega_n}{\omega_{\text{ref}} K_\phi} \right) \quad (16)$$

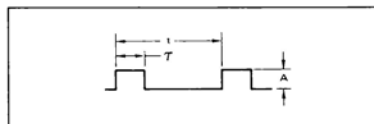
From Equation 16 we find that for a given phase detector, a given value of  $R_1$  (which determines  $V_\phi$ ), and given basic system constraints ( $N$ ,  $f_{\text{ref}}$ ), only  $\xi$  and  $\omega_n$  remain as variables to diminish the sidebands. If there are few limits on  $\omega_n$ , it may be lowered indefinitely until the desired degree of suppression is obtained. If  $\omega_n$  is not arbitrary and the sidebands are still objectionable, additional filtering is indicated.

One item worthy of note is the absence of  $K_V$  in Equation 16. From Equation 15 it might be concluded that decreasing  $K_V$  would be another means for reducing spurious sidebands, but for constant values of  $\xi$  and  $\omega_n$  this is not a free variable. In a given loop, varying  $K_V$  will certainly affect sideband voltage, but will also vary  $\xi$  and  $\omega_n$ .

On the other hand, the choice of  $\omega_n$  may well affect spectral purity near the carrier, although reference sideband levels may be quite acceptable.

In computing sideband levels, the value of  $V_\phi$  must be determined in relation to other loop components. Residual reference frequency components at the phase detector output are related to the dc error voltage necessary to supply charge pump leakage current and amplifier bias current. From these average voltage figures, spectral components of the reference frequency and its harmonics can be computed using an approximation that the phase detector output consists of square waves  $\tau$  seconds wide repeated at  $t$  second intervals (Figure 17). A Fourier anal-

FIGURE 17 — PHASE DETECTOR OUTPUT



ysis can be summarized for small ratios of  $\tau/t$  by:

- (1) the average voltage ( $V_{\text{avg}}$ ) is  $A(\tau/t)$
- (2) the peak reference voltage value ( $V_\phi$ ) is twice  $V_{\text{avg}}$ , and
- (3) the second harmonic ( $2f_{\text{ref}}$ ) is roughly equal in amplitude to the fundamental.

By knowing the requirements for (1) due to amplifier bias and leakage currents, values for (2) and (3) are uniquely determined.

An example of this sideband approximation technique can be illustrated using the parameters specified for the synthesizer design included in the applications information section.

$$\begin{aligned} N_{\text{max}} &= 30 & \omega_n &= 4500 \\ K_V &= 11.2 \times 10^6 \text{ rad/s/V} & R_1 &= 2 \text{ k}\Omega \\ K_\phi &= 0.12 \text{ V/rad} & f_{\text{ref}} &= 100 \text{ kHz} \\ \xi &= 0.8 \end{aligned}$$

Substituting these numbers into Equation 16:

$$\frac{\text{sideband}}{f_{\text{out}}} = V_{\phi} \frac{(0.8)(30)(4500)}{2\pi(10^5)(0.111)} \quad (17)$$

$$= V_{\phi}(1.55) \quad (18)$$

The result illustrates how much reference feedthrough will affect sideband levels. If 1.0 mV peak of reference appears at the output of the phase detector, the nearest sideband will be down 56.2 dB.

If the amplifier section included in the MC4344/4044 is used, with  $R_L = 1 \text{ k}\Omega$ , some approximations of the value of  $V_{\phi}$  can be made based on the input bias current and the value of  $R_1$ . The phase detector must provide sufficient average voltage to supply the amplifier bias current,  $I_b$ , through  $R_1$ , when the bias current is about 5.0  $\mu\text{A}$  and  $R_1$  is 2 k $\Omega$ ,  $V_{\text{avg}}$  must be 10 mV. From the assumptions earlier concerning the Fourier transform, and with the help of Figure 18, we can see that the phase detector duty cycle will be about 1.7% ( $A = 0.6 \text{ V}$ ), giving

FIGURE 18 – OUTPUT ERROR CHARACTERISTICS

DUTY CYCLE (%)	PHASE ERROR (Deg)	$V_{\text{avg}}$ (mV)	$V_{\phi}(\text{peak})$ (mV)
0.1	0.36	0.6	1.2
0.2	0.72	1.2	2.4
0.3	1.08	1.8	3.6
0.4	1.44	2.4	4.8
0.5	1.80	3.0	6.0
0.6	2.16	3.6	7.2
0.7	2.52	4.2	8.4
0.8	2.88	4.8	9.6
0.9	3.24	5.4	10.8
1.0	3.60	6.0	12.0
2.0	7.2	12.0	24.0
3.0	10.8	18.0	36.0
4.0	14.4	24.0	48.0
5.0	18.0	30.0	60.0
6.0	21.6	36.0	72.0
7.0	25.2	42.0	84.0
8.0	28.8	48.0	96.0
9.0	32.4	54.0	108.0
10.0	36.0	60.0	120.0

a fundamental (reference) of 20 mV peak. If this value for  $V_{\phi}$  is substituted into Equation 18, the resulting sideband ratio represents 30 dB suppression due to this component alone.

For loop amplifiers having very high gains and relatively low bias currents, another factor to consider is reverse leakage current,  $I_L$ , of the MC4344/4044 charge pump. This is generally less than 1.0  $\mu\text{A}$  although it is no more than 5.0  $\mu\text{A}$  over the temperature range. A typical value for design for room temperature operation is 0.1  $\mu\text{A}$ . To minimize the effects of amplifier bias and leakage currents a relatively small value of  $R_1$  should be chosen. A minimum value of 1 k $\Omega$  is a good choice.

After values for C and  $R_2$  have been computed on the basis of loop dynamic properties, the overall sideband to  $f_{\text{out}}$  ratio computation can be simplified.

Since

$$V_{\phi} = 2 V_{\text{avg}}$$

$$V_{\text{avg}} = (I_b + I_L) R_1$$

$$V_{\phi} = 2 (I_b + I_L) R_1$$

$$V_{\text{ref}} = V_{\phi} \left( \frac{R_2}{R_1} \right)$$

$$= 2 R_1 (I_b + I_L) \left( \frac{R_2}{R_1} \right) = 2 R_2 (I_b + I_L)$$

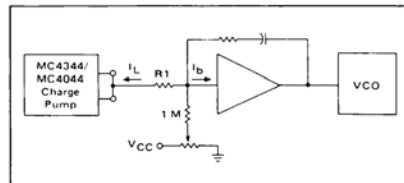
we find that

$$\frac{\text{sideband}}{f_{\text{out}}} = \frac{V_{\text{ref}} K_V}{2 \omega_{\text{ref}}} \quad (19)$$

$$\frac{\text{sideband}}{f_{\text{out}}} = \frac{2 R_2 (I_b + I_L) K_V}{2 \omega_{\text{ref}}} \quad (20)$$

Equation 20 indicates that excellent suppression could be achieved if the bias and leakage terms were nulled by current summing at the amplifier input (Figure 19). This

FIGURE 19 – COMPENSATING FOR BIAS AND LEAKAGE CURRENT



has indeed proved to be the case. Experimental results indicate that greater than 60 dB rejection can routinely be achieved at a constant temperature. However when nulling fairly large values ( $> 100 \text{ nA}$ ), the rejection becomes quite sensitive since leakages are inherently a function of temperature. This technique has proved useful in achieving improved system performance when used in conjunction with good circuit practice and reference filtering.

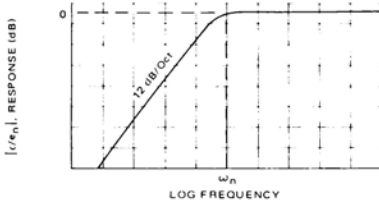
#### Additional Loop Filtering

So far, only the effects of fundamental loop dynamics on resultant sidebands have been considered. If further sideband suppression is required, additional loop filtering is indicated. However, care must be taken in placement of any low pass rolloff with regard to the loop natural frequency ( $\omega_n$ ). On one hand, the "corner" should be well below (lower than)  $\omega_{\text{ref}}$  and yet far removed (above) from  $\omega_n$ . Although no easy method for placing the rolloff point exists, a rule of thumb that usually works is:

$$\omega_c = 5 \omega_n \quad (21)$$



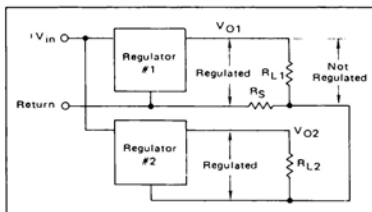
FIGURE 23 – LOOP RESPONSE TO VCO NOISE



Modulation of any kind appearing on the VCO control line will cause spurious sidebands and can come in through the loop amplifier supply, bias circuitry in the control path, a translator, or even the VCO supply itself. Some VCO's have a relatively high sensitivity to power supply variation. This should be investigated and its effects considered. Problems of this nature can be minimized by operating all devices except the phase detector, charge pump, and VCO from a separate and well isolated supply. A common method uses a master supply of about 10 or 12 volts and two regulators to produce voltages for the PLL — one for all the logic (including the phase detector) and the other for all circuitry associated with the VCO control line.

Sideband and noise performance is also a function of good power supply and regulator layout. As mentioned earlier, extreme care should be exercised in isolating the control line voltage to the VCO from influences other than the phase detector. This not only means good voltage regulation but ac bypassing and adherence to good grounding techniques as well. Figure 24 shows two separate

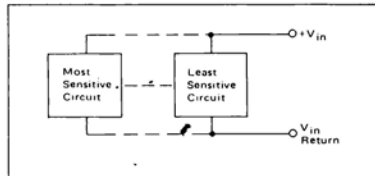
FIGURE 24 – LOOP VOLTAGE REGULATION



regulators and their respective loads. Resistor  $R_S$  is a small stray resistance due to a common thin ground return for both  $R_{L1}$  and  $R_{L2}$ . Any noise in  $R_{L2}$  is now reproduced (in a suppressed form) across  $R_{L1}$ . Load current from  $R_{L1}$  does not affect the voltage across  $R_{L2}$ . Even though the regulators may be quite good, they can hold  $V_O$  constant only across their outputs, not necessarily

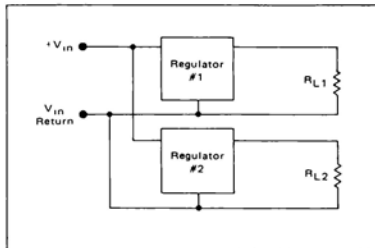
across the load (unless remote sensing is used). One solution to the ground-coupled noise problem is to lay out the return path with the most sensitive regulated circuit at the farthest point from power supply entry as shown in Figure 25.

FIGURE 25 – REGULATOR LAYOUT



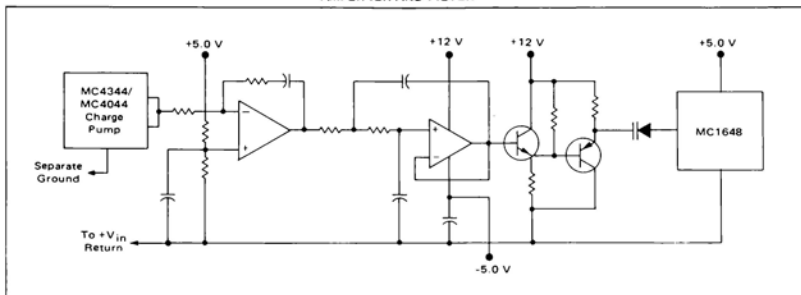
Even for regulated subcircuits, accumulated noise on the ground bus can pose major problems since although the cross currents do not produce a differential load voltage directly, they do produce essentially common mode noise on the regulators. Output differential load noise then is a function of the input regulation specification. By far the best way to sidestep the problem is to connect each subcircuit ground to the power supply entry return line as shown in Figure 26.

FIGURE 26 – REGULATOR GROUND CONNECTION



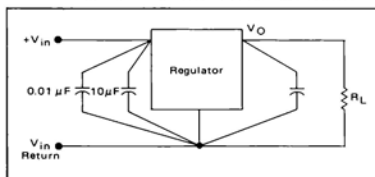
In Figures 24 and 26,  $R_{L1}$  and  $R_{L2}$  represent component groups in the system. The designer must insure that all ground return leads in a specific component group are returned to the common ground. Probably the most overlooked components are bypass capacitors. To minimize sidebands, extreme caution must be taken in the area immediately following the phase detector and through the VCO. A partial schematic of a typical loop amplifier and filter is shown in Figure 27 to illustrate the common grounding technique.

FIGURE 27 — PARTIAL SCHEMATIC OF LOOP AMPLIFIER AND FILTER



Bypassing in a phase-locked loop must be effective at both high frequencies and low frequencies. One capacitor in the 1.0-to-10  $\mu\text{F}$  range and another between 0.01 and 0.001  $\mu\text{F}$  are usually adequate. These can be effectively utilized both at the immediate circuitry (between supply and common ground) and the regulator if it is some distance away. When used at the output, a single electrolytic capacitor on the output and a capacitor pair at the input is most effective (Figure 28). It is important, again, to note that these bypasses go from the input/output pins to as near the regulator ground pin as possible.

FIGURE 28 — SUGGESTED BYPASSING PROCEDURE

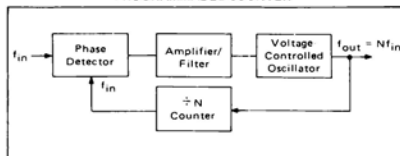


## APPLICATIONS INFORMATION

### Frequency Synthesizers

The basic PLL discussed earlier is actually a special case of frequency synthesis. In that instance,  $f_{\text{out}} = f_{\text{in}}$ , although normally a programmable counter in the feedback loop insures the general rule that  $f_{\text{out}} = Nf_{\text{in}}$  (Figure 29). In the synthesizer  $f_{\text{in}}$  is usually constant (crystal controlled) and  $f_{\text{out}}$  is changed by varying the programmable divider ( $\div N$ ). By stepping  $N$  in integer increments, the output frequency is changed by  $f_{\text{in}}$  per increment. In communication use, this input frequency is called the "channel

FIGURE 29 — PHASE-LOCKED LOOP WITH PROGRAMMABLE COUNTER



spacing" or, in general, it is the reference frequency.

There is essentially no difference in loop dynamic problems between the basic PLL and synthesizers except that synthesizer designers must contend with problems peculiar to loops where  $N$  is variable and greater than 1. Also, sidebands or spectral purity usually require special attention. These and other aspects are discussed in greater detail in AN-535. The steps for a suitable synthesis procedure may be summarized as follows:

### Synthesis Procedure

1. Choose input frequency. ( $f_{\text{ref}}$  = channel spacing)
2. Compute the range of digital division:

$$N_{\text{max}} = \frac{f_{\text{max}}}{f_{\text{ref}}}$$

$$N_{\text{min}} = \frac{f_{\text{min}}}{f_{\text{ref}}}$$

3. Compute needed VCO range:

$$(2f_{\text{max}} - f_{\text{min}}) < f_{\text{VCO}} < (2f_{\text{min}} - f_{\text{max}})$$

4. Choose minimum  $\xi$  from transient response plot, Figure 9. A good starting point is  $\xi = 0.5$ .

5. Choose  $\omega_n$  from needed response time (Figure 9):

$$\omega_n = \frac{\omega_{nt}}{t}$$

6. Compute  $C$ :

$$C = \frac{K_p K_V}{N_{\max} \omega_n^2 R_1}$$

7. Compute  $R_2$ :

$$R_2 = \frac{2\zeta_{\min}}{\omega_n C}$$

8. Compute  $\zeta_{\max}$ :

$$\zeta_{\max} = \zeta_{\min} \sqrt{\frac{N_{\max}}{N_{\min}}}$$

9. Check transient response of  $\zeta_{\max}$  for compatibility with transient specification.

10. Compute expected sidebands:

$$\frac{\text{sideband}}{f_{\text{out}}} \cong \frac{(I_b + I_L) R_2 K_V}{\omega_{\text{ref}}} \quad (\text{A})$$

( $I_L$  is about 100 nA at  $T_J = 25^\circ\text{C}$ .)

11. If step 10 yields larger sidebands than are acceptable, add a single pole at the loop amplifier by splitting  $R_1$  and adding  $C_c$  as shown in Figure 15:

$$C_c \cong \frac{0.8}{R_1 \omega_n}$$

Added sideband suppression (dB) is:

$$\text{dB} \cong 20 \log_{10} \frac{1}{\sqrt{1 + \frac{\omega_{\text{ref}}^2}{25(\omega_n)^2}}} \quad (\text{B})$$

12. If step 11 still does not give the desired results, add a second order section at  $\omega_c = 5 \omega_n$  using either the configuration of Figure 20 or 21. The expected improvement is twice that of the single pole in step 10.

$$\text{dB} \cong 40 \log_{10} \frac{1}{\sqrt{1 + \frac{\omega_{\text{ref}}^2}{25(\omega_n)^2}}} \quad (\text{C})$$

Total sideband rejection is then the total of  $20 \log_{10}(\text{A}) + (\text{B}) + (\text{C})$ .

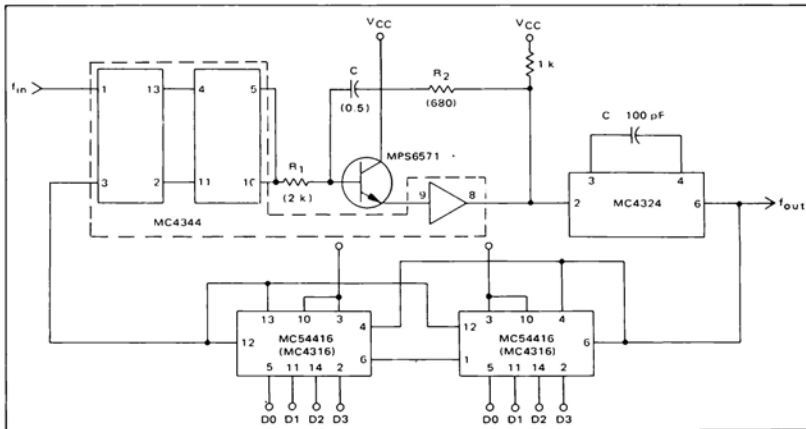
#### Design Example (Figure 30)

Assume the following requirements:

Output frequency,  $f_{\text{out}} = 2.0 \text{ MHz}$  to  $3.0 \text{ MHz}$

Frequency steps,  $f_{\text{in}} = 100 \text{ kHz}$

FIGURE 30 – CIRCUIT DIAGRAM OF TYPE 2  
PHASE-LOCKED LOOP



Lockup time between channels (to 5%) = 1.0 ms  
 Overshoot < 20%  
 Minimum sideband suppression = -30 dB

From the steps of the synthesis procedure:

1.  $f_{\text{ref}} = f_{\text{in}} = 100 \text{ kHz}$

2.  $N_{\text{max}} = \frac{f_{\text{max}}}{f_{\text{ref}}} = \frac{3.0 \text{ MHz}}{0.1 \text{ MHz}} = 30$

$N_{\text{min}} = \frac{f_{\text{min}}}{f_{\text{ref}}} = \frac{2.0 \text{ MHz}}{0.1 \text{ MHz}} = 20$

3. VCO range:

The VCO output frequency range should extend beyond the specified minimum-maximum limits to accommodate the overshoot specification. In this instance  $f_{\text{out}}$  should be able to cover an additional 20% on either end. End limits on the VCO are

$$f_{\text{out max}} \geq 3.0 + 0.2(3.0) = 3.6 \text{ MHz}$$

$$f_{\text{out min}} \leq 2.0 - 0.2(2.0) = 1.6 \text{ MHz}$$

This VCO range ( $\approx 2.25:1$ ) is realizable with the MC4324/4024 voltage controlled multivibrator. From Figure 7 of the MC4324/4024 data sheet we find the required tuning capacitor value to be 120 pF and the VCO gain,  $K_V$ , typically  $11 \times 10^6 \text{ rad/s/v}$ .

4. From the step response curve of Figure 5,  $\zeta = 0.8$  will produce a peak overshoot less than 20%.

5. Referring to Figure 9, overshoot with  $\zeta = 0.8$  will settle to within 5% at  $\omega_n t = 4.5$ . Since the required lock-up time is 1.0 ms,

$$\omega_n = \frac{\omega_n t}{t} = \frac{4.5}{t} = \frac{4.5}{0.001} = (4.5)(10^3) \text{ rad/s}$$

6. In order to compute  $C$ , phase detector gain and  $R_1$  must be selected. Phase detector gain,  $K_\phi$ , for the MC4344/4044 is approximately 0.1 volt/radian with  $R_1 = 1 \text{ k}\Omega$ . Therefore,

$$C = \frac{(0.1)(11 \times 10^6)}{(30)(4.5 \times 10^3)^2(10^3)} = 2.0 \mu\text{F}$$

7. At this point,  $R_2$  can be computed:

$$R_2 = \frac{2\zeta_{\text{min}}}{\omega_n C} = \frac{1.6}{(4.5 \times 10^3)(2 \times 10^{-6})} = 180 \Omega$$

8.  $\zeta_{\text{max}} = \zeta_{\text{min}} \sqrt{\frac{N_{\text{max}}}{N_{\text{min}}}} = 0.98$

9. Figure 9 shows that  $\zeta = 0.98$  will meet the settling time requirement.

10. Sidebands may be computed for two cases: (1) with  $I_L$  (charge pump leakage current) nominal (100 nA), and (2) with  $I_L$  maximum (5.0  $\mu\text{A}$ ).

$$\left. \frac{\text{sideband}}{f_{\text{out}}} \right|_{\text{max}} = \frac{(5 \times 10^{-6})(180)(11 \times 10^6)}{4.5 \times 10^3} \approx 2.2$$

Since  $I_L$  (nominal) is 50 times lower than  $I_L$  (maximum), the sideband-to-center frequency ratio nominally would be:

$$\left. \frac{\text{sideband}}{f_{\text{out}}} \right|_{\text{nom}} = \frac{2.2}{50} = 0.044$$

$$\approx 20 \log_{10}(0.044) \approx -27 \text{ dB}$$

This suppression figure does not meet the original design requirement. Therefore further improvements will be made.

11. By splitting  $R_1$  and  $C_C$ , further attenuation can be gained. The magnitude of  $C_C$  is approximately:

$$C_C \approx \frac{0.8}{R_1 \omega_n} = \frac{0.8}{(10^3)(4.5)(10^3)} \approx 0.2 \mu\text{F}$$

Improvement in sidebands will be:

$$20 \log_{10} \frac{1}{1 + \frac{10^5}{25(4.5 \times 10^3)^2}} = -13 \text{ dB}$$

Nominal suppression is now -40 dB. Worst-case is 34 dB higher than nominal suppression (50:1 ratio), or -6.0 dB. Therefore additional filtering is required.

12. Additional filters such as second order sections are exactly double the single order sections as designed in step 11. Adding such a filter would give an additional -26 dB rejection factor. Therefore, one second order filter section would result in an overall sideband suppression of -67 dB nominal and -32 dB maximum.

Design of the passive components for the added section with  $R$  assigned a value of 10 k $\Omega$  is:

$$C = \frac{0.1}{\omega_n R} = \frac{0.1}{(4.5 \times 10^3)(10^4)} = 0.2 \mu\text{F}$$

See Figures 20 and 21 for two configurations that will satisfy this filter requirement.

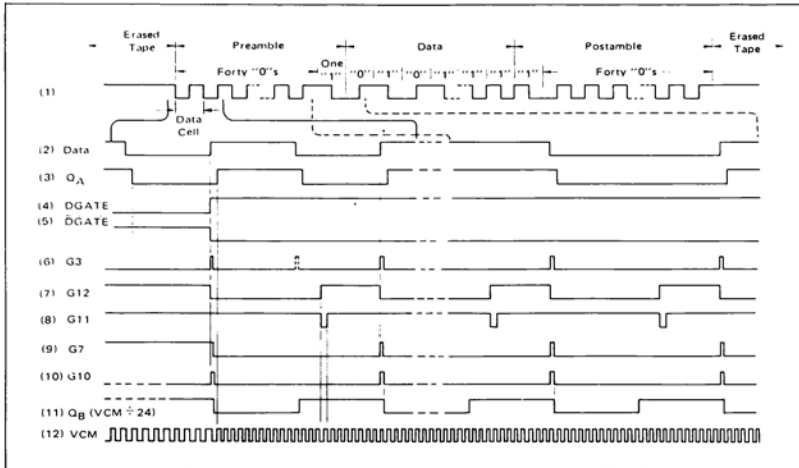
#### Clock Recovery from Phase-Encoded Data

The electro-mechanical system used for recording digital data on magnetic tape often introduces random variations in tape speed and data spacing. Because of this and the encoding technique used, it is usually necessary to regenerate a synchronized clock from the data during this read cycle. One method for doing this is to phase-lock a voltage controlled multivibrator to the data as it is read (Figure 31).





FIGURE 32 – TIMING DIAGRAM – CLOCK RECOVERY FROM PHASE-ENCODED DATA



A typical data block using the phase encoded format is shown in row 1 of Figure 32. The standard format calls for recording a preamble of forty "0's" followed by a single "1"; this is followed by from 18 to 2048 characters of data and a postamble consisting of a "1" followed by forty "0's". The encoding format records a "0" as a transition from low to high in the middle of a data cell. A "1" is indicated by a transition from high to low at the data cell midpoint. When required, phase transitions occur at the end of data cells. If a string of either consecutive "0's" or consecutive "1's" is recorded, the format duplicates the original clock; the clock is easily recovered by straight forward synchronization with a phase-locked loop. In the general case, where the data may appear in any order, the phase-encoded data must be processed to obtain a single pulse during each data cell before it is applied to the phase detector. For example, if the data consisted only of alternating "1's" and "0's", the phase-encoded format would result in a waveform equal to one-half the original clock frequency. If this were applied directly to the loop, the VCM would of course move down to that frequency. The encoding format insures that there will be a transition in the middle of each data time. If only these transitions are sensed they can be used to regenerate the clock. The schematic diagram of Figure 31 indicates one method of accomplishing this.

The logic circuitry generates a pulse at the midpoint of each data cell which is then applied to the reference input of the phase detector. The loop VCM is designed

to operate at some multiple of the basic clock rate. The VCM frequency selected depends on the decoding resolution desired and other system timing requirements. In this example, the VCM operates at twenty-four times the clock rate (Figure 32, Row 12).

Referring to Figure 31 and the timing diagram of Figure 32, the phase-encoded data (Figure 32, Row 1) is combined with a delayed version of itself (output of flip-flop A row 3) to provide a positive pulse out of G3 for every transition of the input signal. Portions of the data block are shown expanded in row 2 of Figure 32. Flip-flop A delays the incoming data of one-half of a VCM clock period. Gates G1, G2, and G3 implement the logic Exclusive OR of waveforms 1 and 3 except when inhibited by DGATE (row 4) or the output of G12 (row 7). DGATE and its complement, D\_GATE, serve to initialize the circuitry and insure that the first transition of the data block (a phase transition) is ignored. The MC7493 binary counter and the G5-G12 latch generate a suitable signal for gating out G3 pulses caused by phase transitions at the end of a data cell, such as the one shown dashed in row 6.

The initial data pulse from G3 sets G12 low and is combined with DGATE in G7 to reset the counter to its zero state. Subsequent VCM clock pulses now cycle the counter and approximately one-third of the way through the next data cell the counter's full state is decoded by G11, generating a negative transition. This causes G12 to go high, removing the inhibit signal until it is again reset by the next data transition. This pulse also resets the

counter, continuing the cycle and generating a positive pulse at the midpoint of each data cell as required.

Acquisition time is reduced if the loop is locked to a frequency approximately the same as the expected data rate during inter-block gaps. In Figure 31, this is achieved by operating the remaining half of the dual VCM at slightly less than the data rate and applying it to the reference input of the phase detector via the G8-G9-G10 data selector. When data appears, DGATE and  $\overline{\text{DGATE}}$  cause the output of G3 to be selected as the reference input to the loop.

The loop parameters are selected as a compromise between fast acquisition and jitter-free tracking once synchronization is achieved. The resulting filter component values indicated in Figure 31 are suitable for recovering the clock from data recorded at a 120 kHz rate, such as would result in a tape system operating at 75 i.p.s. with a recording density of 1600 b.p.i. Synchronization is achieved by approximately the twenty-fourth bit time of the preamble. The relationship between system requirements and the design procedure is illustrated by the following sample calculation:

Assume a -3.0 dB-loop bandwidth much less than the input data rate ( $\approx 120$  kHz), say 10 kHz. Further, assume a damping factor of  $\xi = 0.707$ . From the expression for loop bandwidth as a function of damping factor and undamped natural frequency,  $\omega_n$ , calculate  $\omega_n$  as:

$$\omega_{-3 \text{ dB}} = \omega_n \left( 1 + 2\xi^2 + \sqrt{2 + 4\xi^2 + 4\xi^4} \right)^{1/2} \quad (24)$$

or for  $\omega_{-3 \text{ dB}} = (2\pi)10^4$  rad/s and  $\xi = 0.707$ :

$$\omega_n = \frac{(2\pi)10^4}{2.06} \approx (3.05)10^4 \text{ rad/s}$$

As a rough check on acquisition time, assume that lockup should occur no later than half-way through a 40-bit preamble, or for twenty 8.34  $\mu$ s data periods.

$$\omega_{nt} = (3.05)10^4 (20)(8.34)10^{-6} = 5.1 \quad (26)$$

From Figure 9, the output will be within 2 to 3% of its final value for  $\omega_{nt} \approx 5$  and  $\xi = 0.707$ . The filter components are calculated by:

$$\frac{K_\phi K_V}{R_1 C N} = \omega_n^2 \quad (27)$$

$$\text{and} \quad \frac{K_\phi K_V R_2}{R_1 N} = 2\xi \omega_n \quad (28)$$

$$\begin{aligned} \text{where} \quad & K_\phi = 0.015 \text{ v/rad} \\ & K_V = (18.2)10^6 \text{ rad/s/volt} \\ & N = 24 = \text{Feedback divider ratio} \\ & \omega_n = (3.05)10^4 \text{ rad/s} \\ & \xi = 0.707 \\ & \frac{K_\phi K_V}{N} = \frac{(0.115)(18.2)10^6}{24} = (8.72)10^4 \end{aligned}$$

From Equation 27:

$$R_1 C = \frac{K_\phi K_V}{N \omega_n^2} = \frac{(8.72)10^4}{(3.05)^2 10^8} = (9.34)10^{-5}$$

From Equation 28:

$$\frac{R_2}{R_1} = \frac{2\xi \omega_n N}{K_\phi K_V} = \frac{2(0.707)(3.04)10^4}{(8.72)10^4} = 0.494 \approx \frac{1}{2}$$

Let  $R_1 = 3.0 \text{ k}\Omega$ ; then  $R_2 = 1.5 \text{ k}\Omega$  and

$$C = \frac{(9.34)10^{-5}}{(3.0)10^3} = (3.1)10^{-8}$$

or using a close standard value, use  $C = 0.0033 \mu\text{F}$ . Now add the additional prefiltering by splitting  $R_1$  and selecting a time constant for the additional section so that it is large with respect to  $R_2 C_2$ .

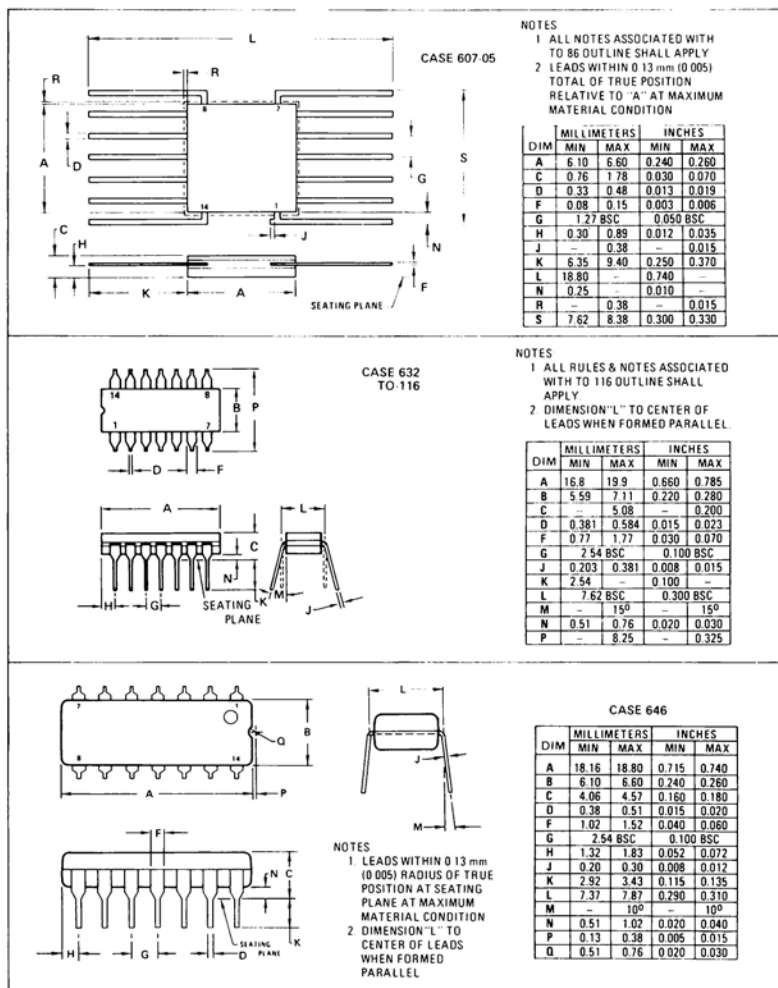
$$10(\frac{1}{2}R_1)C_s = R_2 C$$

or

$$C_s = \frac{2R_2 C}{10R_1} = \frac{2(1.5)10^3(3.1)10^{-8}}{10(3.0)10^3} = 3300 \text{ pF}$$

Circuit diagrams utilizing Motorola products are included as a means of illustrating typical semiconductor applications. Consequently, complete information sufficient for construction purposes is not necessarily given. The information has been carefully checked and

is believed to be entirely reliable. However, no responsibility is assumed for inaccuracies. Furthermore, such information does not convey to the purchaser of the semiconductor devices described any license under the patent rights of Motorola Inc. or others.



**MOTOROLA Semiconductor Products Inc.**

BOX 20912 • PHOENIX, ARIZONA 85066 • A DIVISION OF MOTOROLA INC.

## Digital Frequency Synthesizer

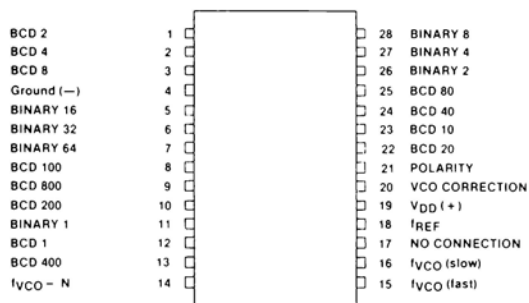
## HCTR0320

## DESCRIPTION

The HCTR0320 is a CMOS LSI programmable divide by N counter with a phase/frequency detector for frequency synthesis or phase locked loop (PLL) applications. A minimum PLL system can be made using the HCTR0320, a reference oscillator and divider, low pass filter, and voltage controlled oscillator (VCO). More complex systems may use mixers, frequency multipliers, or a dual modulus prescaler. Most system designs constrain the VCO to oscillate at N times the divided reference oscillator frequency ( $f_{REF}$ ) so changing N by  $\Delta N$  changes the VCO frequency by the product  $(\Delta N) \cdot (f_{REF})$ . Thus multiple VCO frequencies can be generated from only one reference oscillator crystal by varying N. This method results in VCO frequencies which have the same fractional error as the reference crystal oscillator frequency.

## FEATURES

- HIGH FREQUENCY OPERATION (10 MHz)
- LOW POWER CMOS
- ON CHIP PHASE/FREQUENCY DETECTOR
- BCD AND/OR BINARY INPUTS FOR N
- ON CHIP ADDER TO PROVIDE OFFSET
- N PROGRAMMABLE FROM 3 TO 1023
- VCO SIGNAL PRECONDITIONING
- OUTPUT FROM - N COUNTER IS PROVIDED
- POLARITY CONTROL ON VCO CORRECTION SIGNAL



ABSOLUTE MAXIMUM RATINGS	SYM.	VALUE	UNIT
DC Supply Voltage	$V_{DD}$	+ 15 to -0.3	Vdc
Input Voltage, All Inputs	$V_{in}$	$V_{DD}$ to -0.5	Vdc
DC Current Drain Per Pin, All Inputs*	I	10	mAdc
DC Current Drain Per Pin, All Outputs*	I	20	mAdc
Operating Temperature Range	$T_A$	-40 to 85°C	°C
Storage Temperature Range	$T_{stg}$	-65 to + 150	°C
Power Dissipation	Pd	600 (plastic pkg) 700 (ceramic pkg)	mW

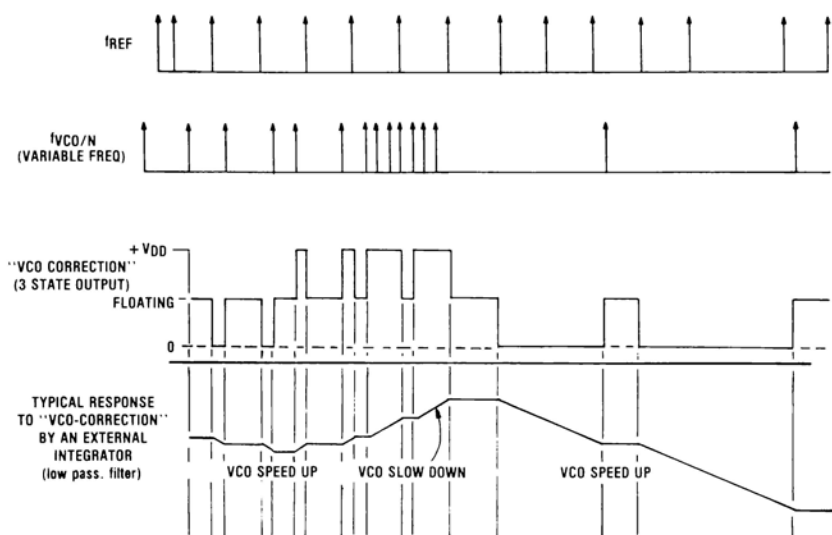
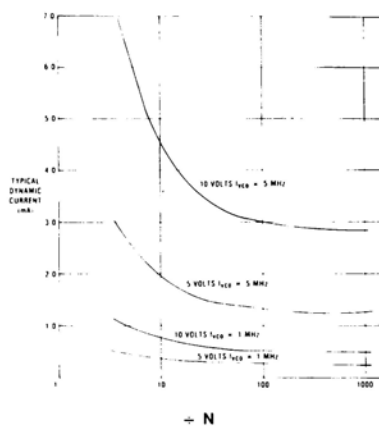
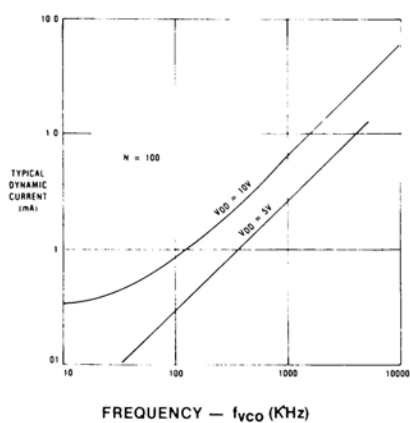
\* Protection diodes forward biased

## EXPLANATION OF BLOCK DIAGRAM

**Adder/Decoder** - This block adds a three digit BCD number (NB<sub>BCD</sub>) to a 7 bit binary number (NB<sub>IN</sub>) to provide a sum equal to the division integer (N). Each decade of BCD inputs is restricted to valid BCD numbers, zero through nine. The Binary and BCD inputs require full swing signals such as those achieved by SPDT switches or CMOS logic. Positive logic is used.

**Programmable Divider** - This circuit utilizes a continuously recycling presettable down counter to output a waveform of frequency  $f_{VCO}/N$  at a duty cycle of  $1/N$ .  $f_{VCO}$  (fast) is the only TTL compatible input and should be used when fast rise and fall times are available and/or maximum speed is required. For input signals with slow rise and fall times such as sine waves, the  $f_{VCO}$  (slow) input provides signal preconditioning through a Schmitt Trigger in order to obtain proper rising and falling edges for the digital circuitry. However, the additional circuitry does restrict the maximum operating frequency. The unused  $f_{VCO}$  input must be connected to  $V_{DD}$  (+). Either  $f_{VCO}$  input will accept low frequencies. However, in order to obtain high operating frequencies, dynamic circuitry is used and thus the minimum guaranteed  $f_{VCO}$  input frequency is 5 KHz.

**Phase/Frequency Detector** - This block compares the divider output ( $f_{VCO}/N$ ) with an external reference frequency ( $f_{REF}$ ) and generates a correction signal. When the VCO correction output goes from the floating state (NMOS and PMOS switches-off) to  $V_{DD}$  (+) or GND (—), the indication is that the leading edges of the two input signals do not occur simultaneously. The leading edge of one signal triggers the correction pulse and the leading edge of the other signal resets the output to the floating state (Refer to Timing Diagram). Therefore, the width of the correction pulse is proportional to the time difference between the leading edges. As the two signals approach equal frequency and phase, the width of the pulse becomes narrower and narrower and the two signals are in "lock". The Polarity input should be tied to  $V_{DD}$  (+) if the VCO correction output voltage should decrease to cause an increase in the VCO frequency.



- NOTES: 1. ONLY POSITIVE TRANSITIONS OF  $f_{REF}$  AND  $f_{VCO}$  ARE SHOWN. CIRCUIT OPERATION IS INDEPENDENT OF DUTY CYCLES.
2. POLARITY SENSE IS TIED TO  $V_{DD}$

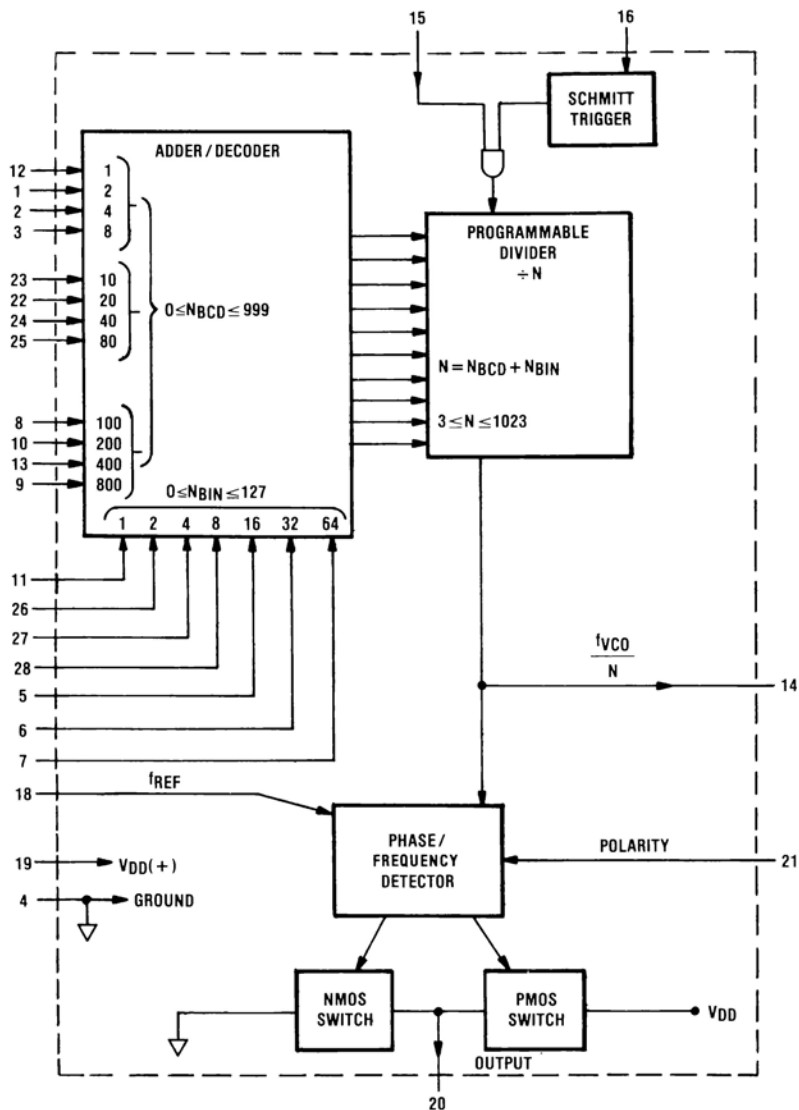
TIMING DIAGRAM OF PHASE FREQUENCY DETECTOR

ELECTRICAL SPECIFICATIONS - Unless otherwise specified T = -40°C to 85°C V<sub>DD</sub> tolerance = ± 5%

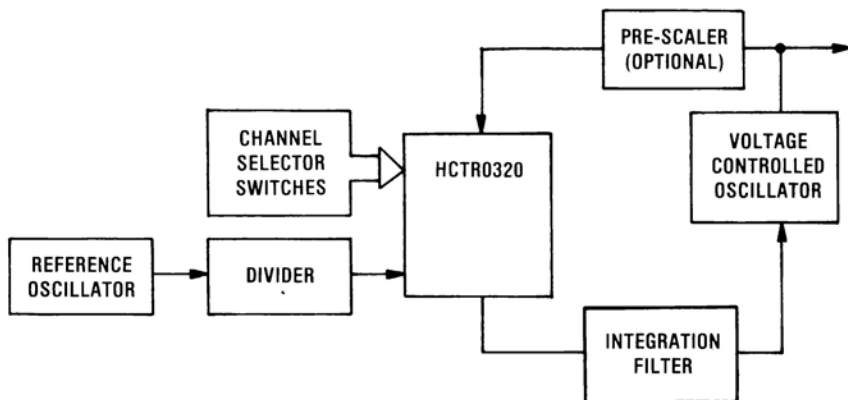
D. C. CHARACTERISTICS	SYMBOL	CONDITIONS	V <sub>DD</sub>	MIN	MAX	UNITS
Supply Voltage	V <sub>DD</sub>			4.5	13	V
Input Levels						
BCD and Binary Switches	"1"	V <sub>IH</sub>	5	4.75	5	V
	"0"	V <sub>IL</sub>	10	9.75	10	V
(50 K $\Omega$ Impedance required)			5	0	.25	V
			10	0	.25	V
f <sub>VCO</sub> (Fast)	"1"	V <sub>IH</sub>	5	3.5	5	V
	"0"	V <sub>IL</sub>	10	7	10	V
			5	0	.4	V
			10	0	1.0	V
f <sub>VCO</sub> (Slow), f <sub>REF</sub>	"1"	V <sub>IH</sub>	5	4.5	5	V
	"0"	V <sub>IL</sub>	10	9	10	V
			5	0	.5	V
			10	0	1.0	V
Input Leakage Current (except BCD and Binary inputs)	I <sub>L</sub>	To either V <sub>DD</sub> or GND	5	—	1	$\mu$ A
			10	—	2	$\mu$ A
Input Capacitance	C <sub>L</sub>	(Typical)			5	pf
Output Impedance, f <sub>VCO</sub> /N and VCO Correction	R <sub>on</sub>	Within 1 Volt of supply	5	—	500	$\Omega$
	R <sub>off</sub>		10	—	360	$\Omega$
				5	—	M $\Omega$
A. C. CHARACTERISTICS						
Supply Current	I <sub>DD</sub>	f <sub>VCO</sub> = 1 MHz N = 100	5	—	.5	mA
			10	—	1.0	mA
Inputs						
f <sub>VCO</sub> (Fast)						
frequency	F <sub>VCO</sub>		5	.005	5	MHz
pulse width	PW <sub>H</sub>	50% to 50%	10	.010	10	MHz
	PW <sub>L</sub>		5	.10	100	$\mu$ s
			10	.045	50	$\mu$ s
rise & fall time	t <sub>r</sub> , t <sub>f</sub>	10% to 90%	5	—	100	ns
			10	—	50	ns
f <sub>VCO</sub> (Slow)						
frequency	f <sub>VCO</sub>		5	.005	2.5	MHz
pulse width	PW <sub>H</sub>	50% to 50%	10	.010	5	MHz
	PW <sub>L</sub>		5	.200	100	$\mu$ s
			10	.100	50	$\mu$ s
rise & fall time	t <sub>r</sub> , t <sub>f</sub>	10% to 90%	5	No limit		
			10			
f <sub>REF</sub>						
pulse width	PW <sub>H</sub>	50% to 50%	5	300	—	ns
	PW <sub>L</sub>		10	150	—	ns
rise & fall time	t <sub>r</sub> , t <sub>f</sub>	10% to 90%	5	—	1	$\mu$ s
			10	—	1	$\mu$ s
Outputs						
f <sub>VCO</sub> (Slow) to f <sub>VCO</sub> /N propagation delay, falling edge to rising edge	t <sub>pH</sub>	50% to 50%	5	—	750	ns
		C <sub>L</sub> = 10 pf	10	—	420	ns
falling edge to falling edge	t <sub>pL</sub>	50% to 50%	5	—	680	ns
		C <sub>L</sub> = 10 pf	10	—	375	ns
f <sub>VCO</sub> (Slow) to F <sub>VCO</sub> /N propagation delay, falling edge to rising edge	t <sub>pH</sub>	50% to 50%	5	—	360	ns
		C <sub>L</sub> = 10 pf	10	—	250	ns
falling edge to falling edge	t <sub>pL</sub>	50% to 50%	5	—	315	ns
		C <sub>L</sub> = 10 pf	10	—	270	ns



CMOS DIGITAL FREQUENCY SYNTHESIZER BLOCK DIAGRAM



## TYPICAL DIGITAL FREQUENCY SYNTHESIZER APPLICATION



## APPLICATION NOTES

The Adder/Decoder, with its BCD and Binary inputs, presents a variety of application opportunities. In some cases it may be desired to input N from three BCD coded thumb wheel switches, in which case the BCD inputs are well suited. If toggle switches are used to set N, then the Binary inputs may be better suited. All unused binary and BCD inputs must be connected to a logic 0 (ground). In some radio transceiver applications it is desirable to offset the transmit and receive frequencies. In these applications, the channel can be set with the BCD inputs and the offset between the transmit and receive frequencies controlled with the Binary inputs (or vice-versa).

Values of 0-999/0-127 can be input on the BCD/Binary lines. However, the maximum N is 1023 and the minimum is 3.

The VCO correction output is a 3 state output which is high, low or floating. When "lock" is achieved, both the NMOS and PMOS output switches are turned off except for very narrow pulses and the output mostly "floats". An integrator and/or low pass filter is required to "smooth out" the pulses and maintain the voltage to the VCO, thus keeping the frequency constant.

## APPENDICE C

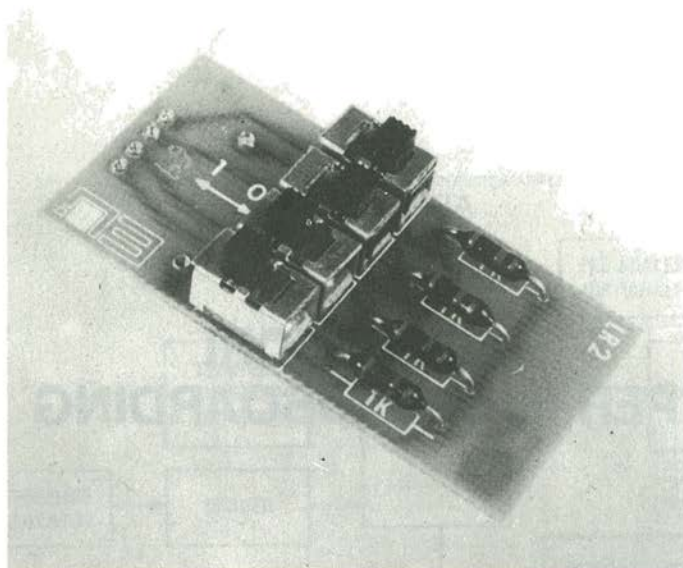
# ACCESSORI PER IL BREADBOARDING

Oltre all'SK-10 Piastra Universale di Breadboarding, la E&L Instruments (per l'Italia Microlem S.p.A. - Milano) costruisce anche un'ampia gamma di utili accessori per il breadboarding, denominati OUTBOARDS®. Questa appendice descrive gli OUTBOARDS che sono utili per l'esecuzione degli esperimenti descritti in questo libro, e che sono stati illustrati mediante degli schemi nel Capitolo 2. Ogni OUTBOARD può essere collegato direttamente alla piastra SK-10, ottenendo le connessioni di alimentazione a +5 V e a massa dai due gruppi esterni di terminali senza saldature. I pin d'ingresso e d'uscita sono collegati elettricamente ai gruppi di 5 terminali senza saldature nella parte interna del supporto di breadboarding. Sono descritti gli OUTBOARDS seguenti:

1. LR-2 Switch Logico
2. LR-4 Display a LED a 7 segmenti
3. LR-6 Indicatore a LED
4. LR-7 Generatore di impulsi doppio
5. LR-25 TTL Breadboarding
6. LR-30 CMOS Breadboarding
7. LR-31 Generatore di funzioni
8. LR-33 Cristallo di quarzo

### 1. LR-2 OUTBOARD Switch Logico

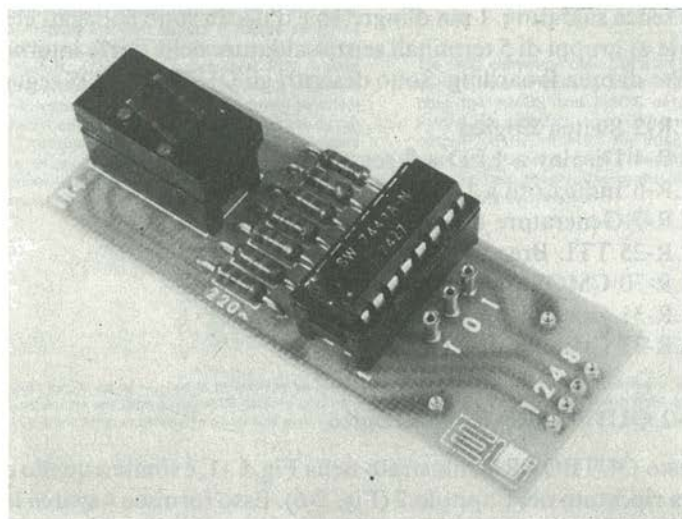
Questo OUTBOARD, illustrato nella Fig. C-1, è simile a quello dello schema riportato nel Capitolo 2 (Fig. 2-6). Esso fornisce 4 switch logici che possono commutare fra massa (0 logico) e +5 V (1 logico), ed è usato con circuiti integrati TTL.



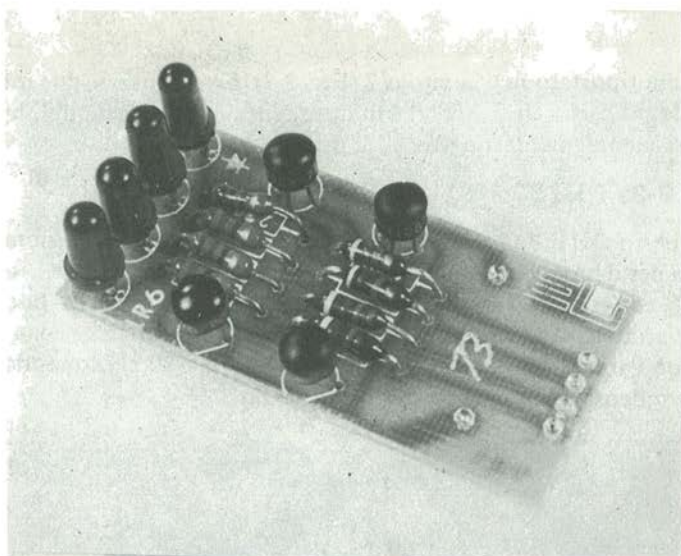
**Fig. C-1. L'LR-2 OUTBOARD Switch Logico**

## **2. LR-4 OUTBOARD Display a LED a 7 Segmenti**

Questo OUTBOARD, illustrato nella Fig. C-2, è simile a quello dello schema riportato nel Capitolo 2 (Fig. 2-10). Completo di decoder/driver e di indicatore a LED, l'LR-4 rappresenta le cifre da 0 a 9 in base all'ingresso bcd di 4 bit presente ai suoi terminali.



**Fig. C-2. L'LR-4 OUTBOARD Display a LED a 7 Segmenti.**



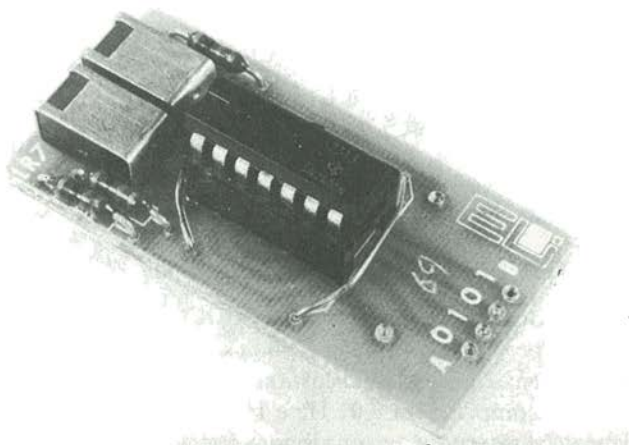
**Fig. C-3. L'LR-6 OUTBOARD Indicatore a LED.**

### **3. LR-6 OUTBOARD Indicatore a LED**

Questo OUTBOARD, illustrato nella Fig. C-3, è simile allo schema riportato nel Capitolo 2 (Fig. 2-4). Esso fornisce 4 LED che sono spenti per un ingresso allo 0 logico ed accesi per 1 logico.

### **4. LR-7 OUTBOARD Generatore di Impulsi Doppio**

Questo OUTBOARD, illustrato nella Fig. C-4, è simile a quello dello



**Fig. C-4. L'LR-7 OUTBOARD Generatore di Impulsi Doppio**

schema riportato nel Capitolo 2 (Fig. 2-8). Esso contiene due interruttori logici esenti da rimbalzi e indipendenti, ognuno dei quali ha delle uscite complementari agli stati logici 0 e 1.

### 5. LR-25 OUTBOARD TTL Breadboarding

Questo OUTBOARD, illustrato nella Fig. C-5, è una stazione completa per il breadboarding TTL. Contiene l'equivalente di un LR-2, due LR-6 ed un LR-7. Inoltre, LR-25 contiene anche un clock ad onda quadra variabile realizzato mediante due timer 555, la cui frequenza d'uscita può variare approssimativamente da 0,1 Hz a 20 kHz quando si usa un condensatore esterno (da 5 pF a 100  $\mu$ F).

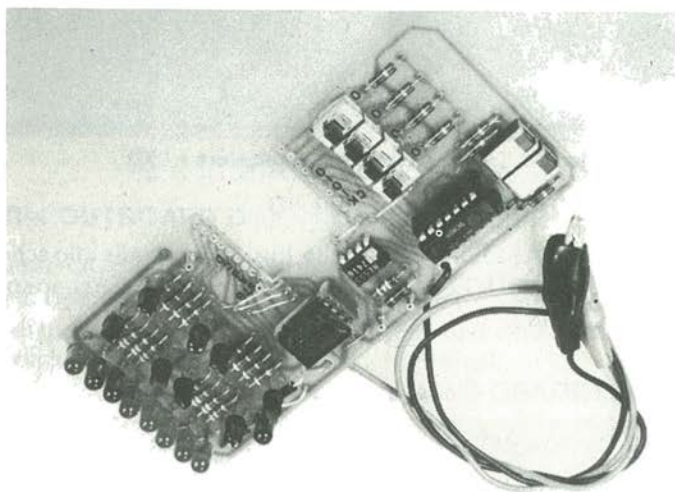


Fig. C-5. L'LR-25 OUTBOARD TTL Breadboarding.

### 6. LR-30 OUTBOARD CMOS Breadboarding

Questo OUTBOARD, illustrato nella Fig. C-6, ha un funzionamento identico a quello dell'LR-25, ma è stato modificato per operare nel campo compreso fra + 3 e + 15 V per i circuiti integrati CMOS.

### 7. LR-31 OUTBOARD Generatore di funzioni

Questo OUTBOARD, illustrato nella Fig. C-7, usa un circuito integrato XR-2206 per generare forme d'onda sinusoidali, quadre e triangolari con frequenza, ampiezza e scostamento c.c. regolabili. Sono possibili frequenze comprese fra 0,01 Hz e 1 MHz, in funzione del valore del condensatore esterno. Con un singolo condensatore, la gamma dinamica è maggiore di 1000 : 1.

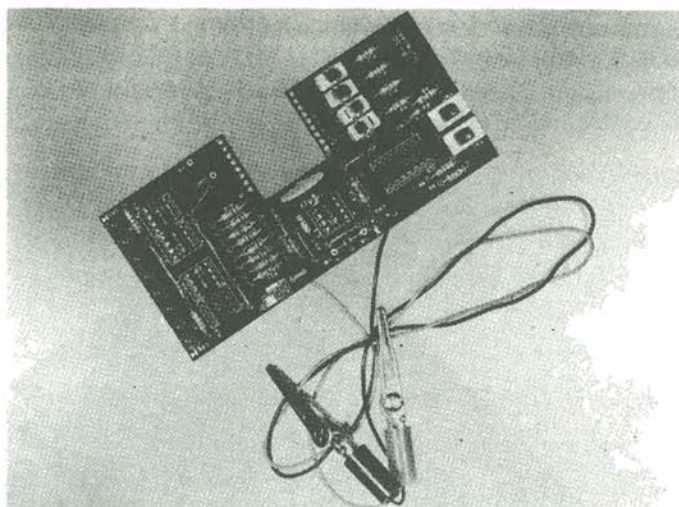


Fig. C-6, L'LR-30 OUTBOARD CMOS Breadboarding.

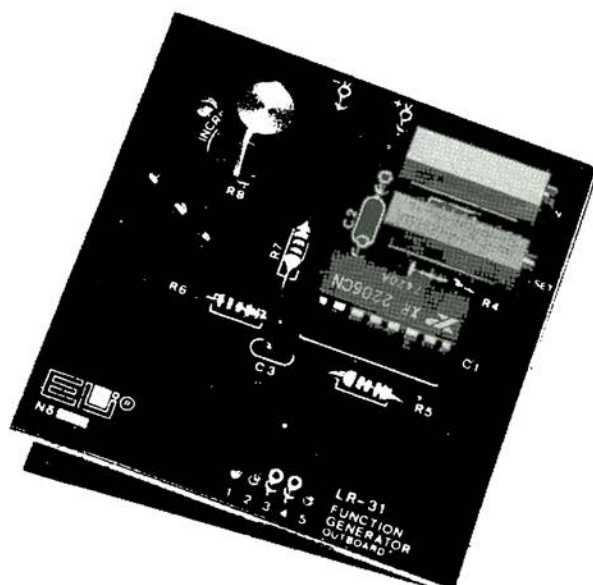
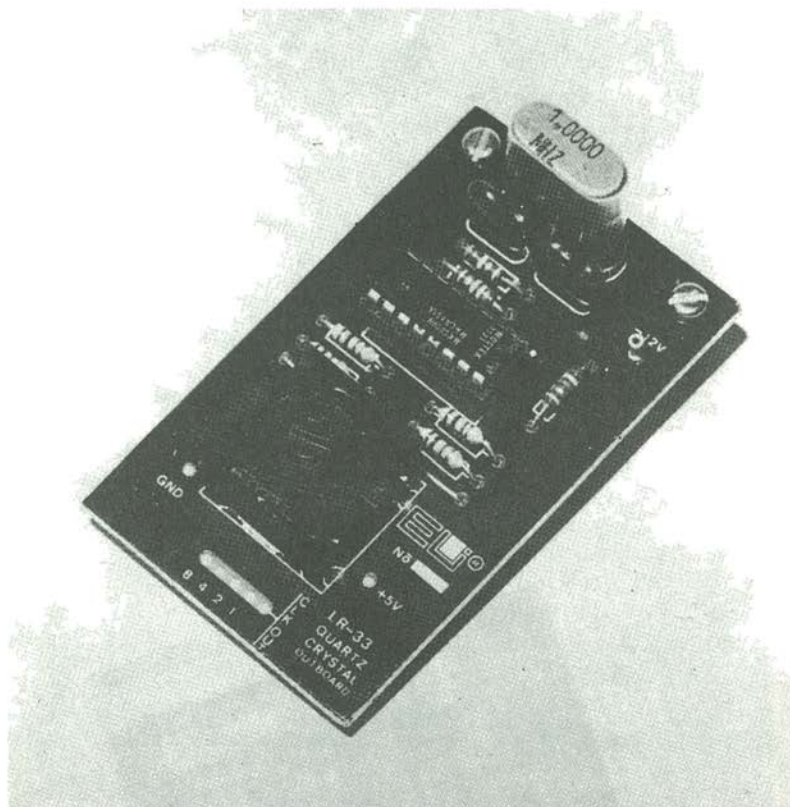


Fig. C-7. L'LR-31 OUTBOARD Generatore di Funzioni.



## 8. LR-33 OUTBOARD Cristallo di Quarzo

Questo OUTBOARD, illustrato nella Fig. C-8 è simile a quello dello schema riportato nel Capitolo 2 (Fig. 2-13). Mediante il commutatore rotativo riportato sulla piastra, potete selezionare una frequenza d'uscita controllata al cristallo da 1 MHz a 0,01 Hz in fattori di 10.



**Fig. C-8. L'LR-33 OUTBOARD Cristallo di Quarzo.**



## APPENDICE D

**SIMBOLI UTILIZZATI**

D	= Duty cycle (adimensionale)
$f_{CH}$	= Spaziatura dei canali del sintetizzatore (Hz)
$f_H$	= Frequenza dell'oscillatore locale (Hz)
$f_i$	= Frequenza dell'anello ad aggancio di fase (Hz)
$f_{MIX}$	= Frequenza d'uscita del miscelatore (Hz)
$f_{REF}$	= Frequenza di riferimento in ingresso al sintetizzatore (Hz)
$f_o$	= Frequenza d'uscita dell'anello a blocco di fase (Hz)
K	= Guadagno c.c. dell'anello ( $s^{-1}$ )
$K_o$	= Guadagno di conversione del VCO (rad/s/V)
$K_\phi$	= Guadagno di conversione del rivelatore di fase (V/rad)
N	= Modulo del contatore divisore per N
$t_s$	= Tempo di assestamento (s)
T	= Periodo delle oscillazioni transitorie (s)
$V_i$	= Tensione d'ingresso del VCO, o tensione di errore (V)
$V_o$	= Tensione d'uscita media (c.c.) del rivelatore di fase (V)
$\pi$	= 3,14
$\zeta$	= Fattore di smorzamento (adimensionale)
$\Delta\phi$	= Differenza di fase in ingresso del rivelatore di fase (rad)
$\omega_C$	= Campo di bloccaggio (rad/s)
$\omega_d$	= Frequenza naturale smorzata (rad/s)
$\omega_i$	= Frequenza d'ingresso dell'anello a blocco di fase (rad/s)
$\omega_L$	= Campo di mantenimento (rad/s)
$\omega_{LPF}$	= Frequenza di taglio del filtro passa-basso (rad/s)
$\omega_n$	= Frequenza dell'anello (rad/s)

# BIBLIOGRAFIA

I libri e le note applicative seguenti contengono del materiale sulla progettazione, il funzionamento e le applicazioni dell'anello ad aggancio di fase. Per la maggior parte, tuttavia, essi sono altamente tecnici. Gli articoli citati, d'altra parte, descrivono delle applicazioni specifiche e sono pressoché privi di discussioni matematiche.

## NOTE APPLICATIVE

1. Brubaker, R., and Nash, G. *A New Generation of Integrated Avionic Synthesizers*. Motorola AN-553, 1971.
2. Brubaker, R. *An ADF Frequency Synthesizer Utilizing Phase-Lock-Loop I/Cs*. Motorola AN-564, 1972.
3. Connelly, J. A. *A General Analysis of the Phase-Locked Loop*. Harris Semiconductor AN-602, 1972.
4. DeLaune, J. *MTTL and MECL Avionics Digital Frequency Synthesizer*. Motorola AN-532A, 1971.
5. Mills, T. B. *The Phase Locked Loop IC as a Communication System Building Block*. National Semiconductor AN-46, 1971.
6. Nash, G. *Phase-Lock Loop Design Fundamentals*. Motorola AN-535, 1970.
7. Renschler, E., and Welling, B. *An Integrated-Circuit Phase-Locked Loop Digital Frequency Synthesizer*. Motorola AN-463, 1969.

## LIBRI

1. Gardner, F. M. *Phaselock Techniques*. John Wiley & Sons, Inc., New York, 1966.
2. Lancaster, D. *CMOS Cookbook*. Howard W. Sams & Co., Inc., Indianapolis, 1977 (Chapter 7).
3. Melen, R., and Garland, H. *Understanding CMOS Integrated Circuits*. Howard W. Sams & Co., Inc., Indianapolis, 1975, pp. 105-109, 117-119.
4. Noll, E. M. *Linear IC Principles, Experiments, and Projects*. Howard W. Sams & Co., Inc., Indianapolis, 1974, pp. 199-213.

## ARTICOLI E APPLICAZIONI

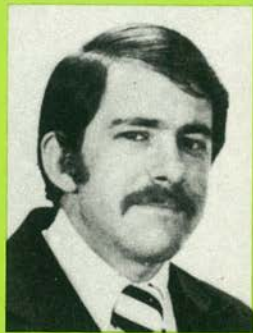
1. Allen, G. R. "Synthesize Yourself." *QST*, October, 1977, pp. 182-188.
2. Amon, L. E. S., and Lohrey, B. "Versatile Phase Detector Produces Unambiguous Output". *Electronics*, September 15, 1977, pp. 117-119
3. *Analog Manual*. Signetics Corp., 1976.
4. Bertini, P. J., and VanHooft, R. "A Practical Approach to Two-Meter Frequency Synthesis". *QST*; Part I: June, 1973, pp. 32-36; Part II: July, 1973, pp. 34-39.
5. Cohen, H. "How Phase-Locked Loops Work." *Popular Electronics*, February, 1975, pp. 32-34.
6. ——— "Experimenting With Phase-Locked Loops." *Popular Electronics*, October, 1975, pp. 47-50
7. Cohen, M. I. "A Practical 2m Synthesizer." *QST*, September, 1977, pp. 146-151.
8. Cox, J. "One-Crystal Frequency Synthesizer for Two-Meter FM." *Ham Radio*, September, 1973, pp. 30-38.
9. Delagrange, A. D. "Lock Onto Frequency With Frequency-Lock Loops." *Electronic Design*, June 21, 1977, pp. 84-87.
10. Ferris, R. K. "Constant-Bandwidth PPL Tone Decoder Accepts Wide Range of Input Voltages." *Electronic Design*, November 8, 1977, p. 106.
11. Grebene, A. B. "The Monolithic Phase-Lock-Loop — A Versatile Building Block." *IEEE Spectrum*, March, 1971, pp. 38-49.
12. Hanisko, J. "Timer/Counter Functions as Phase-Locked Loop Component." *EDN*, March 20, 1976, p. 98.
13. Helfrick, A.D. "High-Frequency Frequency Synthesizer." *Ham Radio*, October, 1972, pp. 16-21
14. Illingworth, G., and Terman, M. "Phase Locked Loop: An Application in Temperature Telemetry and a Method for Its Evaluation." *Physiology and Behavior*, vol. 13, 1974, pp. 335-338.
15. Levy, E. I. "Retriggerable One-Shot Prevents False Triggering of PPL Tone Detector". *Electronic Design*, January 4, 1973, p. 102.
16. Mims, F. M. "The 567 Tone Decoder." *Popular Electronics*, August, 1976, pp. 91-93.
17. More, A. W. "Phase-Locked Loops for Motor-Speed Control." *IEEE Spectrum*, April, 1973, pp. 61-67.
18. Murthi, E. "Monolithic Phase-Locked Loops — Analogs Do All the Work of Digitals and Much More." *EDN*, September 15, 1977, pp. 117-119.
19. Nemec, J. "Build a High-Frequency Synthesizer." *Electronic Design*, February 15, 1977, pp. 120-122.
20. Noll, E. "Circuits and Techniques." *Ham Radio*, September, 1971, pp. 54-59.
21. ——— "Circuits and Techniques." *Ham Radio*, October, 1971, pp. 58-61.
22. ——— "Circuits and Techniques." *Ham Radio*, December, 1971, pp. 70-71.
23. Pohlman, D. T. "Timer/Counter Chip Synthesizes Frequencies, and It Needs Only a Few Extra Parts." *Electronic Design*, June 21, 1974, p. 114.
24. Pulice, J. "Direct Output Two-Meter Synthesizer." *Ham Radio*, August, 1977, pp. 10-21.
25. Rasmussen, D. D. "A Tuning Control for Digital Frequency Synthesizers." *QST*, June, 1974, pp. 29-32.
26. Robbins, K. W. "Tunable Six-and Ten-Meter Phase Locked Loop." *Ham Radio*, January, 1973, pp. 40-44.
27. ——— "Six-Meter Frequency Synthesizer." *Ham Radio*, March, 1974, pp. 26-33.
28. Sharpe, C. A. "Speed Up PPLs." *Electronic Design*, November 22, 1977, pp. 124-127.
29. Stein, R. S. "Frequency Synthesizer for the Collins 75S Receiver." *Ham Radio*, December, 1975, pp. 8-27.
30. Stevens, D. H. "A 4000-Channel Two-Meter Synthesizer." *QST*, September, 1972, pp. 17-25.
31. Stinnette, N. "Phase-Locked Loop RTTY Terminal Unit." *Ham Radio*, February, 1975, pp. 36-37.
32. Tuhro, R. "Interface Ties Micro to Standard Cassette Recorders." *EDN*, October 20, 1977, p. 110.
33. Zwicker, R. M. "Phase-Locked-Loop Circuit Multiplies Frequencies by 2 to 256." *Electronic Design*, May 24, 1976, p. 94.

L. 16.000

Edizione Italiana del "Design of Phase-Locked Loop Circuits"  
With Experiments

Howard M. Berlin è un Ingegnere elettrotecnico del Chemical Systems Laboratory all'Aberdeen Proving Ground, nel Maryland, ed è stato istruttore aggiunto presso il Dipartimento di Ingegneria Elettrotecnica dell'Università del Delaware. La sua esperienza si è sviluppata principalmente nella ricerca ingegneristica biomedica e nella strumentazione fisiologica.

Ha tenuto diversi corsi brevi al Dipartimento dell'Esercito, conferenze e corsi di specializzazione presso l'Università del Delaware. È autore di numerosi rapporti governativi e di articoli per riviste scientifiche e per radioamatori. Inoltre, egli è autore dei libri seguenti: "Il Timer 555, Funzionamento Applicazioni ed Esperimenti"; "La Progettazione dei Circuiti Amplificatori Operazionali, con Esperimenti". È attualmente membro di Sigma Xi, IEEE e dell'Accademia di Medicina del Delaware. Come attivo radioamatore, può essere ascoltato usando la sigla di chiamata W3HB (precedentemente K3NEZ).



# 19

## LA PROGETTAZIONE DEI CIRCUITI "PHASE LOCKED LOOP" (PLL), CON ESPERIMENTI

di Howard M. Berlin



JACKSON  
ITALIANA  
EDITRICE